

## 特徴

高性能、低消費 AVR<sup>®</sup> 8ビットマイクロコントローラ  
進化した RISC アーキテクチャ

- 強力な 129/13 命令 (多くは 1 サイクル実行)
- 32 個の 16 ビット汎用レジスタ
- 完全なステイック動作
- 20MHz 時、20MPS に達する高速動作
- 2 サイクル乗算命令

高耐久不揮発性メモリ

- 自己実装書き換え可能な 4/8/16K バイト (2/4/8 語) フラッシュメモリ内蔵
- 256/512/512 バイトの EEPROM
- 512/1K/1K バイトの内蔵 SRAM
- 書き換え回数: 10,000/フラッシュ, 100,000/EEPROM (注 1 注 3)
- データ保持力: 20 年 / 85<sup>°</sup>, 100 年 / 25<sup>°</sup> (注 2 注 3)
- 個別ロックビットを持つ任意のプログラム領域
- チップ内プログラムによる自己実装書き換え  
真の書き込み中の読み出し動作
- ソフトウェア保護用の設定可能なロック機能

内蔵周辺機能

- 独立した前置分周器と比較機能付き 2 つの 8 ビットタイマ/カウンタ
- 独立した前置分周器、比較、捕獲 (キャプチャ機能付き) の 16 ビットタイマ/カウンタ
- 専用発振器と 8 ビットタイマ/カウンタによる実時間カウンタ (RTC)
- 6 つの PWM 出力
- 6 チャンネル (PD P QFN / MLF28), 8 チャンネル (TQFP, QFN / MLF32) の 10 ビット A/D 変換器
- 設定可能なシリアル USART
- マスタ/スレーフ動作 SPI シリアル インターフェース
- ハイ対応 2 線シリアル インターフェース (Philips PC 互換)
- 設定可能な専用発振器付きウォッチドッグタイマ
- アナログ比較器
- ピン変化での割り込みと起動復帰

特殊マイクロコントローラ機能

- 電源オンリッチ回路と設定可能な低電圧検出器 (BOD)
- 校正可能な内蔵 RC 発振器
- 外部及び内部の割り込み
- アイドル、A/D ノイズ低減、パワーセーフ、パワーダウン、スタンバイの 5 つの低消費動作

I/O と外圍器

- 23 ビットの設定可能な I/O
- 28 ピン PD P, 28 ピン QFN / MLF, 32 ピン TQFP, QFN / MLF

動作温度

- 40~ 85

動作電圧

- 1.8~ 5.5V (ATmega48V / 88V / 168V)
- 2.7~ 5.5V (ATmega48/88/168)

動作速度

- ATmega48V / 88V / 168V  
0~ 4MHz / 1.8~ 5.5V  
0~ 10MHz / 2.7~ 5.5V
- ATmega48/88/168  
0~ 10MHz / 2.7~ 5.5V  
0~ 20MHz / 4.5~ 5.5V

代表消費電力

- 250µA (1MHz, 1.8V 標準動作)
- 15µA (32kHz, 1.8V 標準動作)
- 0.1µA (1.8V, パワーダウン動作)

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL 社とは無関係であることを御承知ください。しおりのはじめに 1 の内容にご注意ください。



8ビット AVR<sup>®</sup>

マイクロコントローラ

実装書き換え可能な  
4/8/16K バイト  
フラッシュメモリ内蔵

ATmega48

ATmega48V

ATmega88

ATmega88V

ATmega168

ATmega168V

注 1: 最悪条件温度で最終書き込みサイクル後の保証

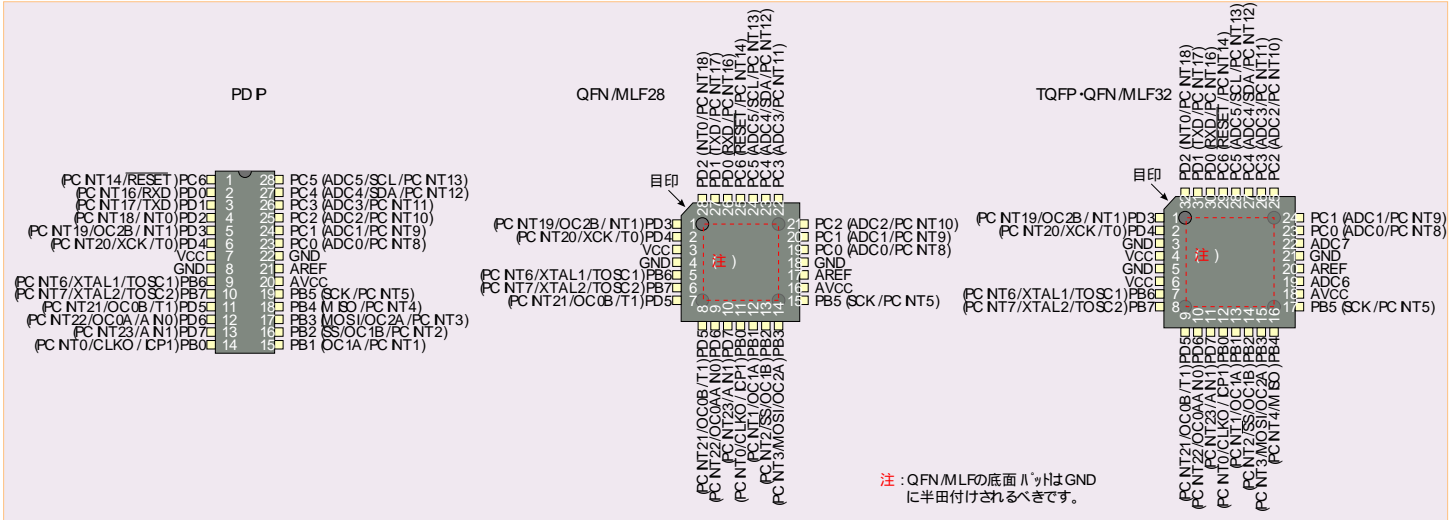
注 2: 1ppm 未満の失敗 不正 率

注 3: 加速試験を通しての特性付け

Rev. 2545L-08/07, 2545LJ0-08/07



## 1. ピン配置



### 1.1. ピン概要

#### 1.1.1. VCC

デジタル電源ピン。

#### 1.1.2. GND

グランドピン。

#### 1.1.3. PB7~ PB0 (ホー - HB) XTAL1/XTAL2 TOSC1/TOSC2

ホー - HBはピン毎に選択される内蔵プルアップ抵抗付きの8ピンの双方向入出力ポートです。ホー - HB出力ハフは共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたホー - HBピンにはソース電流が流れます。リッ条件が有効になると、クックが動作していなくても、ホー - HBピンはHi-Zになります。

クック選択ヒューズ設定に依存し、PB6は発振器反転増幅器への入力や内部クック操作回路の入力として使用されます。

クック選択ヒューズ設定に依存し、PB7は発振器反転増幅器からの出力として使用されます。

校正付き内蔵RC発振器がチップ(システム)クック元として使用される場合、**非同期状態レジスタ(ASR)の非同期動作(AS2)ビット**がセット(1)されると、PB7は非同期タイマ/カウンタ用のTOSC2ピンとして使用されます。

ホー - HBの各特殊機能は4頁の「ホー - HBの兼用機能」と16頁の「システムクックとクック選択」で詳しく述べられます。

#### 1.1.4. PC5~ PC0 (ホー - IC)

ホー - ICはピン毎に選択される内蔵プルアップ抵抗付きの7ピンの双方向入出力ポートです。ホー - IC出力ハフは共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたホー - ICピンにはソース電流が流れます。リッ条件が有効になると、クックが動作していなくても、ホー - ICピンはHi-Zになります。

#### 1.1.5. PC6/RESET

**RSTD ISBLヒューズ**がプログラム(0)されると、PC6はI/Oピンとして使用されます。PC6の電気的特性がホー - ICの他のピンのそれと異なることに注意してください。

RSTD ISBLヒューズが非プログラム(1)の場合、PC6はリッ入力として使用されます。クックが動作していなくても、最小パルス幅より長いこのピンのLowレベルはリッを生成します。最小パルス幅は19頁の表27-3で与えられます。より短いパルスはリッの生成が保証されません。

ホー - ICの各特殊機能は5頁の「ホー - ICの兼用機能」で詳しく述べられます。

#### 1.1.6. PD7~ PD0 (ホー - HD)

ホー - HDはピン毎に選択される内蔵プルアップ抵抗付きの8ピンの双方向入出力ポートです。ホー - HD出力ハフは共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたホー - HDピンにはソース電流が流れます。リッ条件が有効になると、クックが動作していなくても、ホー - HDピンはHi-Zになります。

ホー - HDの各特殊機能は52頁の「ホー - HDの兼用機能」で詳しく述べられます。

#### 1.1.7. AVCC

AVCCはADC7.6ホー - IC(3~ 0)とA/D変換器用供給電圧電源ピンです。例えばA/D変換が使用されなくても、外部的にVCCへ接続されるべきです。A/D変換が使用される場合、**VCCから低域通過濾波器を通して接続**されるべきです。ホー - IC(5,4)がデジタル供給電圧電源:VCCを使用することに注意してください。

#### 1.1.8. AREF

AREFはA/D変換器用アナログ基準電圧ピンです。

#### 1.1.9. ADC7.6

(TQFP/QFN/MLF32のみ)

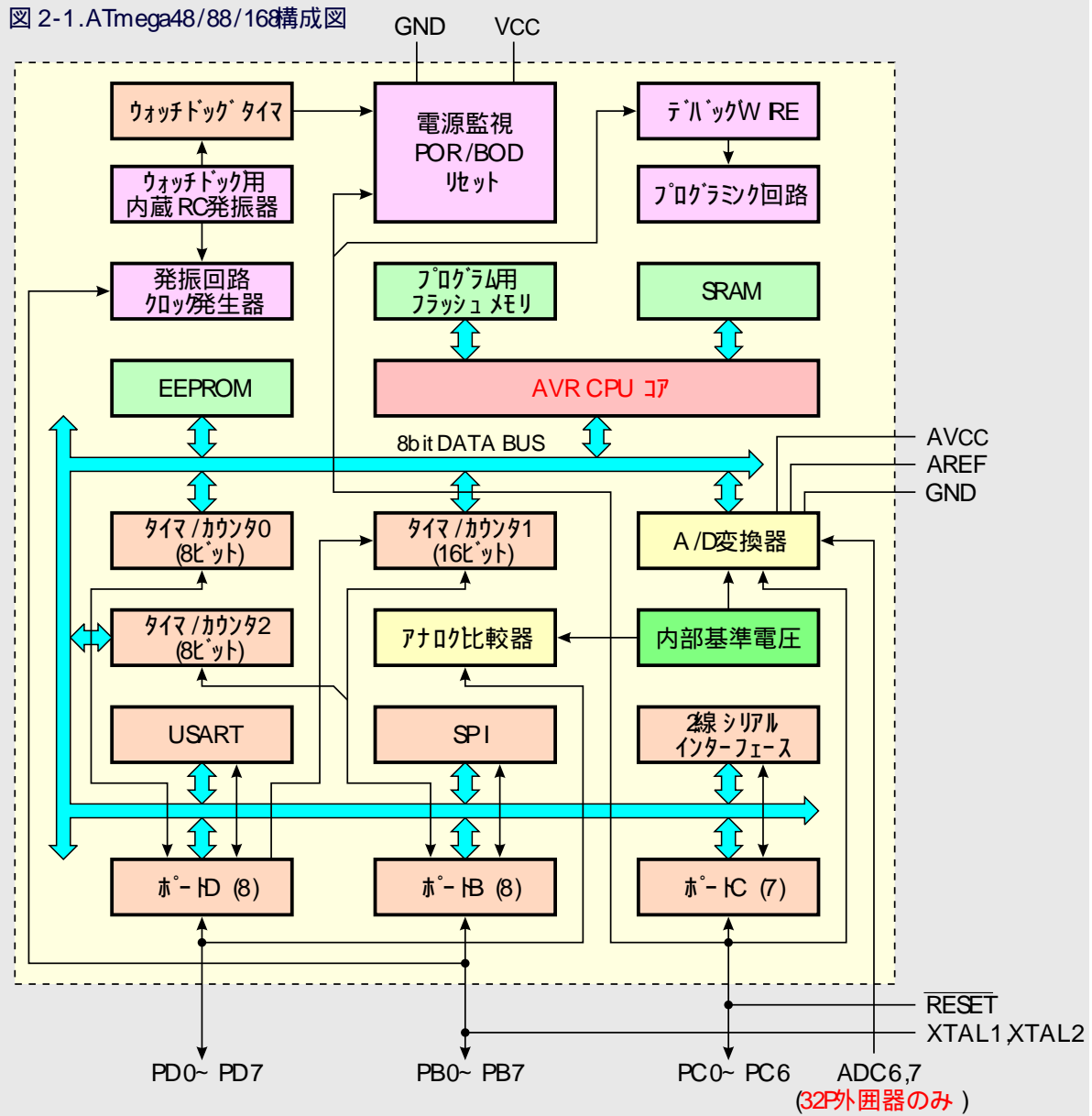
TQFPとQFN/MLF32外周器でのADC7.6はA/D変換器のアナログ入力として取り扱います。これらのピンはアナログ供給電源から電力供給され、10ビットA/Dチャネルとして扱われます。

## 2. 概要

ATmega48/88/168はAVR RISCアーキテクチャの低消費CMOS 8ビットマイクロコントローラです。1サイクルで実行する強力な命令は、MHzあたり1MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU (Arithmetic Logic Unit) に直結され、レジスタ間命令は1クロックサイクルで実行されます。AVRアーキテクチャは現状のCISC型マイクロコントローラに対して、10倍以上のスループット向上効果があります。

### 2.1. 構成図



ATmega48/88/168は書き込み中読み出し可能な能力を持つ 4/8/16Kバイトの実装書き換え可能なフラッシュメモリと256/512/512バイトのEEPROM、512/1K/1KバイトのSRAM、23本の汎用入出力線、32個の汎用レジスタ比較動作も含む柔軟な3つのタイマ/カウンタ、内部及び外部割り込み、設定変更可能なシリアルUSART、バイト対応の2線シリアルインターフェースSPシリアルポート8(TQFP, QFN/MLF), 6(PDIP)チャネルの10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、ソフトウェアで選択できる5つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPポート、割り込み機能は有効で動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を禁止無効にします。パワーセーフ動作では非同期タイマ用発振器が動作を継続し、デバイスのその他が停止中であっても基準タイマの継続が許されます。A/D変換ノイズ低減動作ではA/D変換中のスイッチングノイズを最小とするため、非同期タイマとA/D変換器を除く周辺機能とCPUが停止します。スタンバイ動作ではクリスタル発振器/セラミック振動子用発振器が動作し、一方デバイスのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。

本デバイスはATMELの高密度不揮発性メモリ技術を使用して製造されています。内蔵の実装書き換え(ISP可能なプログラム用フラッシュメモリは、規定の不揮発性メモリ書き込み器、SPシリアルインターフェース経由、AVRコア上のブートプログラムの実行により再書き込みができます。ブートプログラムは、応用領域フラッシュメモリ内の応用プログラムの読み込みに、どのインターフェースでも使用できます。プログラム領域フラッシュメモリ内のソフトウェアは、真の書き込み中の読み出し可能動作により、応用領域フラッシュメモリ更新中も実行を継続します。モノリシックチップ上の自己実装書き換え可能なフラッシュメモリと、8ビットRISC型CPUの組み合わせによるATMEL ATmega48/88/168は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega48/88/168 AVRはCコンパイラ、マクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む専用のプログラム及びシステム開発ツールで支援されます。

## 2.2. ATmega48 ATmega88 ATmega168の違い

ATmega48 ATmega88 ATmega168はメモリ容量、ポート/タ支援機能と割り込みベクタの大きさが異なります。表 2-1は3つのデバイスについて各種メモリ容量と割り込みベクタの大きさを一覧します。

表 2-1. メモリ容量対比表				
デバイス名	フラッシュメモリ	EEPROM	SRAM	割り込みベクタの大きさ
ATmega48	4Kバイト	256バイト	512バイト	16命令語 / ベクタ
ATmega88	8Kバイト	512バイト	1Kバイト	16命令語 / ベクタ
ATmega168	16Kバイト	512バイト	1Kバイト	24命令語 / ベクタ

ATmega88とATmega168は真の書き込み中の読み出し可能自己プログラミング機構を支援します。これは独立したポート/タ領域で、SPM命令はその領域からだけ実行できます。ATmega48では書き込み中の読み出し可能動作は支援されず、独立したポート/タ領域もありません。SPM命令はフラッシュメモリ全体で実行できます。

## 3. 資料

包括的なデータシート、応用記述、開発ツール群は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

## 4. コード例について

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ち、デバイス定義ヘッダファイルがインクルードされると仮定します。すべてのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

これらのコード例はアセンブルまたはコンパイルに先立ち、デバイス定義ファイルがインクルードされることが前提です。拡張I/O領域に配置したI/Oレジスタに対し、N, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的にはSBRIS, SBRIC, SBR, CBR命令と組み合わせたLDS, STS命令です。



## 5. AVR CPU コア

### 5.1. 概要

ここでは一般的なAVRコアアーキテクチャについて説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

### 5.2. アーキテクチャ概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリバスを分離するハーバードアーキテクチャを使用します。プログラムメモリ内の命令は、単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリからプリフェッチされます。この概念は全部のクロックサイクルで命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロックサイクルアクセスの32個の8ビット汎用レジスタを含みます。これは1クロックサイクルALU (Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロックサイクル内で、その操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは、効率的なアドレス計算ができるデータ空間アドレス指定用に、3つの16ビット長間接アドレスポインタ用レジスタとして使用されます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数テーブル参照用アドレスポインタとしても使用できます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード)形式です。すべてのプログラムメモリアドレスは、**訳注**: 定数のみを除き)16または32ビット長命令を含みます。

プログラム用フラッシュメモリ空間は**ブートプログラム領域**と**応用プログラム領域**の2つに分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用ロックビットがあります。応用フラッシュメモリ領域内に書き込むSPM命令は、ブートプログラム領域内に属さ存在しなければなりません。**訳補** 本部分の適用はATmega48を除く)

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。すべてのユーザープログラムはリッチ処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に) **スタックポインタ(SP)**を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVRアーキテクチャで支援される5つの異なるアドレッシングモードを通して容易にアクセスできます。

AVRアーキテクチャにおけるメモリ空間は全て直線的な普通のメモリ配置です。

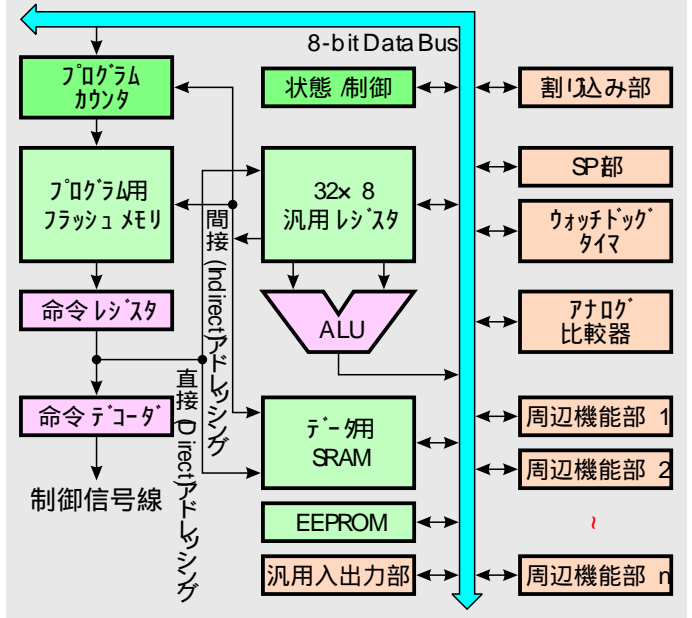
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(1ビット)があります。すべての割り込みは割り込みベクタテーブルに個別の割り込みベクタを持ちます。割り込みには割り込みベクタテーブルの位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタ、SPI、他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。加えてATmega48/88/168には**ST/STS/STD**と**LD/LDS/LDD**命令だけ使用できるSRAM内の\$60~\$FFに拡張I/O空間があります。

### 5.3. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロックサイクル内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器乗算命令も提供するアーキテクチャの実装製品もあります。詳細記述については**命令一覧**項をご覧ください。

図 5-1. AVR MCU アーキテクチャ



## 5.4. ステータスレジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使用できます。ステータスレジスタは「命令セット参考書」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の再設定（復帰）が自動的に行われません。これはソフトウェアにより扱われなければなりません。

### 5.4.1. ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるためにセット(1)されなければなりません。そのとき、個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットがクリア(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こされた後にハードウェアによりクリア(0)され、後続の割り込みを許可するため、**RET**命令によりセット(1)されます。ビットは「命令セット参考書」で記述されるように**SE**や**CL**命令で応用(プログラム)によりセット(1)やクリア(0)できます。

#### ビット6 - T : ビット変数 (Bit Copy Storage)

ビットコピー命令、**BLD** (Bit Load)と**BST** (Bit Store)は操作したビットの転送元または転送先として、このTビットを使用します。レジスタファイルのレジスタからのビットは**BST**命令によりTに複写でき、Tのビットは**BLD**命令によりレジスタファイルのレジスタ内のビットに複写できます。

#### ビット5 - H : ハーフキャリーフラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については [命令一覧 記述](#)をご覧ください。

#### ビット4 - S : 符号 (Sign Bit, S=N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数オーバーフロー(V)フラグの排他的論理和です。詳細情報については「命令一覧」記述をご覧ください。

#### ビット3 - V : 2の補数オーバーフローフラグ (2's Complement Overflow Flag)

2の補数オーバーフロー(V)フラグは2の補数算術演算を支援します。詳細情報については「命令一覧」記述をご覧ください。

#### ビット2 - N : 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果 (MSB=1)を示します。詳細情報については「命令一覧」記述をご覧ください。

#### ビット1 - Z : ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「命令一覧」記述をご覧ください。

#### ビット0 - C : キャリーフラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー または オーバーを示します。詳細情報については「命令一覧」記述をご覧ください。

## 5.5.汎用レジスタファイル

このレジスタファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタファイルにより支援されます。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図5-2はCPU内の32個の汎用作業レジスタの構成を示します。

レジスタファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一サイクル命令です。

図5-2で示されるように、各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータメモリアドレスに割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X、Y、Zレジスタ（ポインタ）がレジスタファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図5-2.AVR CPU汎用レジスタ構成図

7	0	アドレス			
R0		\$00			
R1		\$01			
R2		\$02			
R13		\$0D			
R14		\$0E			
R15		\$0F			
R16		\$10			
R17		\$11			
R26		\$1A			
R27		\$1B	Xレジスタ	下位バイト	
R28		\$1C		上位バイト	
R29		\$1D	Yレジスタ	下位バイト	
R30		\$1E		上位バイト	
R31		\$1F	Zレジスタ	下位バイト	
				上位バイト	

### 5.5.1. Xレジスタ, Yレジスタ, Zレジスタ

R26~ R31レジスタ外には通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレッシング用の16ビットアドレスポインタです。3つのX、Y、Z間接アドレスレジスタは図5-3.で記載したように定義されます。

種々のアドレッシングモードで、これらのアドレスレジスタは固定デイスプレースメント変位、自動インクリメント、自動デクリメントとしての機能を持ちます。詳細については「命令セット参考書」をご覧ください。）

図5-3.X、Y、Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

## 5.6. スタックポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使用されます。スタックポインタレジスタは常に、このスタックの先頭（**訳注** 次に使用されるべき位置）を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへの**PUSH**命令はスタックポインタを減少（デクリメント）するという意味です。

スタックポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立って、プログラムにより定義されなければなりません。スタックポインタは\$0100以上を指示するために設定されなければなりません（なるべくなら定義名**RAMEND**）。スタックポインタは**PUSH**命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタックポインタは**POP**命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰（**RET**命令や割り込みからの復帰（**RET**命令でアドレスがスタックから引き出されると+2されます。

AVRのスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使用されるビット数は、デバイスの実装に依存します。**SPL**だけがが必要とされるほど小さいAVRアーキテクチャの実装（デバイス）のデータ空間もあることに注意してください。この場合、**SPH**レジスタは存在しません。

### 5.6.1. スタックポインタ (Stack Pointer) SPH, SPL (SP)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	-	-	-	-	-	(SP10)	SP9	SP8	SPH
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

**訳補** ) 内蔵SRAMはATmega48が512バイト(\$0100~ \$02FF)、ATmega88/168が1Kバイト(\$0100~ \$04FF)です。従ってATmega48ではSPHのSP10が利用できません。RAMENDはATmega48が\$02FF (0000 0010 1111 1111)、ATmega88/168が\$04FF (0000 0100 1111 1111)になります。



## 5.7. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ（デバイス）用に選択したクロック元から直接的に生成したCPUクロック（ $clk_{CPU}$ ）により駆動されます。内部クロック分周は使用されません。

図5-4はハードウェアと高速アクセスレジスタファイルの概念により可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なハイラインの概念です。

図5-5はレジスタファイルに対する内部タイミングの概念を示します。単一クロックサイクルで2つのレジスタオペランドを使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図5-4. 命令の取得と実行の並列動作

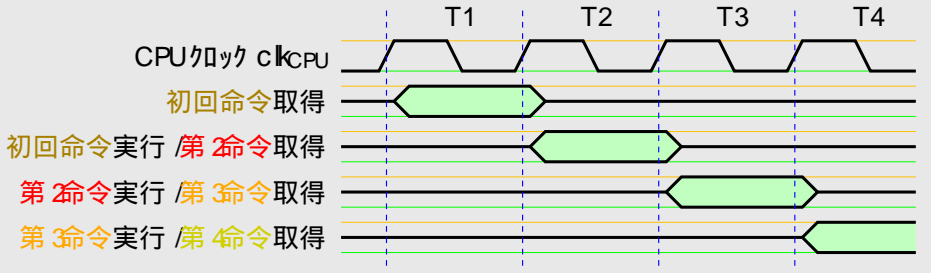
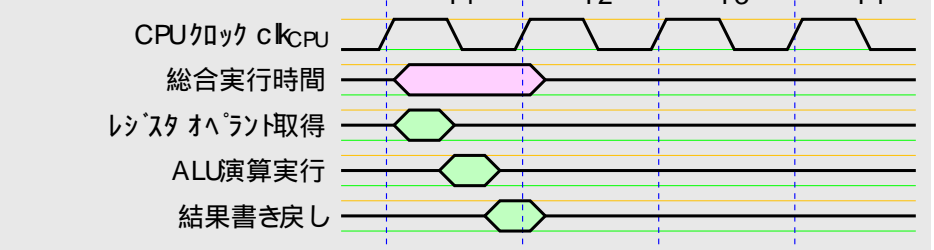


図5-5. 1サイクルALU命令



## 5.8. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。すべての割り込みは割り込みを許可するために、ステータスレジスタ（SREG）の全割り込み許可（ $IE$ ビット）と共に論理1が書かれなければならない。個別の許可ビットが割り当てられます。BLB0またはBLB12 フォトリックビットがプログラム（0）されると、プログラムカウンタ値によっては割り込みが自動的に禁止されるかもしれません。この特質はソフトウェア保護を改善します。詳細については178頁の「メモリプログラミング」項をご覧ください。

既定でのプログラムメモリ空間の最下位アドレスはリセット割り込みベクタとして定義されます。ベクタの完全な一覧は33頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で次が外部割り込み要求0（ $INT0$ ）です。割り込みベクタはMCU制御レジスタ（ $MCUCR$ ）の割り込みベクタ選択（ $IVSEL$ ビット）のセット（1）により、ブートフラッシュ領域先頭へ移動できます。より多くの情報については33頁の「割り込み」を参照してください。リセットベクタはBOOTRSTヒューズのプログラム（0）により、ブートフラッシュ領域先頭へ移動できます。169頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」-ATmega88 ATmega168をご覧ください。

割り込みが起こると全割り込み許可（ $IE$ ビット）がクリア（0）され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可（ $IE$ ビット）に論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可（ $IE$ ビット）は割り込みからの復帰（ $RET$ ）命令が実行されると、自動的にセット（1）されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグをセット（1）する事象により起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグをクリア（0）します。割り込み要求フラグはクリアされるべきフラグのビット位置へ論理1を書くことによってもクリア（0）できます。対応する割り込み許可ビットがクリア（0）されている間に割り込み条件が起こると、割り込み要求フラグがセット（1）され、割り込みが許可されるか、またはこのフラグがソフトウェアによりクリア（0）されるまで記憶保持されます。同様に、全割り込み許可（ $IE$ ビット）がクリア（0）されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグがセット（1）されて全割り込み許可（ $IE$ ビット）がセット（1）されるまで記憶され、その（1）後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し続けます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ（SREG）は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われないうことに注意してください。これはソフトウェアにより扱われなければなりません。



割り込みを禁止するために **CL** 命令を使用すると、割り込みは直ちに禁止されます。**CL** 命令と同時に割り込みが起こっても、**CL** 命令後に割り込みは実行されません。次例は時間制限 EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

アセンブリ言語 プログラム例		
IN	R16, SREG	;ステータスレジスタを保存
CLI		;EEPROM書き込み手順中割り込み禁止
SBI	EECR, EEMPE	;EEPROMマスタ書き込み許可
SBI	EECR, EEPPE	;EEPROM書き込み開始
OUT	SREG, R16	;ステータスレジスタを復帰
C言語 プログラム例		
char	cSREG;	/* ステータスレジスタ保存変数定義 */
cSREG	= SREG;	/* ステータスレジスタを保存 */
__disable_interrupt();		/* EEPROM書き込み手順中割り込み禁止 */
EECR	= (1<<EEMPE);	/* EEPROMマスタ書き込み許可 */
EECR	= (1<<EEPPE);	/* EEPROM書き込み開始 */
SREG	= cSREG;	/* ステータスレジスタを復帰 */

割り込みを許可するために **SE** 命令を使用すると、次例で示されるようにこの保留割り込みにも先立ち、**SE** 命令の次の命令が実行されます。

アセンブリ言語 プログラム例		
SEI		全割り込み許可
SLEEP		;スリープ動作移行 (割り込み待ち)
C言語 プログラム例		
__enable_interrupt();		/* 全割り込み許可 */
__sleep();		/* スリープ動作移行 (割り込み待ち) */

**注** : SLEEP命令までは割り込み禁止、保留割り込み実行前にスリープ動作へ移行します。

## 5.8.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小 4クロック サイクルです。4クロック サイクル後、実際の割り込み処理ルーチンに対する **プログラム ベクタ アドレス** が実行されます。この 4クロック サイクル時間中にプログラム カウンタ (PC) がスタック上に保存 (プッシュ) されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は 3 **バイト** 補 これは **JMP** 命令 =3で ATmega168の場合、ATmega48/88の場合は **RJMP** 命令 =2クロック サイクル要します。複数 サイクル命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUがスリープ動作の時に割り込みが起こると、割り込み実行応答時間は 4クロック サイクル加増されます。この増加は選択したスリープ動作からの起動時間に加えてになります。

割り込み処理ルーチンからの復帰は 4クロック サイクル要します。これらの 4クロック サイクル中、プログラム カウンタ (PC) 2バイトがスタックから取り戻され (ポップ) スタックポインタは増加され (+2) **ステータスレジスタ (SREG) の全割り込み許可 (I) フラグ** がセット (1) されます。

## 6. AVRのメモリ

### 6.1. 概要

この項はATmega48/88/168の各種メモリを記述します。AVRアーキテクチャにはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えてATmega48/88/168はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

### 6.2. 実装書き換え可能なプログラム用フラッシュメモリ

ATmega48/88/168はプログラム保存用に実装書き換え可能な4/8/16Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは2/4/8K×16ビットとして構成されます。ソフトウェア保護のため、ATmega88/168のフラッシュプログラムメモリ空間はブートプログラム領域と応用プログラム領域の2つに分けられます。ATmega48は独立したブートプログラム領域と応用プログラム領域を持たず、SPM命令はフラッシュメモリ全体で実行できます。より多くの詳細については168頁と177頁の「SPM命令制御/状態レジスタ」節の自己プログラミング許可(SELFPRGEN)の記述をご覧ください。

図 6-1. ATmega48  
プログラムメモリ配置図

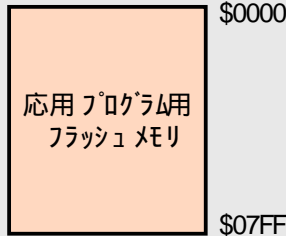
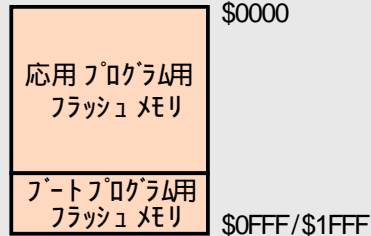


図 6-2. ATmega88/168  
プログラムメモリ配置図



フラッシュメモリは最低10,000回の消去/書き込みサイクルの耐久性があります。ATmega48/88/168のプログラムカウンタ(PC)は11/12/13ビット幅で、従って2/4/8Kプログラムメモリ位置のアドレス指定です。ブートプログラム領域の操作と関係するソフトウェア保護用ブートロックビットは、164頁の「自己プログラミング-ATmega48」と169頁の「ブートローダ書き込み中読み出し可能な自己プログラミング-ATmega88/168」で詳細に記述されます。178頁の「メモリプログラミング」はSPまたはパラレルプログラミング動作でのフラッシュメモリプログラミングの詳細な記述を含みます。

定数テーブルは全てのプログラムメモリアドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は8頁の「命令実行タイミング」で示されます。

### 6.3. データ用SRAMメモリ

図 6-3はATmega48/88/168のSRAMメモリ構成方法を示します。

ATmega48/88/168はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間)内\$60~\$FFの拡張I/O空間に対しては、LD/LDS/LDDとST/STS/STD命令だけが使用できます。

下位768/1280/1280データメモリ位置はレジスタファイル、I/Oメモリ拡張I/Oメモリデータ用内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の512/1024/1024位置はデータ用内蔵SRAMに充てます。

直接、間接、デイスプレースメント変位付き間接、プリインクリメント付き間接、ポストインクリメント付き間接の5つの異なるアドレッシングモードでデータメモリ空間を網羅します。レジスタファイル内のレジスタR26~R31は間接アドレッシングポインタ用レジスタが特徴です。

直接アドレッシングはデータ空間全体に届きます。

デイスプレースメント付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動プリインクリメント付きとポストインクリメント付きのレジスタ間接アドレッシング動作を使用するとき、使用されるX,Y,Zアドレスレジスタはデクリメント(-1)またはインクリメント(+1)されます。

ATmega48/88/168の32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、512/1024/1024バイトのデータ用内蔵SRAMはこれら全てのアドレッシングモードを通して全部アクセスできます。レジスタファイルは7頁の「汎用レジスタファイル」で記述されます。

図 6-3. データメモリ配置図

	アドレス	
レジスタファイル (32×8)	R0 ~ R31	\$0000 ~ \$001F
I/Oレジスタ (64×8)	\$00 ~ \$3F	\$0020 ~ \$005F
拡張I/Oレジスタ (160×8)	\$0060 ~ \$00FF	\$0060 ~ \$00FF
内蔵SRAM (512/1K/1K×8)	\$0100 ~ \$0xFFF	\$0100 ~ \$02FF/\$04FF/\$04FF

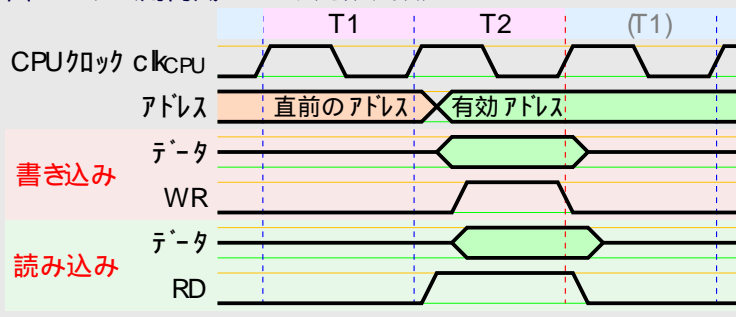
注 赤字は  
I/Oアドレス

#### 6.3.1. データメモリアクセスタイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図 6-4で記載されるように2clk<sub>CPU</sub>サイクルで実行されます。

(訳注)内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2サイクルで実行され、T1で対象アドレス取得/算出/確定し、T2で実際のアクセスが行われます。次の(T1)は次の命令のT1です。

図 6-4. データ用内蔵SRAMアクセスサイクル



## 6.4. テーブル EEPROM メリ

ATmega48/88/168は256/512/512バイトのテーブル EEPROMを含みます。それは単一バイトが読み書きできる分離したテーブル空間として構成されます。EEPROMは最低100,000回の消去/書き込みサイクルの耐久性があります。CPUとEEPROM間のアクセスは以降の [EEPROMアドレスレジスタ](#) [EEPROMデータレジスタ](#) [EEPROM制御レジスタ](#)で詳細に記述されます。

[17頁の「メモリプログラミング」](#)はSPまたはパラレルプログラミングの詳細な記述を含みます。

### 6.4.1. EEPROM アクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの消去/書き込み **訳注** 原文はアクセス時間は表 6-1で与えられます。書き込みは自己タイシング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られねばなりません。嚴重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使用されるクロック周波数において最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については以下の「EEPROMテーブル化けの防止」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わねばなりません。この詳細についてはEEPROM制御レジスタの説明と[13頁の「非分離バイト書き込み」と「分離バイト書き込み」](#)を参照してください **訳注** 本行内容追加)

EEPROMが読まれると、CPUは次の命令が実行される前に4クロックサイクル停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロックサイクル停止されます。

### 6.4.2. EEPROM テーブル化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMテーブル化け得ます。これらの問題はEEPROMを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMテーブル化けは電圧が低すぎる時の2つの状態により起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMテーブル化けは次の推奨設計により容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵**低電圧検出器 BOD**を許可することにより行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリッ保護回路が使用できます。書き込み動作実行中にリッが起こると、この書き込み操作は供給電源電圧が充分ならば継続完了されます。

## 6.5. I/O メリ (レジスタ)

ATmega48/88/168のI/O空間定義は[21頁の「レジスタ一覧」](#)で示されます。

ATmega48/88/168の全てのI/Oと周辺機能はI/O空間に配置されます。すべてのI/O位置はI/O空間と32個の汎用作業レジスタ間のテーブル転送を行う**LD/LDS/LDD**命令と**ST/STS/STD**命令によりアクセスされます。アドレス範囲\$00~\$1F内のI/Oレジスタは**SB**命令と**CB**命令の使用で直接的にビットアクセス可能です。これらのレジスタでは**SBIS**と**SBIC**命令の使用により単一ビット値が検査できます。より多くの詳細については **命令一覧** 項を参照してください。I/O指定命令**IN**と**OUT**を使用するとき、I/Oアドレス\$00~\$3Fが使用されねばなりません。**LD**命令と**ST**命令を使用し、テーブル空間としてI/Oレジスタをアクセスするとき、これらのアドレスに\$20が加算されねばなりません。ATmega48/88/168は**IN**や**OUT**命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(テーブル空間)内\$60~\$FFの拡張I/O領域に対しては**LD/LDS/LDD**と**ST/STS/STD**命令だけが使用できます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは**0**が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理**1**を書くことによりクリア**0**されます。**CB**と**SB**命令は他の多くのAVRの様ではなく、指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使用できることに注意してください。**CB**と**SB**命令は(I/Oアドレス)\$00~\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

### 6.5.1. 汎用 I/Oレジスタ

ATmega48/88/168は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使用でき、特に全体変数や状態フラグの格納に有用です。(I/Oアドレス)範囲\$00~\$1Fの汎用I/Oレジスタは**SBIS**、**CBIS**、**SBIC**命令の使用で直接ビットアクセスが可能です。

## 6.6. メモリ関係レジスタ

### 6.6.1. EEPROMアドレスレジスタ (EEPROM Address Register) EEARH EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$22 (\$42)	-	-	-	-	-	-	-	(EEAR8)	EEARH
Read/W rite	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ビット15~ 9 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット8~ 0 - EEAR8~ 0 :EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ (EEARHとEEARL)は 256/512/512バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータバイトは 0~ 255/511/511間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

EEAR8はATmega48の未使用ビットで、常に 0が書かれなければなりません。

### 6.6.2. EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	(MSB)							(LSB)	EEDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - EEDR7~ 0 :EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対して EEDRはEEPROMアドレスレジスタ (EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対して EEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

### 6.6.3. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1F (\$3F)	-	-	EEPM1	EEPM0	EERE	EEMPE	EEPE	EERE	EECR
Read/W rite	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

ビット76 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット54 - EEPM1 EEPM0 :EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可 (EEPE書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作 (旧値消去と新値書き込み) または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする書くことが可能です。各動作に対するプログラミング時間は表 6-1で示されます。EEPEがセット(1)されている間はEEPMnへのどの書き込みも無視されます。ビット中、EEPMnビットはEEPROMがプログラミング作業中を除いて 00にセットされます。

表 6-1. EEPROMプログラミング種別

EEPM1	EEPM0	プログラミング時間	動作
0	0	3.4ms	操作での消去と書き込み (非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	-	将来使用に予約

ビット3 - EERE :EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EEREの書き込みはステータスレジスタ (SREG)の全割り込み許可 (I)ビットがセット(1)されているなら、EEPROM操作可割り込みを許可します。EEREの書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。EEPROM書き込みとSPM命令の間、本割り込みは生成されません。



## ビット2 - EEMPE :EEPROMマスタプログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROMプログラム許可 (EEPEビット)の書き込みが有効か無効かどちらかを決めます。EEMPEがセット(1)されると、4クロックサイクル内のEEPEセット(1)は選択したアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPEセット(1)は無効です。EEMPEがソフトウェアによりセット(1)されてしまうと、4クロックサイクル後にハードウェアがこのビットを0にクリアします。EEPROM書き込み手順については次のEEPE記述をご覧ください。

## ビット1 - EEPE :EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム許可信号 (EEPE)はEEPROMへのプログラミング許可信号です。EEPEが1を書かれると、EEPROMはEEMPEビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROMマスタプログラム許可 (EEMPE)ビットは1を書かれなければならない、さもなければEEPROM書き込み (消去)は行われません。EEPROMを書くとき、次の手順に従うべきです (手順 と の順番は重要ではありません)。

EEPROMプログラム許可 (EEPE)ビットが0になるまで待ちます。

SPM制御レジスタ (SPMCSR)の自己プログラミング許可 (SELFPRGEN)ビットが0になるまで待ちます。

今回のEEPROMアドレスをEEPROMアドレスレジスタ (EEAR)に書きます。(任意、省略可)

今回のEEPROMデータをEEPROMデータレジスタ (EEDR)に書きます。(任意、省略可)

EEPROM制御レジスタ (EECR)のEEPROMマスタプログラム許可 (EEMPE)ビットに1を、EEPROMプログラム許可 (EEPE)ビットに0を同時に書きます。

EEMPEビット設定後4クロックサイクル内にEEPROMプログラム許可 (EEPE)ビットへ論理1を書きます。

CPUがフラッシュメモリ書き込み中、EEPROMはプログラム書き込みができません。ソフトウェアは新規EEPROM書き込みを始める前にフラッシュメモリのプログラミングが完了されていることを検査しなければなりません。はソフトウェアがフラッシュメモリをプログラム書き込みをすることをCPUに許すポートロータを含む場合だけ関係します。フラッシュメモリが決してCPUにより更新されないなら、は省略できます。ポートプログラミングについての詳細に関しては169頁の「ポートロータ書き込み中読み出し可能な自己プログラミング」-ATmega88/168をご覧ください。

**警告:** 手順 と 間の割り込みはEEPROMマスタ書き込み許可が時間超過するため、書き込みサイクル失敗になります。EEPROMをアクトする割り込みルーチンが他のEEPROMアクトを中断し、EEARかEEDRが変更されると、中断したEEPROMアクトを失敗にさせます。これらの問題を避けるため、全ての手順中、ステータスレジスタ (SREG)の全割り込み許可 (I)ビットはクリア(0)されていることが推奨されます。

書き込み (プログラミング)アクト時間が経過されると、EEPROMプログラム許可 (EEPE)ビットはハードウェアによりクリア(0)されます。EEPEがセット(1)されてしまうと、次の命令が実行される前にCPUは2サイクル停止されます。

## ビット0 - EERE :EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号 (EERE)はEEPROMへの読み込みストロークです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクトは (その) 命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4サイクル停止されます。

使用者は読み込み操作を始める前にEEPEビットをホールドすべきです。書き込み (プログラミング)操作実行中の場合、EEPROMアドレスレジスタ (EEAR)の変更もEEPROM読み込みでもできません。

EEPROMアクトの時間に校正済み内蔵RC発振器が使用されます。表6-2はCPUからのEEPROMアクトに対する代表的な書き込み時間を示します。

表 6-2. EEPROM書き込み時間

項目	校正付き内蔵 RC 発振器 サイクル数	Typ
EEPROM書き込み (CPU)	26,368	3.3ms

**訳注:** 参考のため、以下のEEPROMアクト方法を追加しました。

### 6.6a. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMに1バイトを書くとき、使用者はEEARにアドレス EEDRにデータを書かなければなりません。EEMPEビットが00ならば、(EEMPEが1を書かれる後の4サイクル内のEEPEの書き込みは消去/書き込み動作を起動します。消去と書き込みの両サイクルは操作で行われ、総プログラミング時間は表6-1で与えられます。EEPEビットは消去と書き込み動作が完了されるまでセット(1)に留まります。データがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

### 6.6b. 分離バイトプログラミング

2つの異なる操作として消去と書き込みサイクルを分離することが可能です。これは或る時間制限 (代表的には電源電圧不足) に対してシステムが短いアクト時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時 (代表的には電源投入後) に消去操作を行うことが可能です。

## 6.6c. 消去

ハイを消去するにはアドレスがEEARに書かれなければなりません。EEPROMビットが '01' なら、(EEMPEが1を書かれる後の4サイクル内の) EEPEの1書き込みは消去動作だけを起動します (プログラミング時間は表 6-1 で与えられます)。EEPEビットは消去動作が完了されるまでセット(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

## 6.6d. 書き込み

特定位置を書くため、使用者はEEARにアドレス EEDRにデータを書かなければなりません。EEPROMビットが '10' なら、(EEMPEが1を書かれる後の4サイクル内の) EEPEの1書き込みは書き込み動作だけを起動します (プログラミング時間は表 6-1 で与えられます)。EEPEビットは書き込み動作が完了されるまでセット(1)に留まります。書かれるべき位置が書き込み前に消去されてしまっていなければ、元の保存したデータは失ったとみなされなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は例えば全割り込み禁止により割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はソフトウェア内にフラッシュフットロータが無い前提でもあります。そのようなコードが存在する場合、EEPROM書き込み関数は、何れかが実行するSPM命令の完了を待たねばなりません。 **訳注** 共通性から次例は補足修正しています。)

### アセンブリ言語 プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_WR              ;以前のEEPROMプログラミング完了まで待機
;
             LDI     R19, (0<<EEPMM1) | (0<<EEPMD0) ;プログラミング種別値取得 (本例は非分離)
             OUT     EECR, R19               対応プログラミング種別設定
             OUT     EEARH, R18              ;EEPROMアドレス上位ハイ設定
             OUT     EEARL, R17              ;EEPROMアドレス下位ハイ設定
             OUT     EEDR, R16               ;EEPROM書き込み値を設定
             SBI     EECR, EEMPE             ;EEPROMマスタプログラミング許可ビット設定
             SBI     EECR, EEPE              ;EEPROMプログラミング開始 (プログラミング許可ビット設定)
             RET                               呼び出し元へ復帰
```

### C言語 プログラム例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while((EECR & (1<<EEPE)));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEPMM1) | (0<<EEPMD0);          /* 対応プログラミング種別設定 */
    EEAR = uiAddress;                          /* EEPROMアドレス設定 */
    EEDR = ucData;                            /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                       /* EEPROMマスタプログラミング許可 */
    EECR |= (1<<EEPE);                       /* EEPROMプログラミング開始 */
}
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

### アセンブリ言語 プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_RD              ;以前のEEPROMプログラミング完了まで待機
;
             OUT     EEARH, R18              ;EEPROMアドレス上位ハイ設定
             OUT     EEARL, R17              ;EEPROMアドレス下位ハイ設定
             SBI     EECR, EERE              ;EEPROM読み出し開始 読み込み許可ビット設定
             IN      R16, EEDR               ;EEPROM読み出し値を取得
             RET                               呼び出し元へ復帰
```

### C言語 プログラム例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while((EECR & (1<<EEPE)));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = uiAddress;                          /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                       /* EEPROM読み出し開始 */
    return EEDR;                             /* EEPROM読み出し値を取得 復帰 */
}
```

## 664.汎用 I/Oレジスタ2 (General Purpose I/O Register 2) GPDR2

ビット	7	6	5	4	3	2	1	0	
\$2B (\$4B)	(MSB)							(LSB)	GPDR2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 665.汎用 I/Oレジスタ1 (General Purpose I/O Register 1) GPDR1

ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	(MSB)							(LSB)	GPDR1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

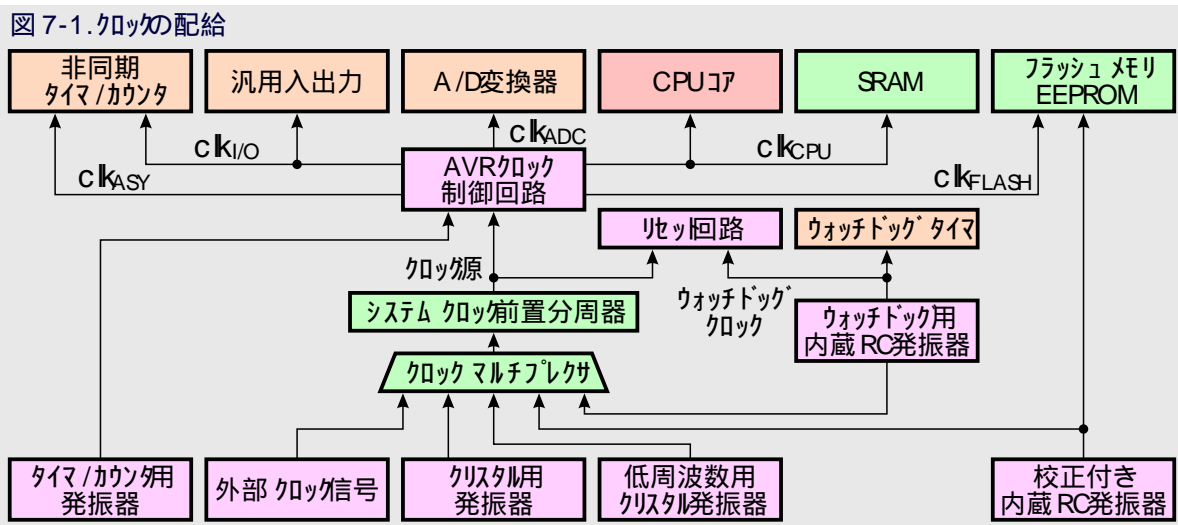
## 666.汎用 I/Oレジスタ0 (General Purpose I/O Register 0) GPDR0

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(MSB)							(LSB)	GPDR0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 7. システム クロックとクロック選択

### 7.1. クロック システムとその配給

図 7-1 は AVR 内の主要な クロック システムとその配給を示します。すべての クロック が与えられた時間有効である必要はありません。消費電力低減のため、22 頁の「電力管理とスリープ動作」で記述される各種 スリープ動作の使用により、使用されない部分の クロック が停止できます。クロック システムは以下で詳細に示されます。



#### 7.1.1. CPU クロック ckCPU

CPU クロックは AVR コアの動作と関係するシステムの部分に配給されます。このような部分の例は汎用レジスタ、ファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPU クロックの停止はコアが一般的な操作や計算を実行することを禁止します。

#### 7.1.2. I/O クロック ckI/O

I/O クロックはタイマ/カウンタ、SPI、USART のような I/O 部の大部分で使用されます。I/O クロックは外部割り込み部でも使用されますが、いくつかの外部割り込みは例えば I/O クロックが停止されても検出されることをこのような割り込みに許す非同期論理回路により検出されることに注意してください。多用途シリアル (USI) 部の開始条件検出は ckI/O が停止されると非同期に実行され、全スリープ動作で 2 線シリアル I/F (TWI) のアドレス認証を可能とすることにも注意してください。

#### 7.1.3. フラッシュ クロック ckFLASH

フラッシュ クロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュ クロックは常に CPU クロックと同時に活動します。

#### 7.1.4. 非同期タイマ クロック ckASY

非同期タイマ クロックは外部 32kHz クロック用水晶から直接的にクロック駆動されることを非同期タイマ/カウンタに許します。この専用クロック範囲はデバイスがスリープ動作の時でも、このタイマ/カウンタのリアルタイムカウンタとしての使用を許します。

#### 7.1.5. A/D 変換 クロック ckADC

A/D 変換器には専用のクロック範囲が提供されます。これはデジタル回路により生成されたノイズを低減するために CPU と I/O クロックの停止を許します。これはより正確な A/D 変換結果を与えます。

### 7.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットにより選択可能な後続のクロック元があります。選択したクロック元からのクロックは AVR クロック発生器への入力で、適切な部署へ配給されます。

表 7-1. クロック元選択

クロック元	CKSEL3~0
外部水晶低電力発振器	1111~ 1000
外部水晶全振幅発振器	0111~ 0110
外部低周波数水晶発振器	0101~ 0100
128kHz 内部 WDT 発振器	0011
校正付き内蔵 RC 発振器	0010
外部クロック信号	0000
予約	0001

注: 1=非プログラム 0=プログラム

#### 7.2.1. 既定のクロック元

このデバイスは 8.0MHz の校正付き内蔵 RC 発振器で CKDIV8 レジスタがプログラム (0) され、結果として 1.0MHz のシステム クロックで出荷されます。起動時間は計時完了周期が許可され、最大に設定されます。(CKSEL=0010, SUT=10, CKDIV8=プログラム (0)) この既定設定は全ての使用者が実装またはパラレル書き込み器を使用して、それらを希望したクロック元設定にできることを保証します。



## 7.2.2. クロック起動手順

何れのクロックも発振を開始するための十分なVCCと、それが安定であると考えられるのに先立って最低発振サイクル数が必要です。

十分なVCCを保証するために、その他全てのリセットによってデバイスリセットが開放された後、デバイスは起動遅延時間 (t<sub>ROUT</sub>) の内部リセットを発生します。27頁からの「システム制御とリセット」は、この内部リセットに対する起動条件を記述します。この遅延 (t<sub>ROUT</sub>) はウォッチドッグ発振器で計時され、遅延サイクル数はSUTとCKSELヒューズにより設定されます。選択可能な遅延は表7-2で示されます。

198頁の「代表特性 暫定」で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

遅延の主な目的はAVRが最小VCCを印加されるまでAVRをリセットに保つことです。この遅延は実電圧を監視しませんので、VCC立ち上がり時間より長い遅延を選ぶことが必要とされるべきです。これが不可能な場合、内部または外部の低電圧検出回路 (BOD) が使用されるべきです。BOD回路がリセットを開放する前に十分なVCCを保証するでしょうから、起動遅延時間は禁止され得ます。低電圧検出回路 (BOD) なしでの起動遅延時間の禁止は推奨されません。

この発振器はクロックが安定と考えられるのに先立って最低クロック数を発振することを必要とされます。内部リプルカウンタは発振器の出力クロックを監視し、与えられたクロックサイクル数に対して内部リセットを活性有効に保ちます。このリセットはその後には開放され、デバイスが実行を開始します。推奨発振器起動時間はクロック種別に依存し、外部的に印加されたクロックに対する6サイクルから、低周波数クリスタルに対する32Kサイクルまで変化します。

クロックについての起動手順は計時完了遅延とデバイスがリセットから起動するときの起動時間の両方を含みます。パワーダウンまたはパワーセーブから起動するとき、VCCは十分な電圧であると認識され、起動時間だけが含められます。

## 7.3. クリスタル用低電力発振器

XTAL1とXTAL2は図7-2で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使用できます。

この発振器はXTAL2出力上の電圧振幅を減少した低電力発振器です。これは最低消費電力を与えますが、他のクロック入力を駆動する能力はなく、ノイズが多い環境で、よりノイズの影響を受けやすくなります。これらの場合には18頁の「クリスタル用全振幅発振器」を参照してください。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使用するクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁ノイズに依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表7-3で与えられます。セラミック振動子については、製造業者により与えられたコンデンサ値が使用されるべきです。

低電力発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は表7-3で示されるようにCKSEL3~1ヒューズにより選択されます。

CKSEL0ヒューズはSUT1,0ヒューズと共に表7-4で示されるように起動時間を選択します。

図7-2. クリスタル発振子接続図

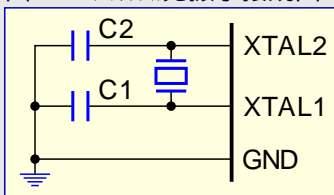


表7-3. 低電力クリスタル発振器動作種別

CKSEL3~1	周波数範囲	推奨C1,2容量
100 (注1)	0.4~ 0.9MHz	-
101	0.9~ 3.0MHz	12~ 22pF
110	3.0~ 8.0MHz	12~ 22pF
111	8.0~ 16MHz	12~ 22pF

注：これは各周波数範囲に対する推奨CKSEL設定です。

注：周波数が仕様 (VCC依存) 超の場合、CKD1 V8=0が可能です。分周後クロックが仕様内であることを保証せねばなりません。

注1: 本選択はクリスタル発振子ではなく、セラミック振動子でのみ使用されるべきです。

表7-4. クリスタル発振子 / セラミック振動子用低電力発振器起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	00	258x CK (注1)	14x CK+4.1ms	外部セラミック振動子、高速立ち上り電源
	01	258x CK (注1)	14x CK+65ms	外部セラミック振動子、低速立ち上り電源
	10	1Kx CK (注2)	14x CK	外部セラミック振動子、低電圧検出 (BOD) リセット許可
	11	1Kx CK (注2)	14x CK+4.1ms	外部セラミック振動子、高速立ち上り電源
1	00	1Kx CK (注2)	14x CK+65ms	外部セラミック振動子、低速立ち上り電源
	01	16Kx CK	14x CK	外部クリスタル発振子、低電圧検出 (BOD) リセット許可
	10	16Kx CK	14x CK+4.1ms	外部クリスタル発振子、高速立ち上り電源
	11	16Kx CK	14x CK+65ms	外部クリスタル発振子、低速立ち上り電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性の保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使用できます。

## 7.4. クリスタル用全振幅発振器

XTAL1とXTAL2は図 7-3で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使用できます。

この発振器はXTAL2出力上で供給電圧端振幅にする全振幅発振器です。これはノイズが多い環境や他のクロック入力を駆動するのに適します。消費電流は17頁の「クリスタル用低電力発振器」より多くなります。全振幅クリスタル発振器がVCC=2.7~5.5Vに対してのみ動作することに注意してください。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使用するクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁ノイズに依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表 7-5で与えられます。セラミック振動子については、製造業者により与えられたコンデンサ値が使用されるべきです。

この動作種別は表 7-5で示されるようにCKSEL3~1<sub>bit</sub>により選択されます。

CKSEL0<sub>bit</sub>はSUT1<sub>0bit</sub>と共に表 7-6で示されるように起動時間を選択します。

図 7-3. クリスタル発振子接続図

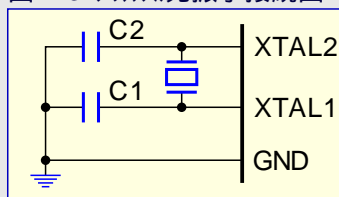


表 7-5. 全振幅クリスタル発振器動作種別

CKSEL3~1	周波数範囲	推奨C1容量
011	0.4~20MHz	12~22pF

注：周波数が仕様 (VCC依存 超の場合、CKD1 V8=0)が可能です。分周後クロックが仕様内であることを保証せねばなりません。

表 7-6. クリスタル発振子 / セラミック振動子用全振幅発振器起動遅延時間選択表

CKSEL0	SUT1 <sub>0</sub>	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	00	258x CK (注1)	14x CK+4.1ms	外部セラミック振動子、高速立ち上り電源
	01	258x CK (注1)	14x CK+65ms	外部セラミック振動子、低速立ち上り電源
	10	1Kx CK (注2)	14x CK	外部セラミック振動子、低電圧検出 (BOD) リセット許可
	11	1Kx CK (注2)	14x CK+4.1ms	外部セラミック振動子、高速立ち上り電源
1	00	1Kx CK (注2)	14x CK+65ms	外部セラミック振動子、低速立ち上り電源
	01	16Kx CK	14x CK	外部クリスタル発振子、低電圧検出 (BOD) リセット許可
	10	16Kx CK	14x CK+4.1ms	外部クリスタル発振子、高速立ち上り電源
	11	16Kx CK	14x CK+65ms	外部クリスタル発振子、低速立ち上り電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性の保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使用できます。

## 7.5. 低周波数クリスタル用発振器

このデバイスは専用の低周波数発振器によってクロック元として時計用 32.768kHzクリスタルを使用できます。クリスタル発振子は図 7-2で示されるように接続されるべきです。この発振器が選択されると、起動時間は表 7-7で示されるようにSUT1<sub>0bit</sub>とCKSEL0<sub>bit</sub>により決定されます。

表 7-7. 低周波数クリスタル発振器起動遅延時間選択表

CKSEL0	SUT1 <sub>0</sub>	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	00	1Kx CK (注1)	14x CK	低電圧検出 (BOD) リセット許可
	01	1Kx CK (注1)	14x CK+4.1ms	高速立ち上り電源
	10	1Kx CK (注1)	14x CK+65ms	低速立ち上り電源
	11	予約		
1	00	32Kx CK	14x CK	低電圧検出 (BOD) リセット許可
	01	32Kx CK	14x CK+4.1ms	高速立ち上り電源
	10	32Kx CK	14x CK+65ms	低速立ち上り電源
	11	予約		

注1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。

## 7.6. 校正付き内蔵 RC 発振器

既定による校正された内蔵 RC 発振器は概ね 8.0MHz のクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については 19 頁の表 27-1 と 20 頁の「内部発振器周波数」をご覧ください。このデバイスは CKD M8 ユースがプログラム (0) で出荷されます。より多くの詳細については 20 頁の「システム クロック前置分周器」をご覧ください。

このクロックは表 7-8 で示されるように CKSEL ユースのプログラミングによりシステム クロックとして選択できます。選択したなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正 OSCCAL レジスタに予めプログラムされた校正值バイトを設定し、これによって RC 発振器を自動的に校正します。この校正の精度は表 27-1 で工場校正として示されます。

ソフトウェアから OSCCAL レジスタを変更することによって発振校正レジスタ (OSCCAL 参照) 工場校正を使用するより高い精度を得ることができます。この校正の精度は表 27-1 で使用者校正として示されます。

この発振器がチップ (システム) クロックとして使用されるとき、ウォッチドッグ発振器は未だウォッチドッグ タイムとリセット付加遅延 タイムに使用されます。予め設定された校正值のより多くの情報については 180 頁の「発振校正值バイト項」をご覧ください。

この発振器が選択されると、起動時間は表 7-9 で示されるように SUT ユースによって決定されます。PB6 (XTAL1/TOSC1) と PB7 (XTAL2/TOSC2) は標準 I/O ピンまたはタイマ/カウンタ用発振器ピンのどちらかとして使用できます (訳補 共通性から本行追加)

表 7-8. 校正付き内蔵 RC 発振器動作種別

CKSEL3~0	周波数範囲 (MHz)
0010	7.3~ 8.1

注: デバイスはこの選択で出荷されます。

注: この 8MHz 周波数がデバイス仕様 (VCC に依存) を越える場合、内部周波数を 8 分周するために CKD M8 ユースをプログラム (0) にできます。

表 7-9. 校正付き内蔵 RC 発振器用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	6x CK	14x CK (注2)	低電圧検出 (リセット BOD 許可)
01	6x CK	14x CK+4.1ms	高速立ち上り電源
10 (注1)	6x CK	14x CK+65ms	低速立ち上り電源
11	予約		

注 1: デバイスはこの選択で出荷されます。

注 2: RSTDISBL ユースがプログラム (0) されると、プログラミング動作への移行可を保証するため、付加遅延時間は 14x CK+4.1ms に増やされます。

## 7.7. 128kHz 内部発振器

128kHz 内部発振器は 128kHz のクロックを供給する低電力発振器です。この周波数は 3V<sub>25</sub> の公称値です。本クロックは表 7-10 で示されるように CKSEL ユースを '0011' にプログラミング設定することによりシステム クロックとして選択できます。

このクロック元が選択されると、起動時間は表 7-11 で示されるように SUT ユースにより決定されます。

表 7-10. 128kHz 内部発振器動作種別

CKSEL3~0	公称周波数
0011	128kHz

注: 128kHz 発振器は超低電力 クロックで、高精度用に設計されていないことに注意してください。

表 7-11. 128kHz 内部発振器用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間	推奨使用法
00	6x CK	14x CK (注1)	低電圧検出 (BOD) リセット許可
01	6x CK	14x CK+4ms	高速立ち上り電源
10	6x CK	14x CK+64ms	低速立ち上り電源
11	予約		

注 1: RSTDISBL ユースがプログラム (0) されると、プログラミング動作への移行可を保証するため、付加遅延時間は 14x CK+4.1ms に増やされます。



## 7.8. 外部 クロック信号

外部 クロックからデバイス駆動するには、XTALが図 7-4で示されるように駆動されるべきです。外部 クロックでデバイスを走行するためには、CKSELヒューズが '0000' にプログラム設定 されなければなりません (表 7-12参照)。

このクロックが選択されると、起動時間は表 7-13で示されるように SUTヒューズにより決定されます。

図 7-4 外部 クロック信号駆動接続図

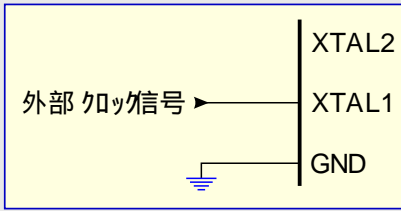


表 7-12 外部 クロック信号動作種別

CKSEL3~ 0	周波数範囲
0 0 0 0	0~ 20MHz

**注** : 周波数がデバイス仕様 (VCCに依存) を越える場合、内部周波数を 8分周するために CKD M8ヒューズをプログラム (0) にできます。それは分周したクロックがデバイス仕様での周波数に合致するのを保証しなければなりません。

表 7-13 外部 クロック信号駆動用起動遅延時間選択表

SUT1p	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6x CK	14x CK	低電圧検出 (BOD) 允許可
0 1	6x CK	14x CK+4.1ms	高速立ち上り電源
1 0	6x CK	14x CK+65ms	低速立ち上り電源
1 1			予約

外部 クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロックサイクルから次へのより大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれることを保証することが必要とされます。

システム クロック前置分周器が安定な動作を保証しながら、内部 クロック周波数の実行時変更の実現に使用できることに注意してください。詳細については「システム クロック前置分周器」を参照してください。

## 7.9. クロック出力 ハッファ (外部 クロック出力)

このデバイスはシステム クロックをCLKOピンに出力できます。本出力を許可するにはCKOUTヒューズがプログラム (0) されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動するとき用です。このヒューズがプログラム (0) されると、I/Oピンの標準動作は無視され、このクロックはリセット中も出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵 RC発振器を含む何れのクロック元も選択できます。システム クロック前置分周器が使用されると、CKOUTヒューズがプログラム (0) されたときの出力は分周したシステム クロックです。

## 7.10. タイマ/カウンタ用発振器

このデバイスは時計用 32.768kHzクリスタルまたは外部 クロック元でタイマ/カウンタを駆動できます。タイマ/カウンタ用発振器 (TOSC1とTOSC2) ピンはXTA1、XTAL2ピンと共用されています。これはシステム クロック元として校正付き内蔵 RC発振器が選択されるときだけタイマ/カウンタ用発振器が使用できることを意味します。クリスタルの接続については1頁の図 7-2をご覧ください。

TOSC1に外部 クロック元を印加するには非同期状態レジスタ (ASSR) の外部 クロック許可 (EXTCLK) ビットが論理 1 を書かれなければなりません。32kHzクリスタルに代わる入力として外部 クロックを選択する更なる記述については9頁の「タイマ/カウンタの非同期動作」をご覧ください。

## 7.11. システム クロック前置分周器

ATmega48/88/168はシステム クロック前置分周器を持ち、システム クロックはクロック前置分周レジスタ (CLKPR) の設定により分周できます。この特徴 機能 は必要とされる処理能力が低いときの消費電力削減に使用できます。これは全 クロック種別で使用でき、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。CLKCPU、CLKFLASH、CLKI/O、CLKADCは表 7-14で示された値により分周されます。

CLKASY 非同期 タイマ/カウンタ用 クロックのクロック周波数は、タイマ/カウンタ同期 クロックで駆動される場合だけ分周されることに注意してください (注 共通性のため本行追加)。

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間 経過途中 の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらより先高くなく、クロックシステムでグリッチが起きないことを保証します。前置分周器として実行するリアル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え (カウンタ値が 続ける) としても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。CLKPS値が書かれる時から新規 クロック周波数が活性 (有効) になる前に T1+T2~ T1+2x T間がかかります。この間で2つの有効なクロックエッジが生成されます。ここでの T1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬ クロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

クロック分周値変更許可 (CLKPCE) ビットに 1、CLKPR内の他の全ビットに 0 を書きます。

次からの 4サイクル以内に CLKPCEビットを 0 とする欲した CLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。



## 7.12. クロック関係レジスタ

### 7.12.1 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット (\$66)	7	6	5	4	3	2	1	0	
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

ビット7~ 0 - CAL7~ 0 : 発振校正値 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使用されます。チップのロット中、19頁の表 27-1 で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表 27-1 で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクティブ時間に使用され、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に関する操作範囲を決めます。このビットの0設定は低周波数範囲になり、1設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7F設定はOSCCAL=\$80設定より高い周波数になります。

CAL6~ 0ビットは選択した範囲内の周波数調整に使用されます。\$00設定はその範囲の最低周波数になり、\$7F設定はその範囲の最高周波数になります。

### 7.12.2. クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット (\$61)	7	6	5	4	3	2	1	0	
	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/W rite	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

ビット7 - CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するために、CLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれるときだけ更新されます。CLKPCEは書き込み後4クロックサイクルまたはCLKPSビット書き込み時、ハードウェアによりクリア(0)されます。この制限時間(4クロックサイクル)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットのクリア(0)も行いません。

ビット3,2,1,0 - CLKPS3~ 0 : クロック分周値選択 (Clock Prescaler Select Bits 3~ 0)

これらのビットは選択したクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使用されると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表 7-14 で与えられます。

CKDNV8ビットがCLKPSビットの初期値を決めます。CKDNV8が非プログラム(1)にされると、CLKPSビットは'0000'にセットされます。CKDNV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使用されるべきです。CKDNV8ビット設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、十分な分周値が選択されることを保証しなければなりません。このデバイスはCKDNV8ビットがプログラム(0)で出荷されます。

表 7-14. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値 (数)	1	2	4	8	16	32	64	128	256	予約						

## 8. 電力管理とスリープ動作

スリープ動作は応用でMCU内の未使用部を一時停止することを可能にし、これにより節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々なスリープ動作を提供します。

### 8.1. スリープ動作種別

16頁の図 7-1はATmega48/88/168の各種クロックシステムとその配給を示します。本図は適切なスリープ動作を選択する助けになります。表 8-1は各種スリープ動作、それらの起動復帰元を示します。

表 8-1. 各スリープ動作における動作クロック範囲と復帰起動要因

スリープ種別	動作クロック範囲					動作発振器		復帰起動要因 (割り込み)						
	clk CPU	clk FLASH	clk I/O	clk ADC	clk ASY	主クロック供給元	タイマ用発振器	NT1 NT0	TW/アドレス一致	タイマ/カウンタ2	SPM EEPROM操作可	A/D変換完了	ウォッチドッグ	その他 I/O
アイドル			○	○	○	○		○	○	○	○	○	○	○
A/D変換ノイズ低減				○	○	○			○		○	○	○	
パワーダウン									○				○	
パワーセーフ					○				○	○			○	
スタンバイ (注1)						○			○				○	

注 1: クロック元として外部クリスタル発振子またはセラミック振動子が選択された場合です。  
タイマ/カウンタ非同期状態レジスタ(ASR)の非同期クロック(AS2)がセット(1)された場合です。  
NT1とNT0のレベル割り込みだけです。

5つのスリープ動作の何れかへ移行するにはスリープ動作制御レジスタ(SMCR)のスリープ許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。SMCRのスリープ種別選択(SM2,1,0)ビットはSLEEP命令により活性(有効)にされるスリープ動作(アイドル、A/D変換ノイズ低減、パワーダウン、パワーセーフ、スタンバイ)のどれかを選びます。一覧については25頁の表 8-2をご覧ください。

MCUがスリープ動作中に許可した割り込みが起こると、MCUは起動します。その時MCUは起動時間に加えて4サイクル停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスがスリープから起動するとき、レジスタファイルとSRAMの内容は変えられません。スリープ動作中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

### 8.2. アイドル動作

スリープ種別選択(SM2~0)ビットが'000'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、SPI、USART、アナログ比較器、A/D変換器、2線シリアルインターフェース、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。このスリープ動作は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマのオーバーフローやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないならば、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットをセット(1)することより、アナログ比較器は電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるならば、この動作に移行すると変換が自動的に始まります。

### 8.3. A/D変換ノイズ低減動作

SM2~0ビットが'001'を書かれるとき、SLEEP命令はMCUをA/D変換ノイズ低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、2線シリアルインターフェースのアドレス監視、タイマ/カウンタ2(注)、ウォッチドッグの許可されていれば継続動作を許します。このスリープ動作は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対するノイズ環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、本動作に移行すると変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグシステムリセット、ウォッチドッグ割り込み、低電圧検出(BOD)リセット、2線シリアルインターフェースのアドレス一致割り込み、タイマ/カウンタ2の割り込み、SPM/EEPROM操作可割り込み、NT0またはNT1の外部レベル割り込み、ピン変化割り込みだけが、A/D変換ノイズ低減動作からMCUを起動できます。

注: タイマ/カウンタ2は非同期動作でだけ走行を維持します。詳細については「8ビットタイマ/カウンタ2 (PWM、非同期動作付き)」をご覧ください。

## 8.4. ハワータウ動作

スリープ種別選択 (SM2~ 0)ビットが '010' を書かれると、SLEEP命令はMCUをハワータウ動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線シリアル インターフェースのアドレス監視、ウォッチドッグ機能は許可されていれば継続して動作します。外部リセット、ウォッチドッグシステムリセット、ウォッチドッグ割り込み、低電圧検出 (BOD) リセット、2線シリアル インターフェースのアドレス一致割り込み、NTCまたはNTの外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。このスリープ動作は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがハワータウ動作からの復帰に使用される場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については39頁の「外部割り込み」を参照してください。

ハワータウ動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動遅延時間は16頁の「クロック」で記述されるように、リセット付加遅延時間を定義するのと同じCKSELビットにより定義されます。

## 8.5. ハワセーフ動作

SM2~ 0ビットが '011' を書かれると、SLEEP命令はMCUをハワセーフ動作へ移行させます。この動作は次の1つの例外を除いてハワータウ動作と同じです。

タイマ/カウンタが許可される場合、それらはスリープ中も走行動作を維持します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)され、タイマ/カウンタ割り込みマスクレジスタ(TMSK2)のタイマ/カウンタ2オーバーフロー割り込み許可(TOIE2)ビットまたは比較割り込み許可(OCIE2x)ビットがセット(1)されるなら、デバイス是对応するどの割り込みからでも起動できます。

タイマ/カウンタが走行動作しないなら、ハワータウ動作をハワセーフ動作の代わりにすることが推奨されます。

タイマ/カウンタはハワセーフ動作で同期と非同期両方でクロック駆動できます。タイマ/カウンタが非同期クロックを使用しない場合、スリープ中、タイマ/カウンタ用発振器は停止されます。タイマ/カウンタが同期クロックを使用しない場合、スリープ中、そのクロックは停止されます。例えばハワセーフ動作で同期クロックが走行しても、このクロックはタイマ/カウンタに対してだけ利用可能なことに注意してください。

## 8.6. スタンバ動作

外部クリスタル発振子/セラミック振動子クロック種別が選択され、SM2~ 0ビットが '110' のとき、SLEEP命令はMCUをスタンバ動作へ移行させます。この動作は外部クリスタル用発振器が走行動作を保たれる例外を除いてハワータウ動作と同じです。デバイスはスタンバ動作から6クロックサイクルで起動します。

## 8.7. 電力削減

電力削減レジスタ(26頁の電力削減レジスタ(PRR)参照)は消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止しているときに周辺機能により使用されていた資源は占有されたままです。その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ(PRR)のビットをクリア(0)することにより行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために、通常動作とアイドル動作で使用できます。例については20頁の「周辺機能部供給電流」をご覧ください。その他のスリープ動作では、クロックが予め停止されます。

## 8.8. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる際に考慮するためのそれぞれの検討点です。一般的にスリープ動作は可能な限り多く使用されるべきで、スリープ種別は動作するデバイス機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みる際に、特別な考慮を必要とするでしょう。

### 8.8.1. A/D変換器 (ADC)

許可したならば、A/D変換器は全スリープ動作で許可されます。電力を節約するため、スリープ動作の何れかへ移行する前に、A/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の最初の変換は延長された初回変換になります。A/D変換器操作の詳細については154頁の「A/D変換器」を参照してください。

### 8.8.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使用されないなら、禁止されるべきです。A/D変換ノイズ削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他のスリープ動作でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使用する設定の場合、全スリープ動作でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧はスリープ動作と無関係に許可されます。アナログ比較器設定法の詳細については152頁の「アナログ比較器」を参照してください。

### 8.8.3. 低電圧検出器 (BOD)

低電圧検出器 (BOD) が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器がBODLEVEL<sub>1</sub>により許可されていると全スリープ動作で許可され、故に常時電力を消費します。これはより深いスリープ動作での総消費電流にとって重要な一因になります。低電圧検出器 (BOD) 設定法の詳細については28頁の「低電圧検出 (BOD)」を参照してください。

### 8.8.4. 内部基準電圧

内部基準電圧は低電圧検出器 (BOD)、アナログ比較器、A/D変換器により必要とされる時に許可されます。これら部署が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使用される前に、使用者は基準電圧へ起動安定時間を与えなければなりません。基準電圧がスリープ動作でON保持される場合、この出力は直ちに使用できます。起動時間の詳細については29頁の「内部基準電圧」を参照してください。

### 8.8.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないならば、この部署はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全スリープ動作で許可され、故に常時電力を消費します。これはより深いスリープ動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については29頁の「ウォッチドッグ タイマ」を参照してください。

### 8.8.6. ポートピン

スリープ動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないことを保証することです。I/Oクロック (clk<sub>I/O</sub>) とA/D変換クロック (clk<sub>ADC</sub>) の両方が停止されるスリープ動作では、デバイスの入力バッファが禁止されます。これは必要とされないときに入力論理回路により電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については45頁の「デジタル入力許可とスリープ動作」を参照してください。入力バッファが許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力バッファは過大な電力を使用するでしょう。

アナログ入力ピンに対するデジタル入力バッファは常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は通常動作でも重要な電流を引き起こし得ます。デジタル入力バッファはデジタル入力禁止レジスタ (DDR0とDDR1) の書き込みにより禁止できます。詳細については153頁の「デジタル入力禁止レジスタ1 (DDR1)」と162頁の「デジタル入力禁止レジスタ0 (DDR0)」を参照してください。

### 8.8.7. 内蔵デバイス機能 (dV)

内蔵デバイス機能がDWEN<sub>1</sub>により許可され、チップがスリープ動作へ移行すると、主クロックは許可に留まり、従って常に電力を消費します。これはより深いスリープ動作での総消費電流にとって重要な一因になります。



## 8.9.電力管理用レジスタ

### 8.9.1.スリープ動作制御レジスタ (Sleep Mode Control Register) SMCR

このスリープ動作制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	-	-	-	SM2	SM1	SM0	SE	SMCR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7～4 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3,2,1 - SM2,SM1,SM0 :スリープ種別選択 (Sleep Mode Select Bit 2, 1 and 0)

これらのビットは表 8-2で示される利用可能な5つのスリープ動作の1つを選択します。

表 8-2.スリープ動作種別選択

SM2	SM1	SM0	スリープ動作種別
0	0	0	アイドル動作
0	0	1	A/D変換ノイズ低減動作
0	1	0	パワーダウン動作
0	1	1	パワーセーフ動作
1	0	0	予約
1	0	1	予約
1	1	0	スタンバイ動作 (注)
1	1	1	予約

注：スタンバイ動作は外部クリスタル発振子またはセラミック振動子での使用にだけ推奨されます。

ビット0 - SE :スリープ許可 (Sleep Enable)

**SLEEP**命令が実行される時にMCUをスリープ動作へ移行させるには、スリープ許可 (SE)ビットが論理1を書かれなければなりません。MCUの目的外スリープ動作移行を避けるため、**SLEEP**命令実行直前にスリープ許可 (SE)ビットをセット(1)、起動後直ちにクリア(0)することが推奨されます。

## 892. 電力削減レジスタ (Power Reduction Register) PRR

ビット	7	6	5	4	3	2	1	0	
(\$64)	PRTW1	PRTM2	PRTM0	-	PRTM1	PRSPI	PRUSART0	PRADC	PRR
Read/W rite	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - PRTW1 : 2線シリアル インターフェース電力削減 (Power Reduction TW1)

このビットへの書き込みはその部分へのクック停止により2線シリアル インターフェース(TW1)を停止します。TWの再起動時、TWは正しい動作を保証するために再初期化されるべきです。

ビット6 - PRTM2 : タイマ/カウンタ電力削減 (Power Reduction Timer/Counter2)

このビットへの書き込みは同期動作 非同期動作許可 (AS2)=0でのタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると 停止前と同様に動作は継続します。

ビット5 - PRTM0 : タイマ/カウンタ電力削減 (Power Reduction Timer/Counter0)

このビットへの書き込みはタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると 停止前と同様に動作は継続します。

ビット4 - Res : 予約 (Reserved)

このビットは予約されており 常に0として読まれます。

ビット3 - PRTM1 : タイマ/カウンタ電力削減 (Power Reduction Timer/Counter1)

このビットへの書き込みはタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると 停止前と同様に動作は継続します。

ビット2 - PRSPI : シリアル周辺 インターフェース電力削減 (Power Reduction Serial Peripheral Interface)

デバッグW R内蔵デバッグ機能を使用するなら、このビットは1を書かれるべきではありません。

このビットへの書き込みはその部分へのクック停止によりシリアル周辺 インターフェース(SPI)を停止します。SPの再起動時、SPは正しい動作を保証するために再初期化されるべきです。

ビット1 - PRUSART0 : USART0電力削減 (Power Reduction USART0)

このビットへの書き込みはその部分へのクック停止によりUSARTを停止します。USARTの再起動時、USARTは正しい動作を保証するために再初期化されるべきです。

ビット0 - PRADC : A/D変換器電力削減 (Power Reduction ADC)

このビットへの書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使用できません。

注 : アナログ比較器は153頁の「アナログ比較器制御/状態レジスタ(ACSR)」でのアナログ比較器禁止(ACDビット)の使用で禁止されます。 (訳注 共通性から本注追加)

## 9. システム制御とリセット

### 9.1. AVRのリセット

リセット中、全ての I/O レジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。ATmega168 についてリセットベクタに配置される命令はきつとリセット処理ルーチンへの **JMP** 絶対分岐 命令でしょう。ATmega48/88 についてリセットベクタに配置される命令はきつとリセット処理ルーチンへの **RJMP** 相対分岐 命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが配置できます。これはリセットベクタが応用領域の一方、割り込みベクタがユーティリティ領域の場合やその逆も同様です (ATmega88/168 のみ)。図 9-1 の回路構成図はリセット論理回路を示します。表 27-3 はリセット回路の電気的特性を定義します。

AVR の I/O ポートはリセットが有効になると直ちにそれらの初期状態にリセットされます。これはどのクロックの走行も必要ありません。

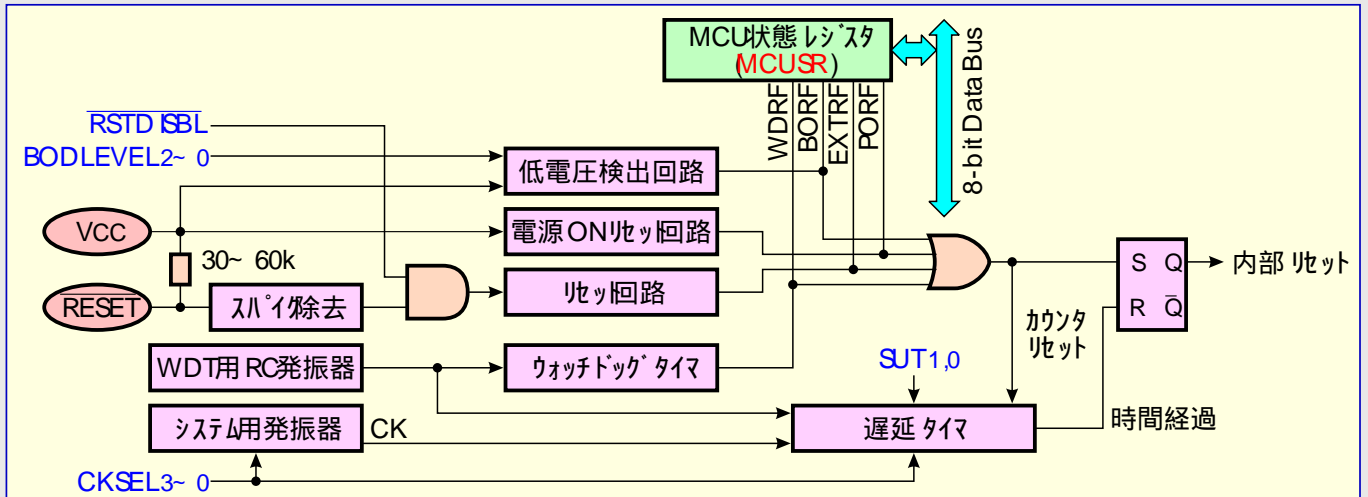
すべてのリセットが無効にされた後、遅延カウンタタイマーが起動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマーの遅延時間は **CKSEL1-3** を通して使用者により定義されます。この遅延時間についての各種選択は 16 頁の「クロック」で示されます。

### 9.2. リセット要因

ATmega48/88/168 には次の 4 つのリセットがあります。

- 電源 ON リセット ..... 供給電圧が電源 ON リセット閾値電圧 ( $V_{POT}$ ) 以下で MCU がリセットされます。
- 外部リセット ..... RESET ピンが最小パルス幅以上 **Low** レベルに保たれると、MCU がリセットされます。
- ウォッチドッグ リセット ..... ウォッチドッグシステムリセット動作が許可され、ウォッチドッグタイマーが終了すると、MCU がリセットされます。
- 低電圧リセット ..... 低電圧検出が許可され、供給電圧 ( $V_{CC}$ ) が低電圧検出電圧 ( $V_{BOT}$ ) 以下で MCU がリセットされます。

図 9-1. リセット回路構成



### 9.3.電源ONリセット

電源ONリセット(POR)ハルズはチップ上の検出回路によって生成されます。検出電圧は192頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使用できます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧( $V_{POT}$ )への到達は、VCCの立ち上がり後にデバイスがどのくらいリセットを保つかを決める遅延カウンタ(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図 9-2.内蔵電源ONリセット (RESETはVCCに接続)

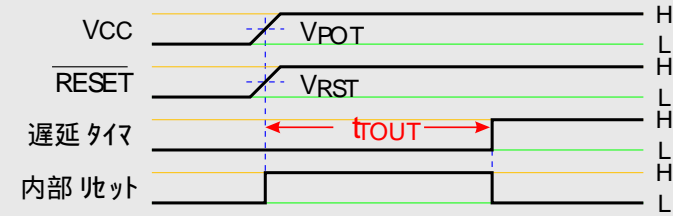
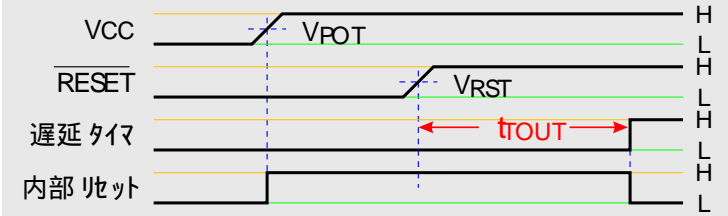


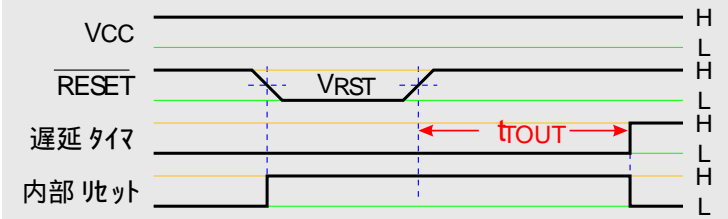
図 9-3.外部 RESET信号による延長電源ONリセット



### 9.4.外部リセット

外部リセットはRESETピンのLowレベルにより生成されます。クロックが動いていなくても、最小ハルズ幅(192頁の「システムとリセットの特性」参照)以上のリセットハルズはリセットを生成します。短すぎるハルズはリセット生成が保証されません。印加された信号の立ち上がり(リセット閾値電圧( $V_{RST}$ )に達すると遅延タイマを起動し)遅延タイマは遅延時間( $t_{OUT}$ )経過後にMCUを始動します。外部リセットはRSTDISBLビットにより禁止できます。179頁の表 26-6をご覧ください。

図 9-4.動作中の外部リセット



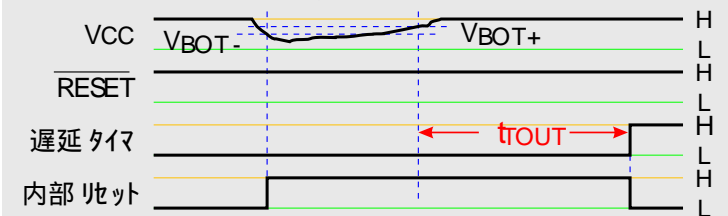
### 9.5.低電圧(ブラウナウト)検出リセット

ATmega48/88/168には固定化された起動検出電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD回路)があります。BODの起動電圧はBODLEVELビットにより選択できます。この起動電圧はスライク対策BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスは $V_{BOT+}=V_{BOT-}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT-}-V_{HYST}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると図 9-5の $V_{BOT-}$ 低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると図 9-5の $V_{BOT+}$ 遅延タイマが起動され、遅延タイマは遅延時間( $t_{OUT}$ )経過後、MCUを始動します。

BOD回路は電圧が192頁の「システムとリセットの特性」で与えられる $t_{BOD}$ 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

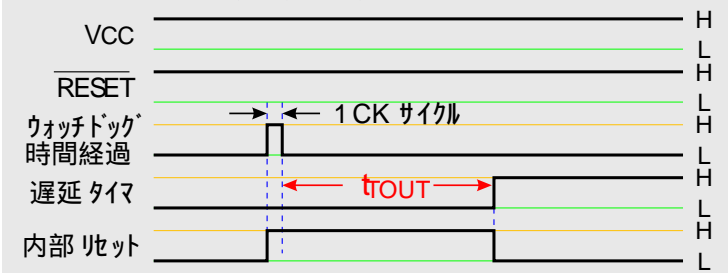
図 9-5.動作中の低電圧リセット



### 9.6.ウォッチドッグリセット

ウォッチドッグ時間経過時、内部的に1CKサイクル幅の短いリセットハルズを生成します。このハルズの立ち下りエッジで、遅延タイマは遅延時間( $t_{OUT}$ )の計時を始めます。ウォッチドッグタイマ操作の詳細については29頁を参照してください。

図 9-6.動作中のウォッチドッグリセット





## 9.7. 内部基準電圧

ATmega48/88/168は内部基準電圧が特徴です。この基準電圧は低電圧検出 (BOD) に使用され、A/D変換やアナログ比較器の入力としても使用できます。

### 9.7.1. 基準電圧許可信号と起動時間

基準電圧には使用されるべき方法に影響するかもしれない起動時間があります。この起動時間は192頁の「システムとレグの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

低電圧検出 許可時 (BODLEVELヒューズのプログラム(0)により)

アナログ比較器基準電圧接続時 (アナログ比較器 制御/状態レジスタ(ACSR)の基準電圧入力選択 (ACBG)=1)

A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可 (ADEN)=1)

従って低電圧検出 (BOD) が許可されていないと、ACBGの設定 (=1 または A/D変換部許可 (ADEN=1) 後、使用者はアナログ比較器またはA/D変換器出力が使用される前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされることを保証することで、上の3つの状態を避けられます。

## 9.8. ウォッチドッグ タイム

### 9.8.1. 特徴

独立した内蔵発振器からのクロック駆動

3つの動作種別

割り込み

システム リセット

割り込みとシステム リセット

選択可能な16ms~ 8sの計時完了時間

安全動作用のウォッチドッグ常時ONハードウェア ヒューズ

ATmega48/88/168は強化されたウォッチドッグ タイム WDT を持ちます。このウォッチドッグ タイム WDT はチップ上の独立した128kHz発振器の間隔で計時するタイマーです。WDTはカウンタが与えられた計時完了値に達したときに、割り込みまたはシステム リセットを与えます。通常動作では計時完了値へ達する前にカウンタを再始動するために、システムはウォッチドッグ リセット (WDR) 命令を使用する必要があります。システムがカウンタを再始動しなければ、割り込みまたはシステム リセットが起こるでしょう。

割り込み動作種別では、タイマー計時完了時にWDTが割り込みを与えます。この割り込みはスリープ動作からレハイスを起動するためや、一般的なシステム タイマーとしても使用できます。1つの例は或る動作に対して許された最大時間を制限することで、その動作が予測されたより長く走行するときに、割り込みを与えます。システム リセット動作種別ではタイマー計時完了時にWDTがリセットを与えます。これは一般的にコード外走行の場合の中断を防止するために使用されます。3つ目の動作種別は先に割り込みを与え、その後にシステム リセット動作種別に切り替えることによる、他の2つの動作種別の組み合わせである割り込み及びシステム リセット動作種別です。この動作種別は例えばシステム リセットに先立ち重要なパラメータを保存することによって安全な停止を許します。

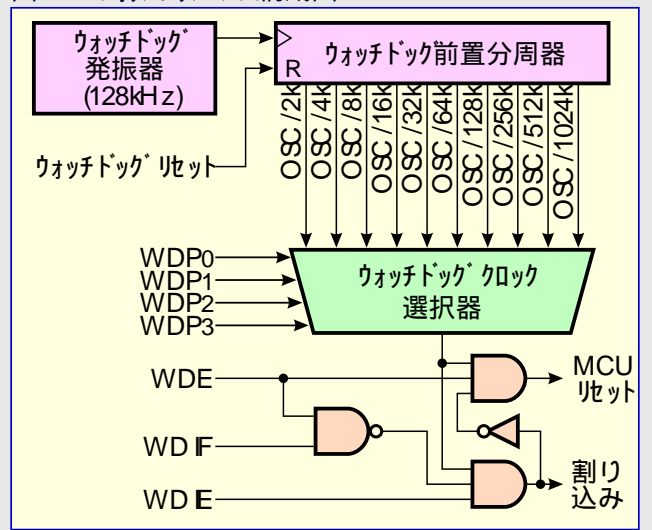
ウォッチドッグ常時ON (WDTON) ヒューズのプログラム(0)はウォッチドッグ タイムをシステム リセット動作種別に強制します。このヒューズのプログラム(0)でシステム リセット動作 (WDE) と割り込み動作 (WDE) とは各々、'1'と'0'に固定されます。

更にプログラム保護を保証するために、ウォッチドッグ設定の変更は時間制限手順に従わなければなりません。システム リセット許可 (WDE) の解除と計時完了時間設定の変更についての手順は次のとおりです。

同じ操作 命令 でウォッチドッグ変更許可 (WDCE) とWDEに論理 1を書きます。WDEビットの直前の値に拘らず、論理 1がWDEに書かれなければなりません。

次からの4クロックサイクル内に同じ操作 命令 で欲したWDEとウォッチドッグ タイム前置分周選択 (WDP3~ 0) ビットを書きますが、WDCE ビットはクリア (0) されてです。これは 操作 命令 で行わなければなりません。

図 9-7. ウォッチドッグ タイム構成図



次のコード例はウォッチドッグ タイマをOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は 例えば全割り込み禁止により割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

#### アセンブリ言語 プログラム例

WDT_OFF:	CLI	全割り込み禁止
	WDR	;ウォッチドッグ タイマ リセット
	IN R16,MCUSR	;MCUSR値を取得
	ANDI R16, (\$FF&(0<<WDRF))	;WDRF論理 0値を取得
	OUT MCUSR,R16	;ウォッチドッグ リセットフラグ WDRF 解除
	LDS R16,WDTCSR	現WDTCSR値を取得 (他ビット保護用)
	ORI R16, (1<<WDCE)   (1<<WDE)	;WDCEとWDE論理 1値を設定
	STS WDTCSR,R16	;WDCEとWDEに論理 1書き込み
	LDI R16, (0<<WDE)	;WDE論理 0値を取得
	STS WDTCSR,R16	;ウォッチドッグ禁止
	SEI	全割り込み許可
	RET	呼び出し元へ復帰

#### C言語 プログラム例

```
void WDT_off(void)
{
    __disable_interrupt();
    __watchdog_reset();
    MCUSR &= ~(1<<WDRF);
    WDTCSR |= (1<<WDCE) | (1<<WDE);
    WDTCSR = 0x00;
    __enable_interrupt();
}
```

/\*全割り込み禁止 \*/  
/\*ウォッチドッグ タイマ リセット\*/  
/\*ウォッチドッグ リセットフラグ WDRF 解除 \*/  
/\*WDCEとWDEに論理 1書き込み \*/  
/\*ウォッチドッグ禁止 \*/  
/\*全割り込み許可 \*/

注：4頁の「コード例について」をご覧ください。

注：ウォッチドッグが偶然に許可されると例えばホインタの逸脱や低電圧 (ブラウンアウト状態) テーパイズはリセットし、ウォッチドッグは許可に留まります。コードがウォッチドッグ操作の初期設定をしなければ、これは計時完了の無限ループを引き起こすかもしれません。この状態を避けるため、応用ソフトウェアは例えウォッチドッグが使用されなくても、初期化ルーチンでWDRFフラグとWDE制御ビットを常にクリア(0)すべきです。

次のコード例はウォッチドッグ タイマの計時完了値変更用のアセンブリ言語とC言語の関数を示します。

#### アセンブリ言語 プログラム例

WDT_PRS:	CLI	全割り込み禁止
	WDR	;ウォッチドッグ タイマ リセット
	LDS R16,WDTCSR	現WDTCSR値を取得 (他ビット保護用)
	ORI R16, (1<<WDCE)   (1<<WDE)	;WDCEとWDE論理 1値を設定
	STS WDTCSR,R16	;WDCEとWDEに論理 1書き込み
	LDI R16, (1<<WDE)   (1<<WDP2)   (1<<WDP0)	;WDE=1計時間隔=0.5s値を取得
	STS WDTCSR,R16	;0.5監視間隔 リセット動作開始
	SEI	全割り込み許可
	RET	呼び出し元へ復帰

#### C言語 プログラム例

```
void WDT_off(void)
{
    __disable_interrupt();
    __watchdog_reset();
    WDTCSR |= (1<<WDCE) | (1<<WDE);
    WDTCSR = (1<<WDE) | (1<<WDP2) | (1<<WDP0);
    __enable_interrupt();
}
```

/\*全割り込み禁止 \*/  
/\*ウォッチドッグ タイマ リセット\*/  
/\*WDCEとWDEに論理 1書き込み \*/  
/\*0.5監視間隔 リセット動作開始 \*/  
/\*全割り込み許可 \*/

注：4頁の「コード例について」をご覧ください。

注：ウォッチドッグ タイマ前置分周選択 WDP3~ 0ビットの変更がより短い計時完了周期に変わってしまう結果になり得るため、ウォッチドッグ タイマはWDPビットのどんな変更にも先立ち、リセットWDR命令 されるべきです。

## 99. リセット関係レジスタ

### 99.1. MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	WDRF	BORF	EXTRF	PORF	MCUSR
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

ビット7～4 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3 - WDRF :ウォッチドッグリセットフラグ (Watchdog Reset Flag)

このビットはウォッチドッグリセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット2 - BORF :低電圧リセットフラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット1 - EXTRF :外部リセットフラグ (External Reset Flag)

このビットは外部リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット0 - PORF :電源ONリセットフラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こるとセット(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセットフラグを使用するには、使用者はプログラム内で可能な限り早くMCUSRを読み、そしてクリア(0)すべきです。別のリセットが起こる前にこのレジスタがクリア(0)されると、そのリセット元はリセットフラグを調べることにより得られます。

## 99.2. ウォッチドッグ タイム制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット (\$60)	7	6	5	4	3	2	1	0	
	WDF	WDE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

### ビット7 - WDF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイムが割り込みに設定され、ウォッチドッグ タイムで計時完了が起こると、本ビットがセット(1)されます。対応する割り込み処理ベクタを実行すると、WDFはハードウェアによりクリア(0)されます。代わりにWDFはこのフラグへの論理1書き込みによりクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IK)ビットとウォッチドッグ割り込み許可(WDE)がセット(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

### ビット6 - WDE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IK)ビットがセット(1)されると、ウォッチドッグ割り込みが許可されます。この設定(=1)との組み合わせでウォッチドッグリセット許可(WDRF)ビットがクリア(0)されると、割り込み動作種別になり、ウォッチドッグ タイムで計時完了が起こると、対応する割り込みが実行されます。

WDEがセット(1)されると、ウォッチドッグ タイムは割り込み及びシステムリセット動作種別になります。ウォッチドッグ タイムでの最初の計時完了がウォッチドッグ割り込み要求(WDF)フラグをセット(1)します。対応する割り込みベクタの実行はWDEとWDFをハードウェアにより自動的にクリア(0)します。これは割り込みを使用する間のウォッチドッグリセット保護を維持するために有用です。割り込み及びシステムリセット動作種別に留まるには、各割り込み後にWDEがセット(1)されなければなりません。然しながら、ウォッチドッグシステムリセット動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立ち割り込みが実行されない場合、システムリセットが適用 実行 されます。

表 9-1. ウォッチドッグ タイム設定

WDTON	WDE	WDE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システムリセット	リセット
1	1	1	割り込み及びシステムリセット	割り込み、その後システムリセット動作種別
0	x	x	システムリセット	リセット

注 : WDTONピュースは 0 でプログラム、1 で非プログラムに設定です。

### ビット4 - WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

このビットはウォッチドッグリセット許可(WDE)と前置分周器ビットの変更用の時間制限手順で使用されます。WDEビットのクリア(0)や前置分周器ビット変更のため、WDCEはセット(1)されなければなりません。

一旦1を書かれると、4クロックサイクル後にハードウェアがWDCEをクリア(0)します。

### ビット3 - WDRF : ウォッチドッグリセット許可 (Watchdog System Reset Enable)

WDRFはMCU状態レジスタ(MCUSR)のウォッチドッグリセットフラグ(WDRF)により無効にされます。これはWDRFがセット(1)されると、WDEが常にセット(1)されることを意味します。WDEをクリア(0)するには、WDRFが先にクリア(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

### ビット5~0 - WDP3~0 : ウォッチドッグ タイム前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグ タイムが走行するときのウォッチドッグ タイムの前置分周を決めます。各種前置分周値と対応する計時完了周期は表 9-2で示されます。

表 9-2. ウォッチドッグ前置分周選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振サイクル数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	予約					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						



## 10. 割り込み

### 10.1 概要

本項はATmega48/88/168により実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については8頁の「レジット割り込みの扱い」を参照してください。

ATmega48, ATmega88, ATmega168の割り込みベクタは次の違いを除いてほぼ同じです。

各割り込みベクタはATmega168で2命令語、ATmega48とATmega88で1命令語を占有します。

ATmega48は独立したフートロータ領域を持ちません。ATmega88とATmega168で、レジットベクタはBOOTRSTヒューズにより、割り込みベクタ開始アドレスはMCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSELビット)によって影響を及ぼされます。

### 10.2. ATmega48/88/168の割り込みベクタ

表 10-1. レジット割り込みのベクタ

ベクタ番号	プログラム アドレス			発生元	備考
	ATmega48	ATmega88 (注2)	ATmega168 (注2)		
1	\$0000	\$0000 (注1)	\$0000 (注1)	レジット	電源ON, WDT, BOD等の各種レジット
2	\$0001	\$0001	\$0002	NT0	外部割り込み要求0
3	\$0002	\$0002	\$0004	NT1	外部割り込み要求1
4	\$0003	\$0003	\$0006	PC NT0 (PC I0)	ピン変化割り込み要求0
5	\$0004	\$0004	\$0008	PC NT1 (PC I1)	ピン変化割り込み要求1
6	\$0005	\$0005	\$000A	PC NT2 (PC I2)	ピン変化割り込み要求2
7	\$0006	\$0006	\$000C	ウォッチドッグ WDT	ウォッチドッグ計時完了
8	\$0007	\$0007	\$000E	タイマ/カウンタ2 COMPA	タイマ/カウンタ2比較A一致
9	\$0008	\$0008	\$0010	タイマ/カウンタ2 COMPB	タイマ/カウンタ2比較B一致
10	\$0009	\$0009	\$0012	タイマ/カウンタ2 OVF	タイマ/カウンタ2 オーバーフロー
11	\$000A	\$000A	\$0014	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲 (キャプチャ発生)
12	\$000B	\$000B	\$0016	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
13	\$000C	\$000C	\$0018	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
14	\$000D	\$000D	\$001A	タイマ/カウンタ1 OVF	タイマ/カウンタ1 オーバーフロー
15	\$000E	\$000E	\$001C	タイマ/カウンタ0 COMPA	タイマ/カウンタ0比較A一致
16	\$000F	\$000F	\$001E	タイマ/カウンタ0 COMPB	タイマ/カウンタ0比較B一致
17	\$0010	\$0010	\$0020	タイマ/カウンタ0 OVF	タイマ/カウンタ0 オーバーフロー
18	\$0011	\$0011	\$0022	SPI STC	SPI転送完了
19	\$0012	\$0012	\$0024	USART RX	USART受信完了
20	\$0013	\$0013	\$0026	USART UDRE	USART送信バッファ空き
21	\$0014	\$0014	\$0028	USART TX	USART送信完了
22	\$0015	\$0015	\$002A	A/D変換器 ADC	A/D変換完了
23	\$0016	\$0016	\$002C	EEPROM EE_RDY	EEPROM操作可
24	\$0017	\$0017	\$002E	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
25	\$0018	\$0018	\$0030	2線シリアル インターフェース TWI	2線シリアル インターフェース状態変化
26	\$0019	\$0019	\$0032	SPM命令 SPM_RDY	SPM命令操作可

注1: BOOTRSTヒューズがプログラム(0)されると、レジットはレジットでフートロータアドレスへ飛びます。169頁の「フートロータ書き込み中読み出し可能な自己プログラミング」-ATmega88/168をご覧ください。

注2: MCU制御レジスタ(MCUCR)の割り込みベクタ選択(IVSELビット)がセット(1)されると、割り込みベクタはフートフラッシュ領域先頭部へ移動されます。そして各割り込みベクタのアドレスは、この表のアドレスがフートフラッシュ領域の先頭アドレスに加算されます。

訳注) 原書の表 10-1 表 10-2 表 10-4は表 10-1として纏めました。

表 10-3は BOOTRST (ブースト) と MSEL 割り込みベクタ選択ビットの様々な組み合わせに対するリットベクタと割り込みベクタの配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが置けます。これはリットベクタが応用領域の一方、割り込みベクタがブール領域、またはその逆の場合でも同様です。

表 10-3. リットと割り込みベクタの配置

BOOTRST	MSEL	リットベクタアドレス	割り込みベクタ先頭アドレス	
			ATmega88	ATmega168
非プログラム (1)	0	\$0000	\$0001	\$0002
	1	\$0000	ブール領域先頭アドレス + \$0001	ブール領域先頭アドレス + \$0002
プログラム (0)	0	ブール領域先頭アドレス	\$0001	\$0002
	1	ブール領域先頭アドレス	ブール領域先頭アドレス + \$0001	ブール領域先頭アドレス + \$0002

注：ブール領域先頭アドレスは 176頁の表 25-6で示されます。

訳注) 原書の表 10-3と表 10-5は表 10-3として纏めました。本頁上記は ATmega88/168にのみ適用されます。

ATmega48/88での最も代表的かつ一般的なリットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000		RJMP RESET	各種リット
\$0001		RJMP EXT_INT0	外部割り込み要求 0
\$0002		RJMP EXT_INT1	外部割り込み要求 1
\$0003		RJMP PCINT0	ピン変化割り込み要求 0
\$0004		RJMP PCINT1	ピン変化割り込み要求 1
\$0005		RJMP PCINT2	ピン変化割り込み要求 2
\$0006		RJMP WDT_OVF	ウォッチドック計時完了
\$0007		RJMP TIM2_COMPA	タイマ/カウンタ2比較 A一致
\$0008		RJMP TIM2_COMPB	タイマ/カウンタ2比較 B一致
\$0009		RJMP TIM2_OVF	タイマ/カウンタ2 オーバーフロー
\$000A		RJMP TIM1_CAPT	タイマ/カウンタ1捕獲 (キャプチャ) 発生
\$000B		RJMP TIM1_COMPA	タイマ/カウンタ1比較 A一致
\$000C		RJMP TIM1_COMPB	タイマ/カウンタ1比較 B一致
\$000D		RJMP TIM1_OVF	タイマ/カウンタ1 オーバーフロー
\$000E		RJMP TIM0_COMPA	タイマ/カウンタ0比較 A一致
\$000F		RJMP TIM0_COMPB	タイマ/カウンタ0比較 B一致
\$0010		RJMP TIM0_OVF	タイマ/カウンタ0 オーバーフロー
\$0011		RJMP SPI_STC	SP転送完了
\$0012		RJMP USART_RXC	USART受信完了
\$0013		RJMP USART_UDRE	USART送信ハーフ空
\$0014		RJMP USART_TXC	USART送信完了
\$0015		RJMP ADC	ADC変換完了
\$0016		RJMP EE_RDY	EEPROM操作可
\$0017		RJMP ANA_COMP	アナログ比較器出力遷移
\$0018		RJMP TWI	2線シリアルインターフェース状態変化
\$0019		RJMP SPM_RDY	SPM命令操作可
;			
\$001A	RESET:	LDI R16, HIGH(RAMEND)	RAM最終アドレス上位を取得
\$001B		OUT SPH, R16	スタックポインタ上位を初期化
\$001C		LDI R16, LOW(RAMEND)	RAM最終アドレス下位を取得
\$001D		OUT SPL, R16	スタックポインタ下位を初期化
			以下、I/O初期化など

ATmega88でBOOTRSTヒューズが非プログラム(1)、フー領域容量が2Kバイトに設定され、どの割り込みが許可されるのにも先立ちMCU制御レジスタ(MCUCR)の割り込みベクタ選択(MSELビット)がセット(1)されるとき、最も代表的かつ一般的なリットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000	RESET:	LDI R16,HIGH(RAVEND)	各種リット (BOOTRSTヒューズ=1) ;RAM最終アドレス上位を取得 (応用プログラム開始)
\$0001		OUT SPH,R16	;スタックポインタ上位を初期化
\$0002		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$0003		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など
		.ORG \$0001	;フートプログラム領域が2Kバイトの場合
\$0001		RJMP EXT_INT0	外部割り込み要求 0
\$0002		RJMP EXT_INT1	外部割り込み要求 1
\$0019		RJMP SPM_RDY	;SPM命令操作可

ATmega88でBOOTRSTヒューズがプログラム(0)、フー領域容量が2Kバイトに設定されるとき、最も代表的かつ一般的なリットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
		.ORG \$0001	割り込みベクタ先頭
\$0001		RJMP EXT_INT0	外部割り込み要求 0
\$0002		RJMP EXT_INT1	外部割り込み要求 1
\$0019		RJMP SPM_RDY	;SPM命令操作可 ;以下、プログラムなど
		.ORG \$0000	;フートプログラム領域が2Kバイトの場合
\$0000	RESET:	LDI R16,HIGH(RAVEND)	各種リット (BOOTRSTヒューズ=0) ;RAM最終アドレス上位を取得 (プログラム開始)
\$0001		OUT SPH,R16	;スタックポインタ上位を初期化
\$0002		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$0003		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

ATmega88でBOOTRSTヒューズがプログラム(0)、フー領域容量が2Kバイトに設定され、どの割り込みが許可されるのにも先立ちMCU制御レジスタ(MCUCR)の割り込みベクタ選択(MSELビット)がセット(1)されるとき、最も代表的かつ一般的なリットと割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
		.ORG \$0000	;フートプログラム領域が2Kバイトの場合
\$0000		RJMP RESET	各種リット (BOOTRSTヒューズ=0)
\$0001		RJMP EXT_INT0	外部割り込み要求 0
\$0002		RJMP EXT_INT1	外部割り込み要求 1
\$0019		RJMP SPM_RDY	;SPM命令操作可
\$001A	RESET:	LDI R16,HIGH(RAVEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$001B		OUT SPH,R16	;スタックポインタ上位を初期化
\$001C		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$001D		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

ATmega168での最も代表的かつ一般的なビット割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000		JMP RESET	;各種ビット
\$0002		JMP EXT_INT0	;外部割り込み要求 0
\$0004		JMP EXT_INT1	;外部割り込み要求 1
\$0006		JMP PCINT0	;ピン変化割り込み要求 0
\$0008		JMP PCINT1	;ピン変化割り込み要求 1
\$000A		JMP PCINT2	;ピン変化割り込み要求 2
\$000C		JMP WDT_OVF	;ウォッチドック計時完了
\$000E		JMP TIM2_COMPA	;タイマ/カウンタ2比較 A一致
\$0010		JMP TIM2_COMPB	;タイマ/カウンタ2比較 B一致
\$0012		JMP TIM2_OVF	;タイマ/カウンタ2 オーバーフロー
\$0014		JMP TIM1_CAPT	;タイマ/カウンタ1捕獲 (キャプチャ)発生
\$0016		JMP TIM1_COMPA	;タイマ/カウンタ1比較 A一致
\$0018		JMP TIM1_COMPB	;タイマ/カウンタ1比較 B一致
\$001A		JMP TIM1_OVF	;タイマ/カウンタ1 オーバーフロー
\$001C		JMP TIM0_COMPA	;タイマ/カウンタ0比較 A一致
\$001E		JMP TIM0_COMPB	;タイマ/カウンタ0比較 B一致
\$0020		JMP TIM0_OVF	;タイマ/カウンタ0 オーバーフロー
\$0022		JMP SPI_STC	;SP転送完了
\$0024		JMP USART_RXC	;USART 受信完了
\$0026		JMP USART_UDRE	;USART 送信ハフフ空
\$0028		JMP USART_TXC	;USART 送信完了
\$002A		JMP ADC	;ADC変換完了
\$002C		JMP EE_RDY	;EEPROM操作可
\$002E		JMP ANA_COMP	;アナログ比較器出力遷移
\$0030		JMP TWI	;2線シリアル インターフェース状態変化
\$0032		JMP SPM_RDY	;SPM命令操作可
\$0034	RESET:	LDI R16,HIGH(RAMEND)	;RAM最終アドレス上位を取得
\$0035		OUT SPH,R16	;スタックポインタ上位を初期化
\$0036		LDI R16,LOW(RAMEND)	;RAM最終アドレス下位を取得
\$0037		OUT SPL,R16	;スタックポインタ下位を初期化
			;以下、I/O初期化など

ATmega168でBOOTRSTビットが非プログラム(1) プログラム領域容量が2Kバイトに設定され、どの割り込みが許可されるのにも先立ちMCU制御レジスタ(MCUCR)の割り込みベクタ選択 (NSEL)ビットがセット(1)されるときの、最も代表的かつ一般的なビット割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000	RESET:	LDI R16,HIGH(RAMEND)	;各種ビット (BOOTRSTビット=1)
\$0001		OUT SPH,R16	;RAM最終アドレス上位を取得 (応用プログラム開始)
\$0002		LDI R16,LOW(RAMEND)	;スタックポインタ上位を初期化
\$0003		OUT SPL,R16	;RAM最終アドレス下位を取得
			;スタックポインタ下位を初期化
			;以下、I/O初期化など
		.ORG \$1C02	;ブートプログラム領域が2Kバイトの場合
\$1C02		JMP EXT_INT0	;外部割り込み要求 0
\$1C04		JMP EXT_INT1	;外部割り込み要求 1
\$1C32		JMP SPM_RDY	;SPM命令操作可



ATmega168でBOOTRSTヒューズがプログラム(0)、フー領域容量が2Kバイトに設定され、最も代表的かつ一般的なメモリ割り込みのヘキサドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
		.ORG \$0002	;割り込みヘキサ先頭
\$0002		JMP EXT_INT0	外部割り込み要求 0
\$0004		JMP EXT_INT1	外部割り込み要求 1
\$0032		JMP SPM_RDY	;SPM命令操作可 ;以下、プログラムなど
		.ORG \$1000	;フートプログラム領域が2Kバイトの場合
\$1000	RESET:	LDI R16,HIGH(RAMEND)	;各種メモリ (BOOTRSTヒューズ=0) ;RAM最終アドレス上位を取得 (プログラム開始)
\$1001		OUT SPH,R16	;スタックポインタ上位を初期化
\$1002		LDI R16,LOW(RAMEND)	;RAM最終アドレス下位を取得
\$1003		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

ATmega168でBOOTRSTヒューズがプログラム(0)、フー領域容量が2Kバイトに設定され、どの割り込みが許可されるのにも先立ちMCU制御レジスタ(MCUCR)の割り込みヘキサ選択(MSELビット)がセット(1)され、最も代表的かつ一般的なメモリ割り込みのヘキサドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
		.ORG \$1000	;フートプログラム領域が2Kバイトの場合
\$1000		JMP RESET	;各種メモリ (BOOTRSTヒューズ=0)
\$1002		JMP EXT_INT0	外部割り込み要求 0
\$1004		JMP EXT_INT1	外部割り込み要求 1
\$1032		JMP SPM_RDY	;SPM命令操作可
\$1034	RESET:	LDI R16,HIGH(RAMEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$1035		OUT SPH,R16	;スタックポインタ上位を初期化
\$1036		LDI R16,LOW(RAMEND)	;RAM最終アドレス下位を取得
\$1037		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

## 10.2.1. 応用領域とフー領域間の割り込みヘキサ移動 (ATmega88/168)

MCU制御レジスタ(MCUCR)は割り込みヘキサテーブルの配置を制御します。

## 10.3. 割り込みベクタ移動関係レジスタ

### 10.3.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	-	-	PUD	-	-	(MSEL)	(MCE)	MCUCR
Read/Write	R	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット1 - MSEL : 割り込みベクタ選択 (Interrupt Vector Select)

MSELビットがクリア(0)されると、割り込みベクタはフラッシュメモリの先頭に配置されます。このビットがセット(1)されると、割り込みベクタはフラッシュメモリのブートロータ領域の始まりへ移動されます。ブートフラッシュ領域先頭の実際のアドレスは [BOOTSZレジスタ](#) により決定されます。詳細については [169頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」-ATmega88/168](#) 項目を参照してください。割り込みベクタテーブルの予期せぬ変更を防ぐため、MSELビットの変更は特別な書き込み手順に従わなければなりません。

割り込みベクタ変更許可 (MCE) ビットに 1 を書きます。

4サイクル内に、欲した値を MSEL に書き、同時に 0 を MCE へ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みは MCE がセット(1)されるサイクルで禁止され、後続の MSEL に書く命令の後まで禁止されたままです。MSEL が書かれなければ、割り込みは 4 サイクルに対して禁止されたままです。 [ステータスレジスタ \(SREG\) の全割り込み許可 \(IIFL\)](#) は、この自動禁止により影響されません。

**注** : 割り込みベクタがブートロータ領域に配置され、BLB02ブートロックビットがプログラム(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みベクタが応用領域に配置され、BLB12ブートロックビットがプログラム(0)されると、ブートロータ領域から実行する間中、割り込みが禁止されます。ブートロックビットの詳細については [169頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」-ATmega88/168](#) を参照してください。

このビットは [ATmega48](#) で利用できません。

#### ビット0 - MCE : 割り込みベクタ変更許可 (Interrupt Vector Change Enable)

MCEビットは割り込みベクタ選択 (MSEL) ビットの変更を許可するために、論理 1 を書かれなければなりません。MCE は MSEL が書かれる時、または MCE が書かれた後の 4 サイクル後、ハードウェアによりクリア(0)されます。上記 MSEL で説明されるように MCE ビットのセット(1)は割り込みを一時的に禁止します。以下のコード例をご覧ください。

##### アセンブリ言語プログラム例

```

MOVE_IVT:   IN      R16,MCUCR           ; 現MCUCR値取得
            MOV      R17,R16           ; 現MCUCR値複写
            ORI      R16, (1<<IVCE)    ; MCE論理 1値を取得
            OUT      MCUCR,R16         ; MCEに論理 1書き込み
            ORI      R17, (1<<IVSEL)    ; MSEL論理 1値を取得
            OUT      MCUCR,R17         ; ブー領域へ割り込みベクタを移動
            RET                          ; 呼び出し元へ復帰

```

##### C言語プログラム例

```

void Move_interrupts(void)
{
    uchar temp;                          /* 一時定数定義 */
    temp = MCUCR;                        /* 現MCUCR値取得 */
    MCUCR = temp | (1<<IVCE);            /* MCEに論理 1書き込み */
    MCUCR = temp | (1<<IVSEL);            /* ブー領域へ割り込みベクタを移動 */
}

```

このビットは [ATmega48](#) で利用できません。

## 11. 外部割り込み

外部割り込みは NT0、NT1ピンまたは PC NT0~ 23ピンの何れかにより起動されます。許可したならば、例え NT0、または PC NT0~ 23ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。**ピン変化割り込み PC I<sub>n</sub>**は許可した PC NT16~ 23の何れかが切り替わると起動します。**ピン変化割り込み PC I<sub>n</sub>**は許可した PC NT8~ 14の何れかが切り替わると起動します。**ピン変化割り込み PC I<sub>n</sub>**は許可した PC NT0~ 7の何れかが切り替わると起動します。ピン変化割り込みマスクレジスタ (PCMSK0、PCMSK1、PCMSK2)は、どのピンがピン変化割り込み要因となるかを制御します。PC NT0~ 23でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外のスリープ動作からもデバイス起動するために使用できることを意味します。

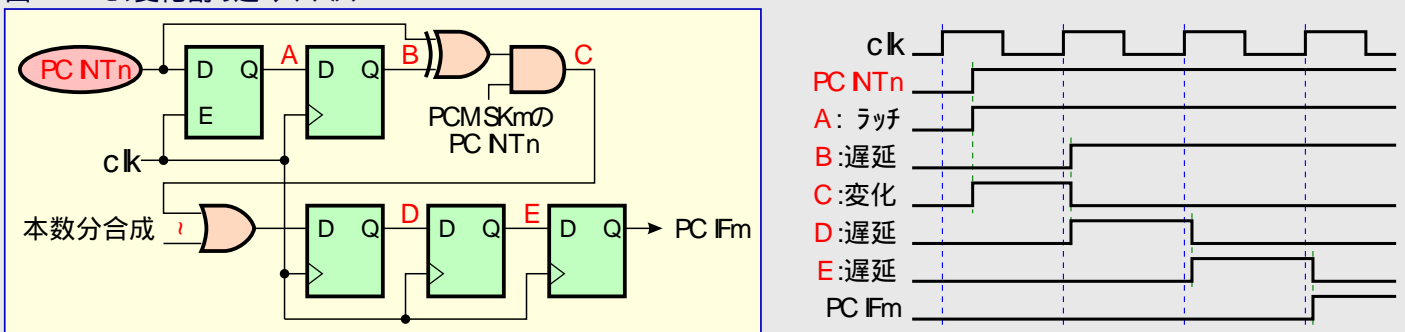
NT0とNT1割り込みは立ち上りまたは立ち下りエッジ(含む両エッジ) または Lowレベルにより起動できます。これは**外部割り込み制御レジスタA (EICRA)**の詳述で示される設定です。NTまたは NT1割り込みがレベル起動として設定かつ許可されると、そのピンがLowに保持される限り、割り込みは継続的に起動します。NTまたは NT1の立ち上りや立ち下りエッジ割り込みの認知は、**16頁の「クロックシステムとその配給」**で記述されるI/Oクロックの存在を必要とすることに注意してください。NT0とNT1のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みが**アイドル動作以外のスリープ動作**からもデバイス起動するために使用できることを意味します。I/Oクロックはアイドル動作を除く全スリープ動作で停止されます。

レベル起動割り込みが**パワーダウン動作**からの起動に使用される場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たなければならないことに注意してください。このレベルが起動時間の最後に先立ち消滅するとMCUは今までどおり起動しますが、割り込みが生成されません。起動時間は**16頁の「システムクロックとクロック選択」**で示されるように**SUTヒューズとCKSELヒューズ**で定義されます。

### 11.1. ピン変化割り込み タイミング

ピン変化割り込みの例は図 11-1で示されます。

図 11-1. ピン変化割り込み タイミング



### 11.2. 外部割り込み用レジスタ

#### 11.2.1. 外部割り込み制御レジスタA (External Interrupt Control Register A) EICRA

外部割り込み制御レジスタAは割り込み条件制御ビットを含みます。

ビット (\$69)	7	6	5	4	3	2	1	0	
	-	-	-	-	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3,2 - ISC11, ISC10 : 外部割り込み 条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み 1は**ステータスレジスタ (SREG) の全割り込み許可 (Iビットと外部割り込みマスクレジスタ (EMSK) の外部割り込み 許可 (NT1ビットがセット(1)される場合の NT1ピンにより活性的 (有効) にされます。割り込みを活性にする外部 NT1ピンのエッジとレベルは表 11-1で定義されます。NT1ピンの値はエッジ検出に先立ち採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければならないません。**

表 11-1. 外部割り込み 1 (NT1割り込み条件)

ISC11	ISC10	割り込み発生条件
0	0	NT1ピンがLowレベルで発生。
0	1	NT1ピンの論理変化 (両エッジ)
1	0	NT1ピンの立ち下りエッジで発生。
1	1	NT1ピンの立ち上りエッジで発生。

## ビット10 - SC01, SC00 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(IL)ビットと外部割り込みマスクレジスタ(EMSK)の外部割り込み許可(NT0)ビットがセット(1)される場合のNT0ビットにより活性的有効にされます。割り込みを活性にする外部NT0ビットのエッジとレベルは表11-2で定義されます。NT0ビットの値はエッジ検出に先立ち採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければなりません。

表 11-2. 外部割り込み0(NT0)割り込み条件

SC01	SC00	割り込み発生条件
0	0	NT0ビットがLowレベルで発生。
0	1	NT0ビットの論理変化 (両エッジ)
1	0	NT0ビットの立ち下りエッジで発生。
1	1	NT0ビットの立ち上りエッジで発生。

### 11.2.2. 外部割り込みマスクレジスタ (External Interrupt Mask Register) EMSK

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	-	-	-	-	-	-	NT1	NT0	EMSK
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7~ 2 - Res : 予約 (Reserved)

これらのビットは予約されており 常に0として読めます。

#### ビット1 - NT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(IL)ビットがセット(1)され、NT1ビットがセット(1)されると、NT1外部割り込みが許可されます。外部割り込み制御レジスタA(ICRA)の割り込み条件制御のビット1と0(SC11, SC10)は、この外部割り込みがNT1ビットの立ち上り立ち下り両エッジまたはLowレベルのどれで活性的有効にされるかを定義します。例えばNT1ビットが出力として設定されても、このビットの動きは割り込み要求を引き起こします。外部割り込み要求1に対応する割り込みはNT割り込みベクタから実行されます。

#### ビット0 - NT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(IL)ビットがセット(1)され、NT0ビットがセット(1)されると、NT0外部割り込みが許可されます。外部割り込み制御レジスタA(ICRA)の割り込み条件制御のビット1と0(SC01, SC00)は、この外部割り込みがNT0ビットの立ち上り立ち下り両エッジまたはLowレベルのどれで活性的有効にされるかを定義します。例えばNT0ビットが出力として設定されても、このビットの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはNT割り込みベクタから実行されます。

### 11.2.3. 外部割り込み要求フラグレジスタ (External Interrupt Flag Register) EFR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	-	-	NTF1	NTF0	EFR
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ビット7~ 2 - Res : 予約 (Reserved)

これらのビットは予約されており 常に0として読めます。

#### ビット1 - NTF1 : 外部割り込み要求フラグ (External Interrupt Flag 1)

NT1ビット上のエッジまたは論理変化が割り込み要求を起動すると、NTF1がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可(IL)ビットと外部割り込みマスクレジスタ(EMSK)の外部割り込み許可(NT1)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア(0)されます。代わりに、このフラグは論理1を書くことによってもクリア(0)できます。NTがレベル割り込みとして設定されると、このフラグは常にクリア(0)されます。

#### ビット0 - NTF0 : 外部割り込み要求フラグ (External Interrupt Flag 0)

NT0ビット上のエッジまたは論理変化が割り込み要求を起動すると、NTF0がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可(IL)ビットと外部割り込みマスクレジスタ(EMSK)の外部割り込み許可(NT0)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア(0)されます。代わりに、このフラグは論理1を書くことによってもクリア(0)できます。NTがレベル割り込みとして設定されると、このフラグは常にクリア(0)されます。



## 11.2.4. ピン変化割り込み制御レジスタ (Pin Change Interrupt Control Register) PC CR

ビット	7	6	5	4	3	2	1	0	
(\$68)	-	-	-	-	-	PC IE2	PC IE1	PC IE0	PC CR
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 3 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット2 - PC IE2 :ピン変化割り込み 2許可 (Pin Change Interrupt Enable 2)

ステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)され、この PC IE2ビットがセット(1)されると、ピン変化割り込み 2が許可されます。許可した PC NT16~ 23ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みは PC I割り込みベクタから実行されます。PC NT16~ 23ビットはピン変化割り込みマスクレジスタ (PCMSK2)により個別に許可されます。

ビット1 - PC IE1 :ピン変化割り込み 1許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)され、この PC IE1ビットがセット(1)されると、ピン変化割り込み 1が許可されます。許可した PC NT8~ 14ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みは PC I割り込みベクタから実行されます。PC NT8~ 14ビットはピン変化割り込みマスク1レジスタ (PCMSK1)により個別に許可されます。

ビット0 - PC IE0 :ピン変化割り込み 0許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)され、この PC IE0ビットがセット(1)されると、ピン変化割り込み 0が許可されます。許可した PC NT0~ 7ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みは PC I割り込みベクタから実行されます。PC NT0~ 7ビットはピン変化割り込みマスク0レジスタ (PCMSK0)により個別に許可されます。

## 11.2.5. ピン変化割り込み要求フラグレジスタ (Pin Change Interrupt Flag Register) PC FR

ビット	7	6	5	4	3	2	1	0	
(\$1B (\$3B))	-	-	-	-	-	PC IF2	PC IF1	PC IF0	PC FR
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 3 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット2 - PC IF2 :ピン変化割り込み 2要求フラグ (Pin Change Interrupt Flag 2)

PC NT16~ 23ビットの何れかの論理変化が割り込み要求を起動すると、PC IF2がセット(1)になります。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ (PC CR) のピン変化割り込み 2許可 (PC IE2)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア (0)されます。代わりに、このフラグは論理 1を書くことによってもクリア (0)できます。

ビット1 - PC IF1 :ピン変化割り込み 1要求フラグ (Pin Change Interrupt Flag 1)

PC NT8~ 14ビットの何れかの論理変化が割り込み要求を起動すると、PC IF1がセット(1)になります。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ (PC CR) のピン変化割り込み 1許可 (PC IE1)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア (0)されます。代わりに、このフラグは論理 1を書くことによってもクリア (0)できます。

ビット0 - PC IF0 :ピン変化割り込み 0要求フラグ (Pin Change Interrupt Flag 0)

PC NT0~ 7ビットの何れかの論理変化が割り込み要求を起動すると、PC IF0がセット(1)になります。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ (PC CR) のピン変化割り込み 0許可 (PC IE0)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア (0)されます。代わりに、このフラグは論理 1を書くことによってもクリア (0)できます。

### 11.2.6. ピン変化割り込みマスク2レジスタ (Pin Change Enable Mask 16~ 23) PCMSK2

ビット (\$6D)	7	6	5	4	3	2	1	0	
	PC NT23	PC NT22	PC NT21	PC NT20	PC NT19	PC NT18	PC NT17	PC NT16	PCMSK2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT23~ 16 :ピン変化割り込み 23~ 16許可 (Pin Change Enable Mask 23~ 16)

各 PC NT16~ 23ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT16~ 23とピン変化割り込み制御レジスタ(PC ICR)のPC E2がセット(1)ならば、対応する I/Oピンのピン変化割り込みが許可されます。PC NT16~ 23がクリア(0)されると、対応する I/Oピンのピン変化割り込みは禁止されます。

### 11.2.7. ピン変化割り込みマスク1レジスタ (Pin Change Enable Mask 8~ 14) PCMSK1

ビット (\$6C)	7	6	5	4	3	2	1	0	
	-	PC NT14	PC NT13	PC NT12	PC NT11	PC NT10	PC NT9	PC NT8	PCMSK1
Read/W rite	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - Res :予約 (Reserved)

このビットは予約されており、常に 0として読めます。

ビット6~ 0 - PC NT14~ 8 :ピン変化割り込み 14~ 8許可 (Pin Change Enable Mask 14~ 8)

各 PC NT8~ 14ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT8~ 14とピン変化割り込み制御レジスタ(PC ICR)のPC E1がセット(1)ならば、対応する I/Oピンのピン変化割り込みが許可されます。PC NT8~ 14がクリア(0)されると、対応する I/Oピンのピン変化割り込みは禁止されます。

### 11.2.8. ピン変化割り込みマスク0レジスタ (Pin Change Enable Mask 0~ 7) PCMSK0

ビット (\$6B)	7	6	5	4	3	2	1	0	
	PC NT7	PC NT6	PC NT5	PC NT4	PC NT3	PC NT2	PC NT1	PC NT0	PCMSK0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT7~ 0 :ピン変化割り込み 7~ 0許可 (Pin Change Enable Mask 7~ 0)

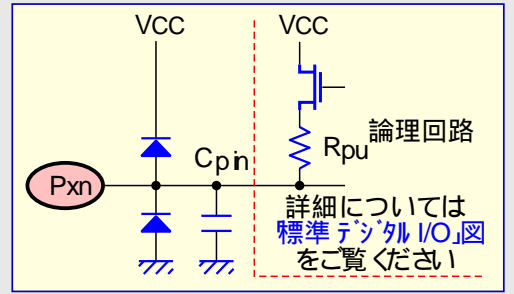
各 PC NT0~ 7ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT0~ 7とピン変化割り込み制御レジスタ(PC ICR)のPC E0がセット(1)ならば、対応する I/Oピンのピン変化割り込みが許可されます。PC NT0~ 7がクリア(0)されると、対応する I/Oピンのピン変化割り込みは禁止されます。

## 12. 入出力ポート

### 12.1. 概要

すべてのAVRのポートは標準デジタルI/Oポートとして使用されるとき、真の読み・変更・書き(リード・モディファイ・ライト)を機能的に持ちます。これは**SB**と**CB**命令で他のどのビットの方向をも無意識に変更することなく、一つのポートビットの方向を変更できることを意味します。出力として設定されていれば駆動値を変更、または入力として設定されていればプルアップ抵抗を許可/禁止するときにも同じく適用されます。各出力ビットは高い吐き出し(ソース)と引き込み(シンク)能力の両方で対称的な駆動特性を持ちます。このビットドライバはLED表示器を直接駆動するのに十分な強さです。すべてのポートビットには個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗があります。すべてのI/Oビットは図12-1で示されるようにVCCとGNDの両方に保護ダイオードを持っています。各値の完全な一覧については190頁の「電気的特性」を参照してください。

図 12-1 入出力ビット等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'**x**'はポート番号文字、小文字の'**n**'はビット番号を表します。けれどもプログラム内でレジスタやビット定義を使用するとき、正確な形式(例えば、ここで一般に記されたPORTxがポートBのビット3に対しては**PORTB3**が使用されなければなりません)。物理的なI/Oレジスタとビット位置は54頁の「I/Oポート用レジスタ」で一覧されます。

各々一つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PNx)の各ポートに対して、3つのI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き両方です。けれどもPNxレジスタのビットへの論理書き込みは、出力レジスタの対応ビット値を(1/0反転する結果になります)。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットはセット(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

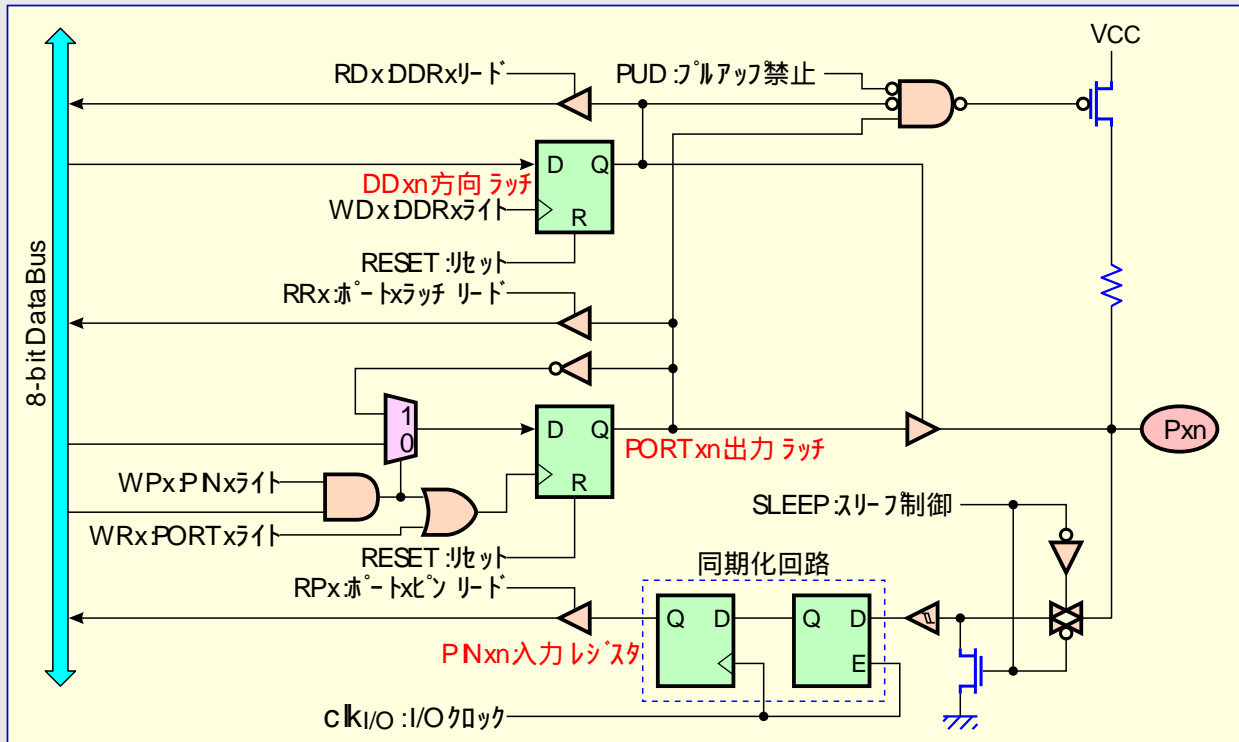
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートビットはデバイスの周辺機能用の兼用機能と多重化されます。ポートビットの各兼用機能のインターフェース法は46頁の「兼用ポート機能」で記述されます。兼用機能の完全な記述については個別機能部項目を参照してください。

ポートビットのいくつかの兼用機能の許可は、そのポート内の他のビットの標準デジタル入出力としての使用に影響しないことに注意してください。

### 12.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図12-2は、ここで属にPx<sub>n</sub>と呼ばれるI/Oポートビットの一つの機能説明を示します。

図 12-2 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ビットで共通です。  
clk<sub>I/O</sub>, SLEEP, PUDは全ポートで共通です。

### 12.2.1. ピンの設定

各ポートピンは3つのレジスタビット **DDxn** **PORTxn** **PNxn**から成ります。54頁の「I/Oポート用レジスタ」で示されるようにDDxnビットはDDRx I/Oアドレス PORTxnビットはPORTx I/Oアドレス PNxnビットはPNx I/Oアドレスでアクセスされます。

DDRxnレジスタ内のDDxnビットは、そのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定されるとき、PORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるには、PORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクワック動いていなくても、プルアップ条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定されるとき、PORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定されるとき、PORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

### 12.2.2. ピンの出力交互切り替え

PNxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SB命令がポート内の1ビットを反転切り替えるのに使用できることに注目してください。

### 12.2.3. 入出力間の切り替え

Hi-Z入力 (DDxn=0, PORTxn=0)とHigh出力 (DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力 (DDxn=0, PORTxn=1)またはLow出力 (DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、ハイインピーダンス環境は強力なHigh(ソース)ドライバとプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないならば、全ポートの全プルアップを禁止するために、MCU制御レジスタMCUCRのプルアップ禁止(PUD)ビットがセット(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力 (DDxn=0, PORTxn=0)またはHigh出力 (DDxn=1, PORTxn=1)のどちらかを使用しなければなりません。

表 12-1はピン値に対する制御信号の一覧を示します。

表 12-1. ポートピンの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力するとソース電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク)出力
1	1	X	出力	なし	High (ソース)出力

### 12.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPNxnレジスタビットを通して読めます。図 12-2で示されるようにPNxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クワックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図 12-3は外部的に加えられたピン値を読むときの同期化タイミング図を示します。伝播遅延の最小と最大は各々  $t_{pd\ min}$ と $t_{pd\ max}$ で示されます。

図 12-3でシステムクワックの最初の立ち下りエッジのすぐ後から始まるクワック周期を考察してください。このラッチはクワックがLowのときに閉じ、クワックがHighのとき同期ラッチ信号の斜線部分で示されるように通過(トランスパレント)となります。この信号値はシステムクワックがLowになるときに保持(ラッチ)されます。それが続くクワックの立ち上りエッジでPNxnレジスタに取り込まれます。2つの矢印  $t_{pd\ min}$ と $t_{pd\ max}$ により示されるように、ピン上の単一信号遷移は、出現時点に依存して0.5~1.5システムクワック周期遅らされます。

ソフトウェアが指定したピン値を読み戻すとき、図 12-4で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクワックの立ち上りエッジで同期ラッチを設定します。この場合、同期化回路を通過する遅延時間( $t_{pd}$ )は1システムクワック周期です。

図 12-3 外部供給ピン値読み込み時の同期化

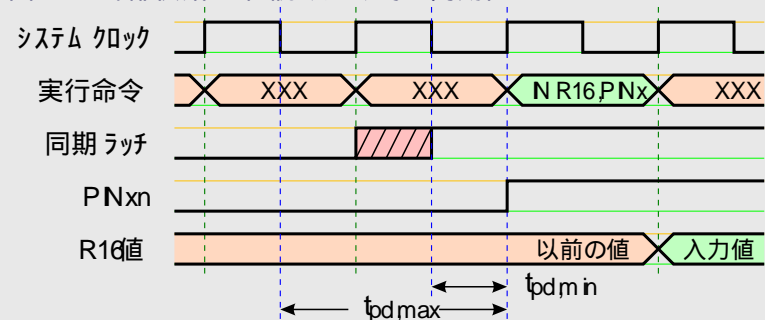
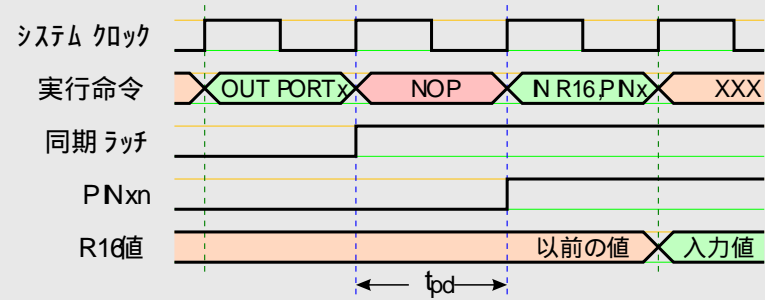


図 12-4 プログラムで設定したピン値読み戻し時の同期化





次のコード例はポートBの0と1をHigh出力、2と3をLow出力、6と7をプルアップ指定として4～7を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

## アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0) ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ビット値を取得
OUT    PORTB, R16 ;プルアップとHigh値を設定
OUT    DDRB, R17 ;入出力方向を設定
NOP    ;同期化遅延対処
IN     R16, PINB ;ピン値読み戻し
~
;
```

## C言語プログラム例

```

unsigned char i;
~
PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0); /* */
DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0); /* プルアップとHigh値を設定 */
__no_operation(); /* 入出力方向を設定 */
i = PINB; /* 同期化遅延対処 */
~ /* ピン値読み戻し */
/* */
```

注：アセンブリ言語プログラムについてはプルアップがピン0,1,6,7に設定されてから、ビット0と1の強力なHighドライバとしての再定義、ビット2と3のLowドライバとしての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使用されます。

### 12.2.5. デジタル入力許可とスリープ動作

図 12-2で示されるように、デジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は、入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、パワーダウン動作、パワーセーフ動作、スタンバイ動作でMCUスリープ制御器によりセット(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないならば、SLEEPは他のピンについてと同様に有効です。SLEEPは46頁の「兼用ポート機能」で記載されるように様々な他の兼用機能によっても無視されます。

外部割り込みが許可されていない「立ち上りエッジ、立ち下りエッジまたは論理変化両エッジ割り込み」として設定された非同期外部割り込みピンに論理1が存在すると、上で言及したスリープ動作から復帰再開するとき、これらスリープ動作でのクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定されます。

### 12.2.6. 未接続ピン

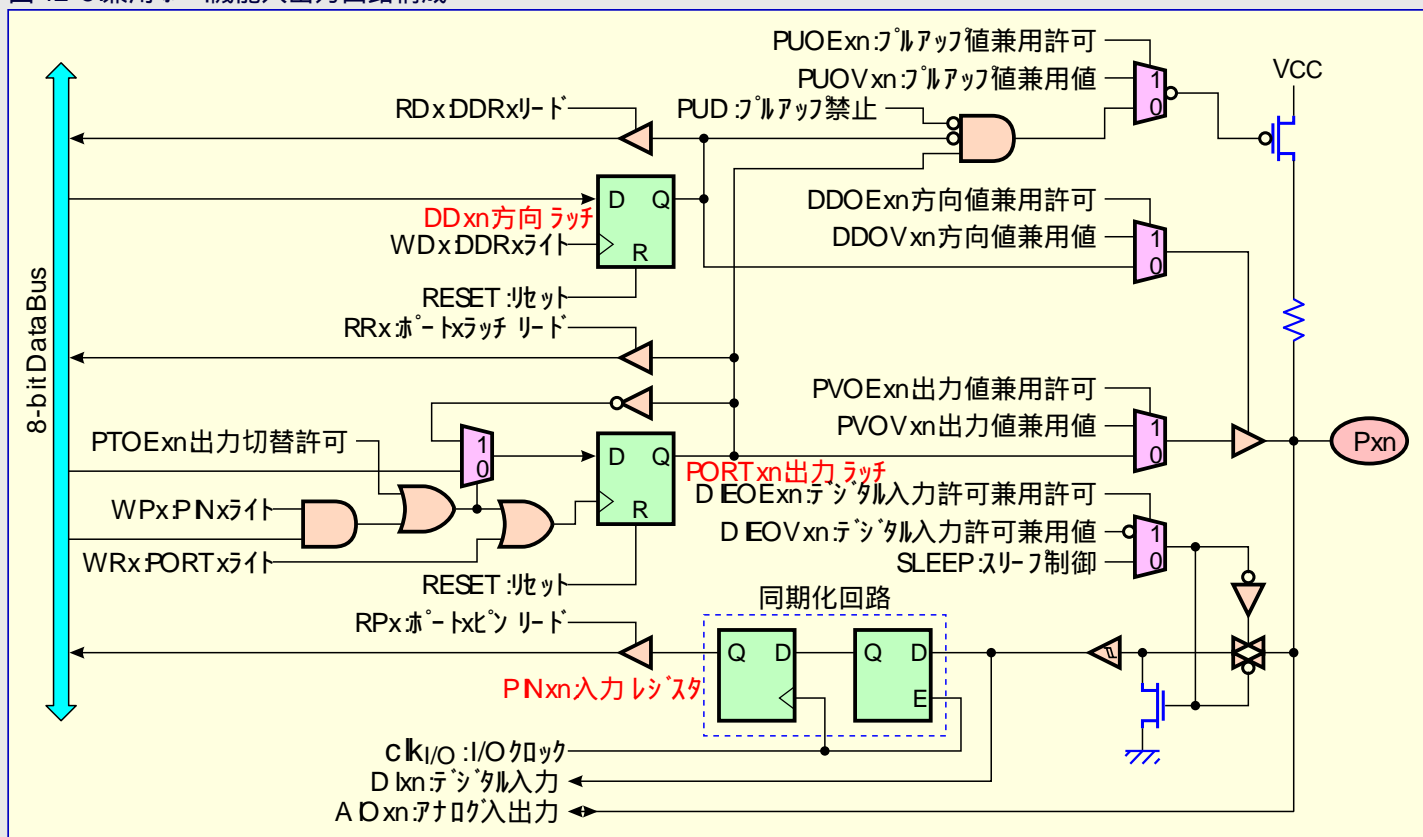
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことを保証することが推奨されます。例えば上記のような深いスリープ動作で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(レギュレーション動作、アイドル動作)で消費電流削減のため、フローティング入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、レギュレーション中のプルアップは禁止されます。レギュレーション中の低消費電力が重要ならば、外部プルアップまたはプルダウンを使用することが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

### 12.3. 兼用ポート機能

多くのポートピンには標準デジタル入出力に加え兼用機能があります。図 12-5は単純化された図 12-2でのポートピン制御信号が兼用機能により、どう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラファミルの全ポートピンに適用できる一般的な記述として取り扱います。

図 12-5 兼用ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。  
ckl/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表 12-2は重複 兼用 信号の機能一覧を示します。図 12-5で示すピンとポートは次表で示されません。重複 兼用 信号は兼用機能を持つ機能部で内部的に生成されます。

表 12-2 兼用機能用兼用信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値兼用許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値兼用値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有 (1)/無 (0)を指定します。
DDOE	方向値兼用許可	1で、出力ドライバはDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値兼用値	DDOE=1時、DDxnレジスタ値に関係なく、出力ドライバのON (1)/OFF (0)を制御します。
PVOE	出力値兼用許可	1で出力ドライバがONならば、ポート値はPVOV信号で制御されます。出力ドライバがONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値兼用値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御 (1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DEOE	デジタル入力許可兼用許可	1で、デジタル入力許可はDEOV信号で制御され、0の場合、MCUの状態 (通常動作、スリープ動作) により決定されます。
DEOV	デジタル入力許可兼用値	DEOE=1時、MCUの状態 (通常動作、スリープ動作) に関係なく、デジタル入力を許可 (1)/禁止 (0)します。
DI	デジタル入力	兼用機能用デジタル入力です。この信号は図上でシュミットトリカ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各兼用機能自身が同期化します。
AD	アナログ入出力	兼用機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は兼用機能に関連する重複 兼用 信号と各ポートの兼用機能を簡単に記述します。さらに先の詳細については兼用機能の記述を参照してください。

## 12.3.1. ホー-IBの兼用機能

ホー-IBピン<sup>①</sup>の兼用機能は表 12-3で示されます。

表 12-3. ホー-IBピン<sup>①</sup>の兼用機能

ホー-IBピン	兼用機能
PB7	XTAL2 (システム クロック用発振増幅器出力) TOSC2 (タイマ用発振増幅器出力) PC NT7 (ピン変化割り込み 7入力)
PB6	XTAL1 (システム クロック用発振増幅器入力または外部 クロック信号入力) TOSC1 (タイマ用発振増幅器入力) PC NT6 (ピン変化割り込み 6入力)
PB5	SCK (SPIシリアル クロック マスタ側出力 /スレーフ側入力) PC NT5 (ピン変化割り込み 5入力)
PB4	MISO (SPIマスタ側データ入力 /スレーフ側データ出力) PC NT4 (ピン変化割り込み 4入力)
PB3	MOSI (SPIマスタ側データ出力 /スレーフ側データ入力) OC2A (タイマ/カウンタ2比較A一致出力) PC NT3 (ピン変化割り込み 3入力)
PB2	SS (SPIスレーフ選択入力) OC1B (タイマ/カウンタ1比較B一致出力) PC NT2 (ピン変化割り込み 2入力)
PB1	OC1A (タイマ/カウンタ1比較A一致出力) PC NT1 (ピン変化割り込み 1入力)
PB0	ICP1 (タイマ/カウンタ1捕獲 (キャプチャ)起動入力) CLKO (システム クロック出力) PC NT0 (ピン変化割り込み 0入力)

兼用ピンの設定は次のとおりです。

### XTAL2/TOSC2/PC NT7 - ホー-IB ピン7 :PB7

XTAL2 :チップ(システム)クロック発振器ピン2。クリスタル発振器または低周波数クリスタル発振器用クロックピンとして使用されます。クロックピンとして使用されると、このピンはI/Oピンとして使用できません。

TOSC2 :タイマ発振器ピン2。チップクロック元として校正付き内蔵RC発振器が選択され、非同期タイマが非同期状態レジスタ(ASCR)の正しい設定により許可される場合だけ使用されます。クリスタル発振器使用のタイマ/カウンタ非同期クロック動作を許可するためにASCRの非同期許可(AS2)ビットがセット(1)され、外部クロック信号許可(EXCLK)ビットがクリア(0)されると、PB7ピンはホー-IBから切り離され、発振用反転増幅器の出力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使用できません。

PC NT7 :ピン変化割り込み 7入力。PB7ピンは外部割り込み元としても扱えます。

PB7がクロックピンとして使用されると、PORTB7, DDB7, PNB7は全て0を読みます。

### XTAL1/TOSC1/PC NT6 - ホー-IB ピン6 :PB6

XTAL1 :チップ(システム)クロック発振器ピン1。クリスタル発振器または低周波数クリスタル発振器用クロックピンとして使用されます。クロックピンとして使用されると、このピンはI/Oピンとして使用できません。

TOSC1 :タイマ発振器ピン1。チップクロック元として校正付き内蔵RC発振器が選択され、非同期タイマが非同期状態レジスタ(ASCR)の正しい設定により許可される場合だけ使用されます。クリスタル発振器使用のタイマ/カウンタ非同期クロック動作を許可するためにASCRの非同期許可(AS2)ビットがセット(1)され、外部クロック信号許可(EXCLK)ビットがクリア(0)されると、PB6ピンはホー-IBから切り離され、発振用反転増幅器の入力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使用できません。

PC NT6 :ピン変化割り込み 6入力。PB6ピンは外部割り込み元としても扱えます。

PB6がクロックピンとして使用されると、PORTB6, DDB6, PNB6は全て0を読みます。

### SCK/PC NT5 - ホー-IB ピン5 :PB5

SCK :SPチャンネル用のマスタクロック出力、スレーフクロック入力。SPがスレーフとして許可されると、本ピンはホー-IB方向レジスタ(DDR<sub>B</sub>)のDDB5設定に拘らず、入力として設定されます。SPがマスタとして許可されると、このピンのデータ方向はDDB5により制御されます。このピンがSPにより入力を強制されるとき、プルアップは未だホー-IB出力レジスタ(PORTB)のPORTB5により制御できます。

PC NT5 :ピン変化割り込み 5入力。PB5ピンは外部割り込み元としても扱えます。

### MISO/PC NT4 - ホー-IB ピン4 :PB4

MISO :SPチャンネル用のマスタデータ入力、スレーフデータ出力。SPがマスタとして許可されると、本ピンはホー-IB方向レジスタ(DDR<sub>B</sub>)のDDB4の設定に拘らず、入力として設定されます。SPがスレーフとして許可されると、このピンのデータ方向はDDB4により制御されます。このピンがSPにより入力を強制されるとき、プルアップは未だホー-IB出力レジスタ(PORTB)のPORTB4により制御できます。

PC NT4 :ピン変化割り込み 4入力。PB4ピンは外部割り込み元としても扱えます。

#### MOSI/OC2A/PCNT3 - ホーバビット3 :PB3

MOSI:SPチャネル用のマスタデータ出力、スレーブデータ入力。SPがスレーブとして許可されると、本ピンはホーバ方向レジスタ(DDRB)のDDB3設定に拘らず、入力として設定されます。SPがマスタとして許可されると、このピンのデータ方向はDDB3により制御されます。このピンがSPにより入力を強制されるとき、プルアップは未だホーバ出力レジスタ(PORTB)のPORTB3により制御できます。

OC2A:タイマ/カウンタ2の比較A一致出力。PB3ピンはタイマ/カウンタ2の比較A一致用外部出力として扱えます。この機能を扱うため、PB3ピンは出力として設定(DDB3=1)されなければなりません。このOC2Aピンはタイマ機能のPWM動作出力ピンでもあります。

PCNT3:ピン変化割り込み3入力。PB3ピンは外部割り込み元としても扱えます。

#### SS/OC1B/PCNT2 - ホーバビット2 :PB2

SS:SPIスレーブ選択入力。SPがスレーブとして許可されると、本ピンはホーバ方向レジスタ(DDRB)のDDB2の設定に拘らず、入力として設定されます。スレーブとして、このピンがLowに駆動されるとSPI機能が活性化有効にされます。SPがマスタとして許可されると、このピンのデータ方向はDDB2により制御されます。このピンがSPにより入力を強制されるとき、プルアップは未だホーバ出力レジスタ(PORTB)のPORTB2により制御できます。

OC1B:タイマ/カウンタ1の比較B一致出力。PB2ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、PB2ピンは出力として設定(DDB2=1)されなければなりません。このOC1Bピンはタイマ機能のPWM動作出力ピンでもあります。

PCNT2:ピン変化割り込み2入力。PB2ピンは外部割り込み元としても扱えます。

#### OC1A/PCNT1 - ホーバビット1 :PB1

OC1A:タイマ/カウンタ1の比較A一致出力。PB1ピンはタイマ/カウンタ1の比較A一致用外部出力として扱えます。この機能を扱うため、PB1ピンは出力として設定(DDB1=1)されなければなりません。このOC1Aピンはタイマ機能のPWM動作出力ピンでもあります。

PCNT1:ピン変化割り込み1入力。PB1ピンは外部割り込み元としても扱えます。

#### CP1/CLKO/PCNT0 - ホーバビット0 :PB0

CP1:タイマ/カウンタ1の捕獲起動入力。PB0ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動作できます。

CLKO:システムクロック出力。分周したシステムクロックはPB0ピンに出力できます。分周したシステムクロックはCKOUTピンスがプログラム(0)されるとPORTB0とDDB0設定に拘らず、出力されます。これはレッチ中にも出力されます。

PCNT0:ピン変化割り込み0入力。PB0ピンは外部割り込み元としても扱えます。



表 12-4と表 12-5は  $\bar{A}0$  -  $\bar{A}3$ の兼用機能を46頁の図 12-5で示される兼用信号に関連付けます。SPRスタ入力とSPイレフ出力がMISOを構成し、一方MOSはSPRスタ出力とSPイレフ入力に分けられます。

表 12-4.  $\bar{A}0$  -  $\bar{A}3$ の兼用機能用兼用信号

信号名	PB7/XTAL2/ TOSC2/PCNT7	PB6/XTAL1/ TOSC1/PCNT6	PB5/SCK/PCNT5	PB4/MISO/PCNT4
PUOE	NTRC・EXTCK+AS2	NTRC+AS2	SPE・MSTR	SPE・MSTR
PUOV	0	0	PORTB5・PUD	PORTB4・PUD
DDOE	NTRC・EXTCK+AS2	NTRC+AS2	SPE・MSTR	SPE・MSTR
DDOV	0	0	0	0
PVOE	0	0	SPE・MSTR	SPE・MSTR
PVOV	0	0	SCK出力	SPイレフ出力
PTOE	-	-	-	-
DEOE	NTRC・EXTCK+AS2+ PCNT7・PCIE0	NTRC+AS2+ PCNT6・PCIE0	PCNT5・PCIE0	PCNT4・PCIE0
DEOV	(NTRC+EXTCK)・AS2	NTRC+AS2	1	1
DI	PCNT7入力	PCNT6入力	SCK/PCNT5入力	SPRスタ/PCNT4入力
AD	発振増幅器出力	発振増幅器入力 / クロック入力	-	-

注：1. NTRCは校正付き内蔵RC発振器が **CKSEL<sub>1:0</sub>**により選択されることを意味します。

2. EXTCKは外部クロック信号が **CKSEL<sub>1:0</sub>**により選択されることを意味します。

表 12-5.  $\bar{A}4$  -  $\bar{A}7$ の兼用機能用兼用信号

信号名	PB3/MOSI/OC2A/PCNT3	PB2/ $\overline{SS}$ /OC1B/PCNT2	PB1/OC1A/PCNT1	PB0/CP1/CLKO/PCNT0
PUOE	SPE・MSTR	SPE・MSTR	0	0
PUOV	PORTB3・PUD	PORTB2・PUD	0	0
DDOE	SPE・MSTR	SPE・MSTR	0	0
DDOV	0	0	0	0
PVOE	SPE・MSTR+OC2A許可	OC1B許可	OC1A許可	0
PVOV	SPRスタ出力 +OC2A	OC1B	OC1A	0
PTOE	-	-	-	-
DEOE	PCNT3・PCIE0	PCNT2・PCIE0	PCNT1・PCIE0	PCNT0・PCIE0
DEOV	1	1	1	1
DI	SPイレフ/PCNT3入力	SPI $\overline{SS}$ /PCNT2入力	PCNT1入力	CP1/PCNT0入力
AD	-	-	-	-

### 12.3.2. ホールICの兼用機能

ホールICの兼用機能は表 12-6で示されます。

表 12-6. ホールICの兼用機能

ホールピン	兼用機能	ホールピン	兼用機能
PC6	RESET (リセットピン) PC NT14 (ピン変化割り込み 14入力)	PC3	ADC3 (A/D変換チャネル3入力) PC NT11 (ピン変化割り込み 11入力)
PC5	ADC5 (A/D変換チャネル5入力) SCL (2線シリアルバスクロック入出力) PC NT13 (ピン変化割り込み 13入力)	PC2	ADC2 (A/D変換チャネル2入力) PC NT10 (ピン変化割り込み 10入力)
PC4	ADC4 (A/D変換チャネル4入力) SDA (2線シリアルバスデータ入出力) PC NT12 (ピン変化割り込み 12入力)	PC1	ADC1 (A/D変換チャネル1入力) PC NT9 (ピン変化割り込み 9入力)
		PC0	ADC0 (A/D変換チャネル0入力) PC NT8 (ピン変化割り込み 8入力)

兼用ピンの設定は次のとおりです。

#### RESET/PC NT14 - ホールIC ピン6 :PC6

RESET :リセットピン。RSTDISBLヒューズがプログラム(0)されると、このピンは標準のI/Oピンとして機能し、デバイスにはリセットとして電源ON時にリセットと低電圧リセットに頼らなければなりません。RSTDISBLヒューズが非プログラム(1)にされると、このピンにリセット回路が接続され、このピンはI/Oピンとして使用できません。

PC6がリセットピンとして使用されると、PORTC6, DDC6, PNC6は全て0を読み取ります。

PC NT14 :ピン変化割り込み 14入力。PC6ピンは外部割り込み元としても扱えます。

#### SCL/ADC5/PC NT13 - ホールIC ピン5 :PC5

SCL :2線シリアルインターフェースクロック。2線シリアルインターフェースを許可するために2線シリアルインターフェース制御レジスタ(TWCR)の2線シリアルインターフェース動作許可(TWENビット)がセット(1)されると、PC5は標準のホールICから切り離され、2線シリアルインターフェース用シリアルクロック入出力ピンになります。この動作では入力信号上の50nsより短いスパイク(インパルスノイズ)を除去するためにスパイク除去器があり、スレーブ立ち上がり立ち下り速度制限付きオープンドレインドライバにより駆動されます。

ADC5 :PC5はA/D変換チャネル5入力としても使用できます。A/D変換チャネル5入力がデジタル電源を使用することに注意してください。

PC NT13 :ピン変化割り込み 13入力。PC5ピンは外部割り込み元としても扱えます。

#### SDA/ADC4/PC NT12 - ホールIC ピン4 :PC4

SDA :2線シリアルインターフェースデータ。2線シリアルインターフェースを許可するために2線シリアルインターフェース制御レジスタ(TWCR)の2線シリアルインターフェース動作許可(TWENビット)がセット(1)されると、PC4は標準のホールICから切り離され、2線シリアルインターフェース用シリアルデータ入出力ピンになります。この動作では入力信号上の50nsより短いスパイク(インパルスノイズ)を除去するためにスパイク除去器があり、スレーブ立ち上がり立ち下り速度制限付きオープンドレインドライバにより駆動されます。

ADC4 :PC4はA/D変換チャネル4入力としても使用できます。A/D変換チャネル4入力がデジタル電源を使用することに注意してください。

PC NT12 :ピン変化割り込み 12入力。PC4ピンは外部割り込み元としても扱えます。

#### ADC3/PC NT11 - ホールIC ピン3 :PC3

ADC3 :PC3はA/D変換チャネル3入力としても使用できます。A/D変換チャネル3入力がアナログ電源を使用することに注意してください。

PC NT11 :ピン変化割り込み 11入力。PC3ピンは外部割り込み元としても扱えます。

#### ADC2/PC NT10 - ホールIC ピン2 :PC2

ADC2 :PC2はA/D変換チャネル2入力としても使用できます。A/D変換チャネル2入力がアナログ電源を使用することに注意してください。

PC NT10 :ピン変化割り込み 10入力。PC2ピンは外部割り込み元としても扱えます。

#### ADC1/PC NT9 - ホールIC ピン1 :PC1

ADC1 :PC1はA/D変換チャネル1入力としても使用できます。A/D変換チャネル1入力がアナログ電源を使用することに注意してください。

PC NT9 :ピン変化割り込み 9入力。PC1ピンは外部割り込み元としても扱えます。

#### ADC0/PC NT8 - ホールIC ピン0 :PC0

ADC0 :PC0はA/D変換チャネル0入力としても使用できます。A/D変換チャネル0入力がアナログ電源を使用することに注意してください。

PC NT8 :ピン変化割り込み 8入力。PC0ピンは外部割り込み元としても扱えます。

表 12-7と表 12-8は、 $\mu$ Cの兼用機能を46頁の図 12-5で示される兼用信号に関連付けます。

表 12-7.  $\mu$ C6~ 4の兼用機能用兼用信号

信号名		PC6/ $\overline{\text{RESET}}$ /PC NT14	PC5/SCL/ADC5/PC NT13	PC4/SDA/ADC4/PC NT12
PUOE		RSTD $\overline{\text{SBL}}$	TWEN	TWEN
PUOV		1	PORTC5 $\cdot$ PUD	PORTC4 $\cdot$ PUD
DDOE		RSTD $\overline{\text{SBL}}$	TWEN	TWEN
DDOV		0	SCL出力	SDA出力
PVOE		0	TWEN	TWEN
PVOV		0	0	0
PTOE		-	-	-
DEOE		RSTD $\overline{\text{SBL}}$ +PC NT14 $\cdot$ PC E1	ADC5D+PC NT13 $\cdot$ PC E1	ADC4D+PC NT12 $\cdot$ PC E1
DEOV		RSTD $\overline{\text{SBL}}$	PC NT13 $\cdot$ PC E1	PC NT12 $\cdot$ PC E1
DI		PC NT14入力	PC NT13入力	PC NT12入力
AD		アナログ入力	ADC5入力 /SCL入力	ADC4入力 /SDA入力

注:許可されると、2線シリアル インターフェイスはPC4とPC5の出力のシフトレギュレーションを許可します。これは図で示されていません。  
 加えて、 $\mu$ C図で示されるAD出力と2線シリアル インターフェイス(TWI)間にハイパス除去器が接続されます。

表 12-8.  $\mu$ C3~ 0の兼用機能用兼用信号

信号名	PC3/ADC3/PC NT11	PC2/ADC2/PC NT10	PC1/ADC1/PC NT9	PC0/ADC0/PC NT8
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	-	-	-	-
DEOE	ADC3D+PC NT11 $\cdot$ PC E1	ADC2D+PC NT10 $\cdot$ PC E1	ADC1D+PC NT9 $\cdot$ PC E1	ADC0D+PC NT8 $\cdot$ PC E1
DEOV	PC NT11 $\cdot$ PC E1	PC NT10 $\cdot$ PC E1	PC NT9 $\cdot$ PC E1	PC NT8 $\cdot$ PC E1
DI	PC NT11入力	PC NT10入力	PC NT9入力	PC NT8入力
AD	ADC3入力	ADC2入力	ADC1入力	ADC0入力

### 12.3.3. ホールドの兼用機能

ホールドの兼用機能は表 12-9で示されます。

表 12-9. ホールドの兼用機能

ポートピン	兼用機能	ポートピン	兼用機能
PD7	AN1 (アナログ比較器反転入力) PC NT23 (ピン変化割り込み 23入力)	PD3	NT1 外部割り込み 1入力) OC2B (タイマ/カウンタ2比較 B一致出力) PC NT19 (ピン変化割り込み 19入力)
PD6	AN0 (アナログ比較器非反転入力) OC0A (タイマ/カウンタ0比較 A一致出力) PC NT22 (ピン変化割り込み 22入力)	PD2	NT0 外部割り込み 0入力) PC NT18 (ピン変化割り込み 18入力)
PD5	T1 (タイマ/カウンタ1外部 クロック入力) OC0B (タイマ/カウンタ0比較 B一致出力) PC NT21 (ピン変化割り込み 21入力)	PD1	TXD (USART 送信データ出力) PC NT17 (ピン変化割り込み 17入力)
PD4	XCK (USART 外部 クロック入出力) T0 (タイマ/カウンタ0外部 クロック入力) PC NT20 (ピン変化割り込み 20入力)	PD0	RXD (USART 受信データ入力) PC NT16 (ピン変化割り込み 16入力)

兼用ピンの設定は次のとおりです。

AN1/PC NT23 - ホールド ピン7 : PD7

AN1 : **アナログ比較器**反転入力。アナログ比較器機能を邪魔するデジタル ホールド 機能は無効とするために、内部プルアップがOFFにされた入力としてホールドピンを設定してください。

PC NT23 : ピン変化割り込み 23入力。PD7ピンは外部割り込み元としても扱えます。

AN0/OC0A/PC NT22 - ホールド ピン6 : PD6

AN0 : アナログ比較器非反転入力。アナログ比較器機能を邪魔するデジタル ホールド 機能は無効とするために、内部プルアップがOFFにされた入力としてホールドピンを設定してください。

OC0A : **タイマ/カウンタ0**の比較 A一致出力。PD6ピンはタイマ/カウンタ0の比較 A一致用外部出力として扱えます。この機能を扱うため、PD6ピンは出力として設定 (DDD6=1) されなければなりません。このOC0Aピンはタイマ機能のPWM動作出力ピンでもあります。

PC NT22 : ピン変化割り込み 22入力。PD6ピンは外部割り込み元としても扱えます。

T1/OC0B/PC NT21 - ホールド ピン5 : PD5

T1 : **タイマ/カウンタ1**の外部 クロック入力ピンです。

OC0B : タイマ/カウンタ0の比較 B一致出力。PD5ピンはタイマ/カウンタ0の比較 B一致用外部出力として扱えます。この機能を扱うため、PD5ピンは出力として設定 (DDD5=1) されなければなりません。このOC0Bピンはタイマ機能のPWM動作出力ピンでもあります。

PC NT21 : ピン変化割り込み 21入力。PD5ピンは外部割り込み元としても扱えます。

XCK/T0/PC NT20 - ホールド ピン4 : PD4

XCK : **USART**の外部 クロック入出力ピンです。

T0 : タイマ/カウンタ0の外部 クロック入力ピンです。

PC NT20 : ピン変化割り込み 20入力。PD4ピンは外部割り込み元としても扱えます。

NT1/OC2B/PC NT19 - ホールド ピン3 : PD3

NT1 外部割り込み 1入力。PD3ピンは外部割り込み元として扱えます。

OC2B : **タイマ/カウンタ2**の比較 B一致出力。PD3ピンはタイマ/カウンタ2の比較 B一致用外部出力として扱えます。この機能を扱うため、PD3ピンは出力として設定 (DDD3=1) されなければなりません。このOC2Bピンはタイマ機能のPWM動作出力ピンでもあります。

PC NT19 : ピン変化割り込み 19入力。PD3ピンは外部割り込み元としても扱えます。

NT0/PC NT18 - ホールド ピン2 : PD2

NT0 外部割り込み 0入力。PD2ピンは外部割り込み元として扱えます。

PC NT18 : ピン変化割り込み 18入力。PD2ピンは外部割り込み元としても扱えます。

TXD/PC NT17 - ホールド ピン1 : PD1

TXD 送信データ(USART用データ出力ピン) **USART送信部が許可**されると、このピンはホールド方向レジスタ(DDRD)のDDD1の値に拘らず出力として設定されます。

PC NT17 : ピン変化割り込み 17入力。PD1ピンは外部割り込み元としても扱えます。

RXD/PC NT16 - ホールド ピン0 : PD0

RXD 受信データ(USART用データ入力ピン) **USART受信部が許可**されると、このピンはDDRDのDDD0の値に拘らず入力として設定されます。USARTがこのピンを入力に強制するとき、プルアップは未だPORTD0ビットにより制御できます。

PC NT16 : ピン変化割り込み 16入力。PD0ピンは外部割り込み元としても扱えます。



表 12-10と表 12-11は  $\bar{A}0$  -  $\bar{A}D$ の兼用機能を46頁の図 12-5で示される兼用信号に関連付けます。

表 12-10.  $\bar{A}0$  -  $\bar{A}D7$  の兼用機能用兼用信号

信号名	PD7/ $\bar{A}N1$ /PC NT23	PD6/ $\bar{A}N0$ /OC0A/PC NT22	PD5/T1/OC0B/PC NT21	PD4/XCK/T0/PC NT20
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	OC0A許可	OC0B許可	UMSEL
PVOV	0	OC0A	OC0B	XCK出力
PTOE	-	-	-	-
DEOE	PC NT23・PC E2	PC NT22・PC E2	PC NT21・PC E2	PC NT20・PC E2
DEOV	0	0	0	0
DI	PC NT23入力	PC NT22入力	T1/PC NT21入力	XCK入力 /T0/PC NT20入力
AD	AN1入力	AN0入力	-	-

表 12-11.  $\bar{A}0$  -  $\bar{A}D3$  の兼用機能用兼用信号

信号名	PD3/NT1/OC2B/PC NT19	PD2/NT0/PC NT18	PD1/TXD/PC NT17	PD0/RXD/PC NT16
PUOE	0	0	TXEN	RXEN
PUOV	0	0	0	PORTD0・PUD
DDOE	0	0	TXEN	RXEN
DDOV	0	0	1	0
PVOE	OC2B許可	0	TXEN	0
PVOV	OC2B	0	TXD	0
PTOE	-	-	-	-
DEOE	NT許可 +PC NT19・PC E2	NT許可 +PC NT18・PC E2	PC NT17・PC E2	PC NT16・PC E2
DEOV	1	1	1	1
DI	NT1/PC NT19入力	NT0/PC NT18入力	PC NT17入力	RXD/PC NT16入力
AD	-	-	-	-

## 12.4. I/Oポート用レジスタ

### 12.4.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	-	-	PUD	-	-	(MSEL)	(MCE)	MCUCR
Read/W rite	R	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット4 - PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可 (DDxn=0, PORTxn=1) に設定されていても、I/Oポートへのプルアップは禁止されます。この特徴についてより多くの詳細に関しては44頁の「ピンの設定」をご覧ください。

### 12.4.2. ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$05 (\$25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 12.4.3. ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 12.4.4. ポートB入力レジスタ (Port B Input Address) PNB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	PNB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

### 12.4.5. ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	-	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/W rite	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 12.4.6. ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	-	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/W rite	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### 12.4.7. ポートC入力レジスタ (Port C Input Address) PNC

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	-	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	PNC
Read/W rite	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	不定	不定	不定	不定	不定	不定	不定	

## 12.4.8. ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 12.4.9. ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 12.4.10. ポートD入力レジスタ (Port D Input Address) PND

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	PND
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

## 13. 8ビットタイマ/カウンタ0 (PWM付き)

### 13.1. 特徴

- 2つの独立した比較出力部
- ダブルバッファの比較レジスタ
- 比較一致でのタイマ/カウンタクリア 自動再設定)
- グリッチなしで正しい位相のパルス幅変調器 (PWM)
- 可変 PWM 周期
- 周波数発生器
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

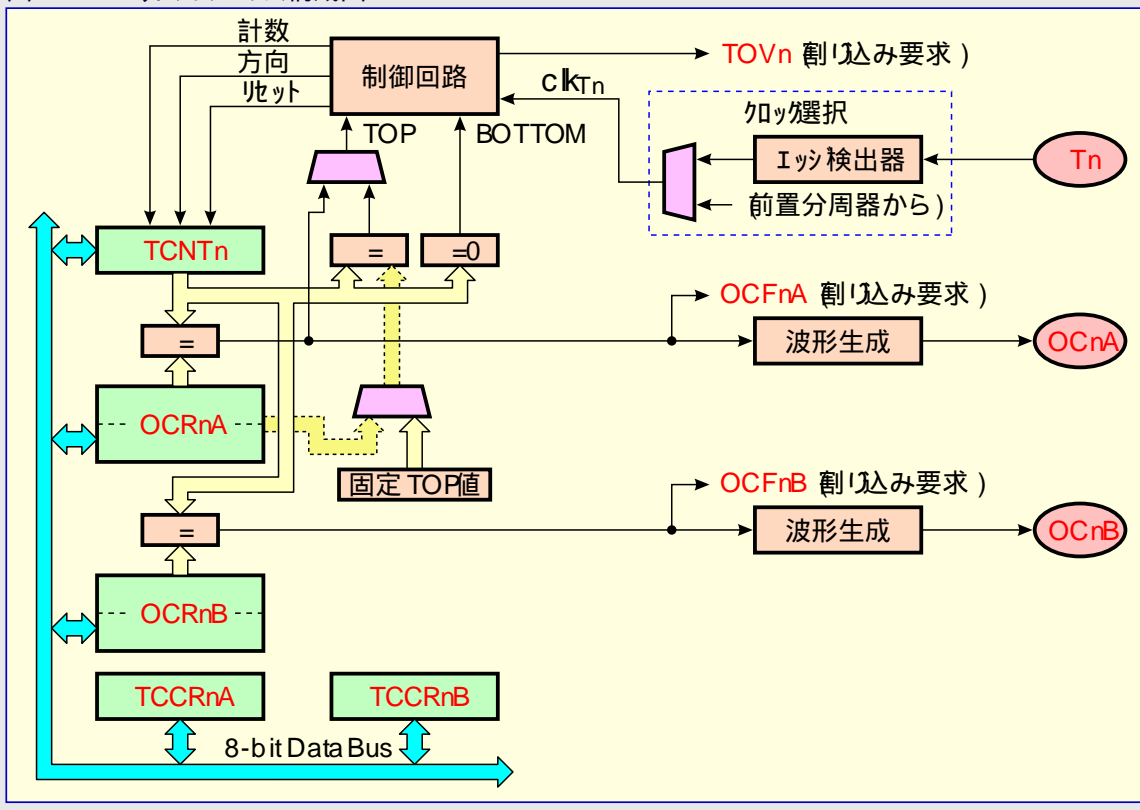
### 13.2. 概要

タイマ/カウンタは2つの独立した比較出力部とPWM支援付きの汎用 8ビットタイマ/カウンタ部です。それは正確なプログラム実行タイミング事象管理、波形生成を許します。

この 8ビットタイマ/カウンタの簡便化した構成図は図 13-1 で示されます。I/Oピン実際の配置については2頁の「[ピン配置](#)」を参照してください。CPUがアクセス可能な(I/OピンとI/Oピンを含む)I/Oレジスタは赤文字 訳注 原文は太字 で示されます。データシートの I/Oレジスタとピン位置は64頁の「[8ビットタイマ/カウンタ用レジスタ](#)」で一覧されます。

26頁の電力削減レジスタ(PRR)のPRTM0ビットはタイマ/カウンタ部を許可するために0を書かれなければなりません。

図 13-1. 8ビットタイマ/カウンタ構成図



#### 13.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR0)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK0)で個別に遮蔽(禁止)されます。TIFR0とTMSK0は、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によりクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加または減少するために使用するクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT0)として参照されます。

ダブルバッファ化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器により使用できます。詳細については58頁の「[比較出力部](#)」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF0AとOCF0B)もセット(1)します。



## 13.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の **n** はタイマ/カウンタ番号、この場合は 0 で置き換えます。小文字の **x** は比較出力部のチャネル名を表し、この場合は A または B です。然しながらプログラムでレジスタまたはビット定義に使用するときは正確な形式が使用されなければなりません (例えばタイマ/カウンタのカウンタ値のアクセスに対しての TCNT0 のように)。

表 13-1 の定義は本資料を通じて広範囲にわたっても使用されます。

表 13-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが \$00 に到達した時。
MAX	タイマ/カウンタが \$FF (255) に到達した時。
TOP	タイマ/カウンタが指定された固定値 (\$FF) または OCR0A 値に到達した時。この指定 (TOP 値は動作種別に依存します)。

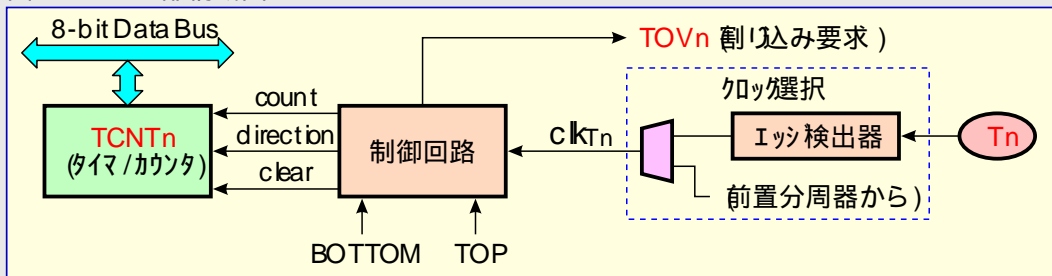
## 13.3. タイマ/カウンタの クロック

このタイマ/カウンタは内部または外部のクロック元によりクロック駆動できます。このクロック元は **タイマ/カウンタ制御レジスタ B (TCCR0B)** に配置された **クロック選択 (CS02~0)** ビットにより制御されるクロック選択論理回路により選択されます。クロック元と前置分周器の詳細については 8 頁の「**タイマ/カウンタ0とタイマ/カウンタ1の前置分周器**」をご覧ください。

## 13.4. カウンタ ユニット

8ビットタイマ/カウンタの主な部分はプログラム可能な双方向 カウンタ部です。図 13-2 は、このカウンタとその周辺環境の構成図を示します。

図 13-2. カウンタ構成図



信号説明 (内部信号)	count	TCNT0 を 1 つ進めるまたは戻す信号。
	direction	進行方向 (上昇または下降) 選択信号。
	clear	TCNT0 のビット \$00 設定 信号。
	clkTn	以降で clkT0 として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT0 が最大値に到達したことを示す信号。
	BOTTOM	TCNT0 が最小値 (\$00) に到達したことを示す信号。

使用した動作種別に依存して、カウンタは各タイマ/カウンタ クロック (clkT0) でクリア (\$00) 増加 (+1) または減少 (-1) されます。clkTd はクロック選択 (CS02~0) ビットにより選択された内部または外部のクロック元から生成できます。クロック元が選択されない (CS02~0=000) とき、タイマ/カウンタは停止されます。けれども TCNT0 値はタイマ/カウンタ クロック (clkT0) が存在するしないに拘らず、CPU によりアクセスできます。CPU 書き込みは全てのカウンタ クリアや計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) は **タイマ/カウンタ制御レジスタ A (TCCR0A)** に配置された **波形生成種別 (WGM01~0)** ビットと **タイマ/カウンタ制御レジスタ B (TCCR0B)** に配置された **波形生成種別 (WGM02)** ビットの設定により決定されます。これらはカウンタ動作 計数 方法と OCR0A/OCR0B 比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては 60 頁の「**動作種別**」をご覧ください。

**タイマ/カウンタ オーバーフロー (TOV0) フラグ** は WGM02~0 ビットにより選択された動作種別に従って設定 (=1) されます。TOV0 は CPU 割り込み発生に使用できます。

### 13.5. 比較出力部

この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで、比較割り込み要求フラグ(OCF0AまたはOCF0B)をセット(1)します。対応する割り込みが許可(=1, OCF0AまたはOCF0B=1)されているなら、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的にクリア(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによりソフトウェアでクリア(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1~0)ビットによって設定された動作種別に従った出力を生成するために、この一致信号を使用します。MAXとBOTTOM信号は動作種別(60頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

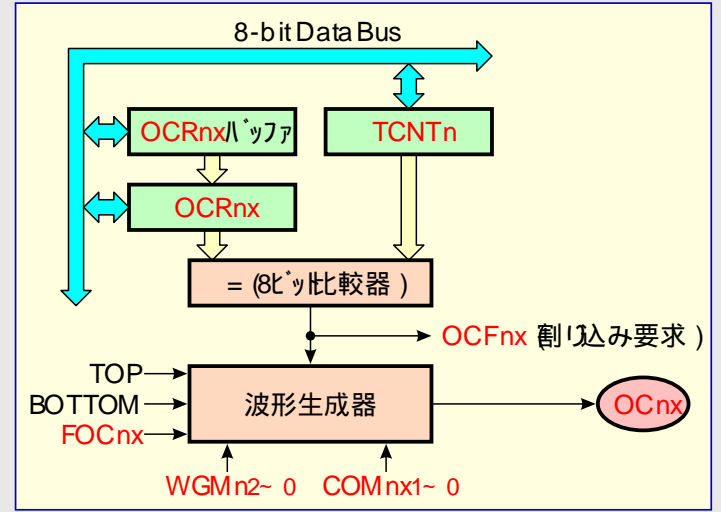
図13-3は比較出力部の構成図を示します。

OCR0xはハーフ幅変調(PWM)の何れかを使用するときダブルハーフ化されます。標準動作と比較一致タイマ/カウンタクリア(CTC)動作についてはダブルハーフ動作が禁止されます。ダブルハーフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMハーフの発生を防ぎ、それによりグリッチなしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。ダブルハーフ動作が許可されるとCPUはOCR0xハーフアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。

**訳注)**ここでは比較nxレジスタ全体をOCR0x、OCR0xを構成するハーフ部分をOCR0xハーフ、実際の比較に使用されるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

図13-3. 比較出力部構成図



#### 13.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0x)ビットに1を書くことにより強制変更できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)のセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OC0xは実際の比較一致が起きた場合と同様に更新されます(COM0x1~0ビット設定がOC0xのセット(1)クリア(0)1/交互のどれかを定義)。

#### 13.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

#### 13.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使用する場合にTCNT0を変更するとき、危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合、比較一致は失われ(一致が発生せず)不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてもいけません。

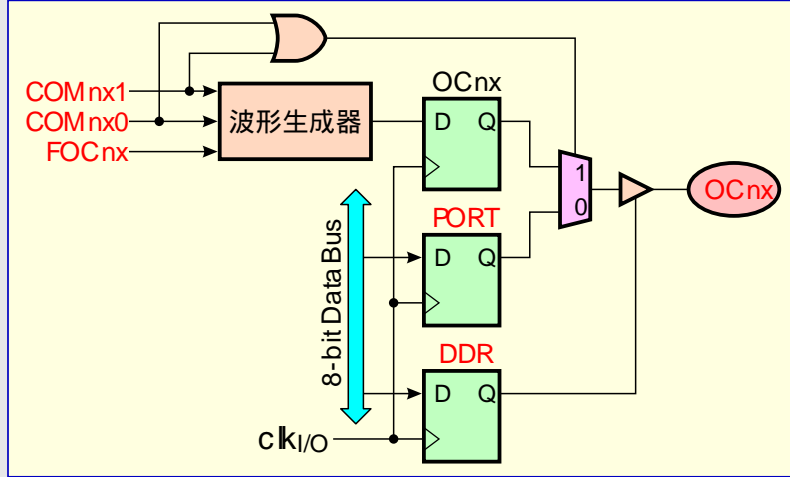
OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)AND-7ビットを使用することです。波形生成動作種別間を変更する時でも、OC0x内部レジスタはその値を保ちます。

比較出力選択(COM0x1~0)ビットが比較値(OCR0x)と共にダブルハーフ化されないことに気付いてください。COM0x1~0ビットの変更は直ちに有効となります。

### 13.6.比較一致出力部

**比較出力選択 (COM0x1~0x7)**は2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC0x)状態の定義にCOM0x1~0x7を使用します。またCOM0x1~0x7はOC0x出力元を制御します。図13-4はCOM0x1~0x7設定により影響を及ぼされる論理回路の単純化した図を示します。図のI/Oレジスタ (I/Oビット I/O)は赤文字 訳注 原文は太字 で示されます。COM0x1~0x7により影響を及ぼされる標準 I/Oポート制御レジスタ (PORTとDDR)の部分だけが示されます。OC0xの状態を参照するとき、その参照はOC0xピンでなく内部OC0xレジスタに対してです。システムリセットが起こると、OC0xレジスタは'0'にリセットされます。

図 13-4.比較一致出力回路図



COM0x1~0x7のどちらかがセット(1)されると、標準 I/Oポート機能は波形生成器からの比較出力 (OC0x)により無効にされます。けれどもOC0xピンの方向 (入出力)はポートピンに対するポート方向レジスタ (DDR)によりまだ制御されます。OC0xピンに対するポート方向レジスタのビット (DDR\_OC0x)はOC0x値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのCOM0x1~0x7設定が或る種の動作種別に対して予約されることに注意してください。64頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

#### 13.6.1.比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0x1~0x7を違うように使用します。すべての動作種別に対してCOM0x1~0x7=0=0C設定は次の比較一致で実行すべきOC0xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については64頁の表13-2と表13-5を参照してください。高速PWM動作については64頁の表13-3と表13-6、位相基準PWMについては64頁の表13-4と表13-7を参照してください。

COM0x1~0x7の状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC0x)とハードウェアビットを使用することにより直ちに効果を得ることを強制できます。

## 13.7.動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別 (WGM02~ 0ビット) と比較出力選択 (COM0x1~ 0ビット) の組み合わせにより定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1~ 0ビットは生成されるPWM出力が反転されるべきか、されないべきか、反転または非反転PWMどちらかを制御します。非PWM動作に対するCOM0x1~ 0ビットは比較一致で出力がクリア(0) セット(1) 交互のどれにされるべきかを制御します (59頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については63頁の「タイマ/カウンタのタイミング」を参照してください。

### 13.7.1.標準動作

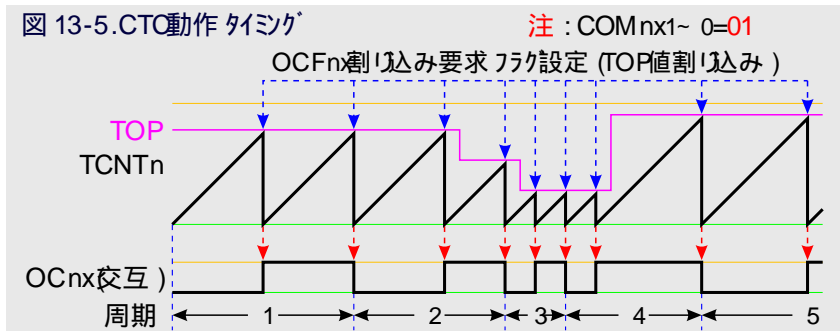
最も単純な動作種別が標準動作 (WGM02~ 0=000) です。この動作種別での計数方向は常に上昇 (+) で、カウンタクリアは実行されません。カウンタは8ビット最大値 (TOP=\$FF) を通過すると単に範囲を超え、そして\$00 (BOTTOM) から再び始めます。通常動作でのタイマ/カウンタオーバーフロー (TOV0) フラグはTCNT0が\$0dになる時と同じタイマ/カウンタクロックサイクルでセット(1) されます。この場合のTOV0フラグはセット(1) のみでクリア(0) されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的にクリア(0) するタイマ/カウンタオーバーフロー割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアにより増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 13.7.2.比較一致 タイマ/カウンタ クリア (CTC) 動作

比較一致 タイマ/カウンタ クリア (CTC 動作 (WGM02~ 0=010) では、OCR0Aがカウンタの分解能を操作するために使用されます。CTC動作では、カウンタ (TCNT0) 値がOCR0Aと一致すると、カウンタは\$0dにクリアされます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図 13-5で示されます。カウンタ (TCNT0) 値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後カウンタ (TCNT0) はクリア (\$00) されます。



OCF0Aフラグを使用することにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値より低い (小さい) 場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立ち、最大値 (\$FF) へそして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択 (COM0A1~ 0ビット) を交互動作 (=01) に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデフォルト方向が出力 (DDR\_OC0A=1) に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0 (\$00) に設定されるとき、 $f_{OC0A} = f_{clk\_I/O} / 2$  の最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数 (1, 8, 64, 256, 1024) を表します。

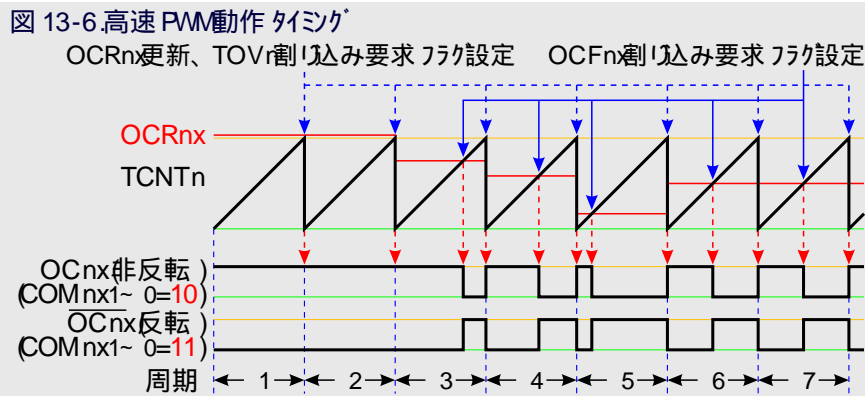
標準動作と同じように、タイマ/カウンタオーバーフロー (TOV0) フラグはカウンタがMAXから\$00へ計数する同じタイマ/カウンタクロックサイクルでセット(1) されます。



## 13.7.3. 高速 PWM 動作

高速パルス幅変調 (PWM 動作 WGM02= 0=011または 111)は高周波数 PWM波形生成選択を提供します。高速 PWMはそれが単一傾斜 鋸波 動作であることにより他の PWM動作と異なります。カウンタは BOTTOMから TOPまでカウントし、その後 BOTTOMから再び始めます。TOPはWGM02= 0=011時に \$FF WGM02= 0=111時に OCR0Aとして定義されます。非反転比較出力動作 (COM0x1= 0=10)での比較出力 (OC0x)は TCNT0とOCR0x間の比較一致でクリア (0)され、BOTTOMでセット (1)されます。反転出力動作 (COM0x1= 0=11)の出力は比較一致でセット (1)され、BOTTOMでクリア (0)されます。この単一傾斜動作のため、高速 PWM動作の動作周波数は両傾斜 (三角波 動作)を使用する位相基準 PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速 PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルや コンデンサ)を許し、従ってシステム総費用を削減します。

高速 PWM動作でのタイマ/カウンタはタイマ/カウンタ値が TOP値と一致するまで増加されます。そしてタイマ/カウンタは (一致の 次のタイマ/カウンタ)クロックサイクルでクリア (\$00)されます。高速 PWM動作のタイミング図は図 13-6で示されます。TCNT0値はタイミング図で単一傾斜動作 (鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転の PWM出力を含みます。細い赤線は OCR0x値を示し、TCNT0値との交点 (接点)が TCNT0とOCR0x間の比較一致を示します (訳注 図補正に伴い本行若干変更) 比較割り込み要求フラグ (OCF0x)は OCR0x=TOPを除いて比較一致が起こるとセット (1)されます (訳注 共通性のため本行追加)



タイマ/カウンタ オーバーフロー (TOV0)フラグはカウンタが TOPに到達する時毎にセット (1)されます。割り込みが許可されるならば、その割り込み処理ルーチンは比較値を更新するために使用できます。

高速 PWM動作での比較部は OC0xレジスタでの PWM波形の生成を許します。COM0x1= 0ビットを '10'に設定することは非反転 PWM出力を作成し、反転 PWM出力は COM0x1= 0を '11'に設定することで生成できます。WGM02ビットがセット (1)ならば、COM0A1= 0ビットの '01'設定は比較一致での交互反転を OC0Aレジスタに許します。この任意選択は OC0Bレジスタに対して利用できません (64頁の表 13-3と表 13-6. をご覧ください) 実際の OC0x値はポートピンに対するデータ方向 (DDR\_OC0x)が出力として設定される場合だけ見えてでしょう PWM波形は TCNT0とOCR0x間の比較一致で、OC0x内部レジスタをセット (1) (またはクリア (0))と、カウンタがクリア (\$00, TOPから BOTTOMへ変更)されるタイマ/カウンタクロックサイクルで OC0xレジスタをクリア (0)またはセット (1)することにより生成されます。

PWM出力周波数は次式により計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N_x (1+TOP)}$$

変数 Nは前置分周数 (1, 8, 64, 256, 1024)を表します。

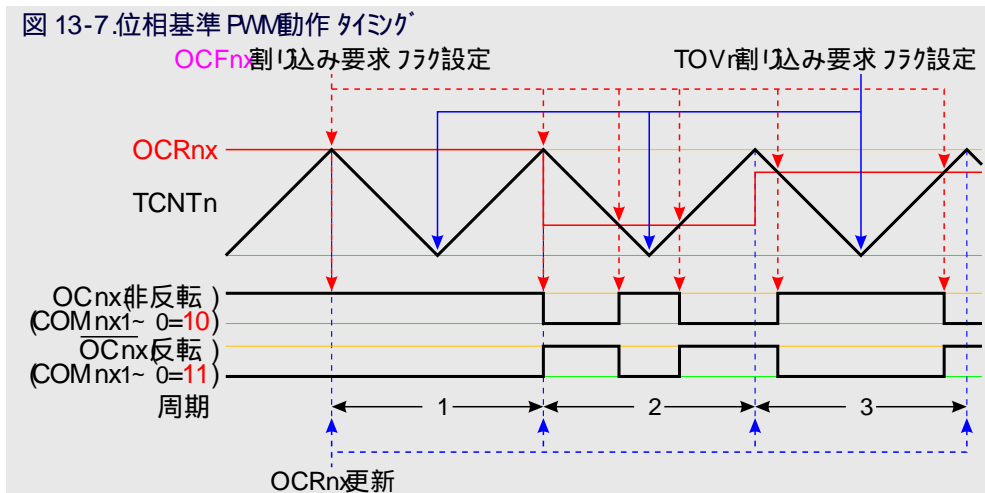
OCR0xの両端値は高速 PWM動作で PWM波形出力を生成する時の特別な場合にあたります。OCR0xが BOTTOM (\$00)と等しく設定されると、出力は TOP+1 タイマ/カウンタクロックサイクル毎の狭いスパイク (パルス)になるでしょう OCR0xが TOPに等しく設定されると、(COM0x1= 0ビット)により設定される出力極性に依存して 定常的な Lowまたは High出力に終わるでしょう

(訳補 WGM02= 0=111の場合については、高速 PWM動作での (フェーデッド 50%)周波数の波形出力は比較一致毎に論理反転する OC0A設定 (COM0A1= 0=01)により達成できます。生成された波形は OCR0Aが 0 (\$00)に設定されるときに  $f_{OC0x} = f_{clk\_I/O} / 2$  の最大周波数でしょう この特性は高速 PWM動作で比較出力部のダブルハーフ機能が許可されることを除いて、CTC動作での OC0A交互出力 (COM0A1= 0=01)と同じです。

### 13.7.4. 位相基準 PWM動作

位相基準パルス幅変調 (PWM 動作 **WGM02~0=001**または**101**)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜三角波動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=00時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作 (COM0x1~0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COM0x1~0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相基準PWM動作のタイミング図は図13-7で示されます。TCNT0値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)



タイマ/カウンタオーバフロー (TOV0)フラグはタイマ/カウンタがBOTTOMに到達する毎にセット(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使用できます。

位相基準PWM動作での比較部はOC0xレジスタでのPWM波形の生成を許します。COM0x1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1~0ビットを'11'に設定することで生成できます。WGM02ビットがセット(1)ならば、COM0A1~0ビットの'01'設定は比較一致での交互反転をOC0Aレジスタに許します。この任意選択はOC0Bレジスタに対して利用できません(64頁の表13-4と表13-7をご覧ください)。実際のOC0x値はそのポートピンに対するデフォルト方向(DDR\_OC0x)が出力として設定される場合だけ見えます。PWM波形はカウンタが増加するときのTCNT0とOCR0x間の比較一致でOC0x内部レジスタをセット(1)またはクリア(0)と、カウンタが減少するときのTCNT0とOCR0x間の比較一致でOC0xレジスタをクリア(0)またはセット(1)により生成されます。位相基準PWMを使用するときの出力に対するPWM周波数は次式により計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図13-7の第2周期のその出発点において、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

図13-7のように、OCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxレジスタ値は下降計数での比較一致の結果と同じです(訳補: L、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、変更直後の(1)TOP位置でのOCnx値は上昇計数での比較一致の結果(H、L)と一致しなければなりません。

タイマ/カウンタがOCR0x値より高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で直前がHならばH、L遷移が生じます。)

## 13.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック( $clk_{Tn}$ )がクック許可信号として示されます。この図は割り込みフラグがセットされる時の情報を含みます。図 13-8は基本的なタイマ/カウンタ動作についてのタイミングデータを含みます。この図は位相基準 PWM動作以外の全ての動作種別での MAX 値近辺の計数の流れを示します。

図 13-8. 前置分周なし (1/1) のタイマ/カウンタ タイミング

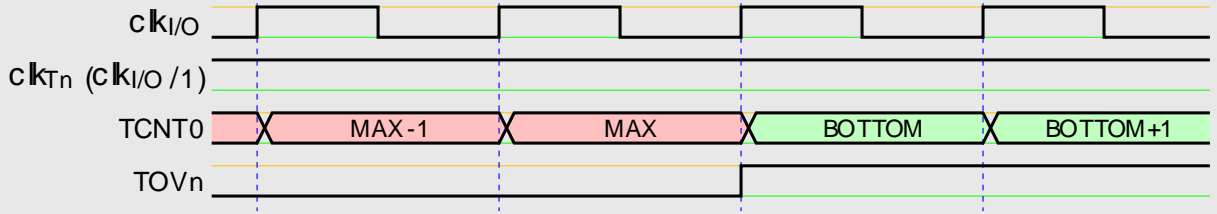


図 13-9は同じタイミングデータを示しますが、前置分周器が許可されています。

図 13-9. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ タイミング

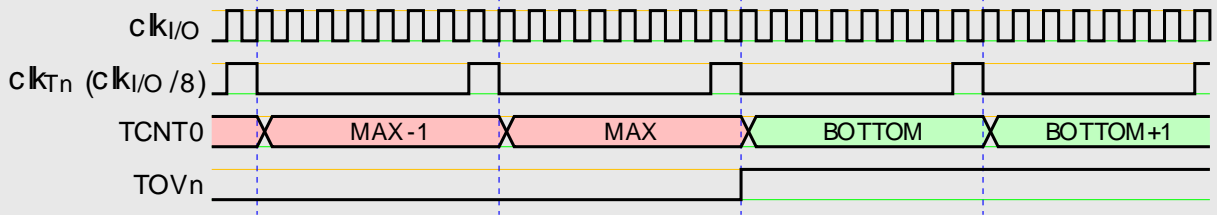


図 13-10は CTO動作と OCR0A が TOP の PWM動作を除く全動作種別での OCF0A と全動作種別での OCF0B の設定を示します。

図 13-10. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ OCF0A 設定 タイミング

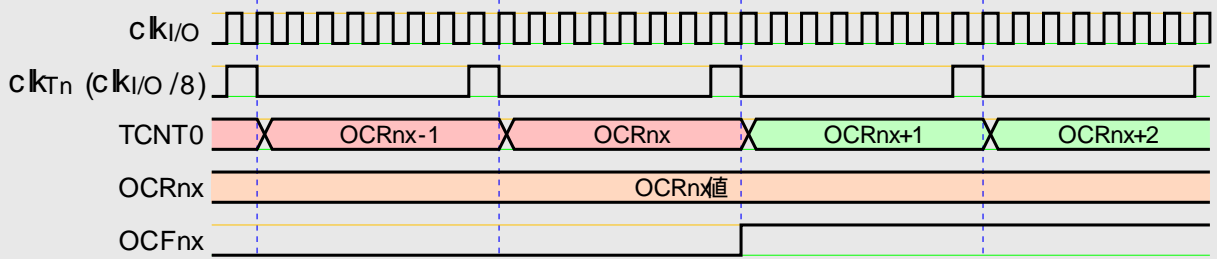
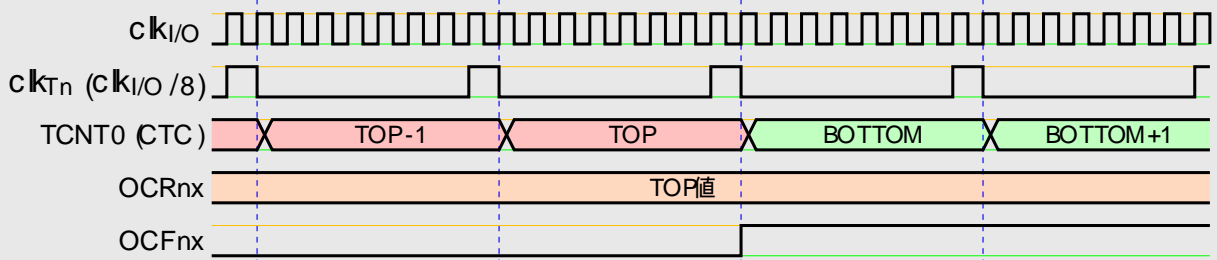


図 13-11は OCR0A が TOP の高速 PWM動作と CTO動作での TCNT のクリアと OCF0A の設定を示します。

図 13-11. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ OCF0A 設定 タイミング



## 13.9. 8ビットタイマ/カウンタ用レジスタ

### 13.9.1. タイマ/カウンタ制御レジスタA (Timer/Counter Control Register A) TCCR0A

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - COM0A1,COM0A0 :比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC0A比較出力ピンの動作を制御します。COM0A1~ 0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力ドライバを許可するため、OC0Aピンに対応するポート方向レジスタ(PDR)のビットがセット(1)されなければならないことに注意してください。

OC0Aがピンに接続されるとき、COM0A1~ 0ビットの機能はWGM02~ 0ビット設定に依存します。

表 13-2はWGM02~ 0ビットが標準動作またはCTC動作 (つまりPWM以外) に設定されるときCOM0A1~ 0ビットの機能を示します。

表 13-3はWGM02~ 0ビットが高速PWM動作に設定されるときCOM0A1~ 0ビットの機能を示します。

表 13-4はWGM02~ 0ビットが位相基準PWM動作に設定されるときCOM0A1~ 0ビットの機能を示します。

表 13-2.非 PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	比較一致でOC0Aピンのフル交互出力
1	0	比較一致でOC0AピンのLowレベル出力
1	1	比較一致でOC0AピンのHighレベル出力

表 13-3.高速 PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 標準ポート動作 (OC0A切断) WGM02=1 比較一致でOC0Aピンのフル交互出力
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC0Aピンへ出力 (非反転動作)
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC0Aピンへ出力 (反転動作)

表 13-4.位相基準 PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 標準ポート動作 (OC0A切断) WGM02=1 比較一致でOC0Aピンのフル交互出力
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC0Aピンへ出力
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC0Aピンへ出力

ビット5,4 - COM0B1,COM0B0 :比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC0B比較出力ピンの動作を制御します。COM0B1~ 0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力ドライバを許可するため、OC0Bピンに対応するポート方向レジスタ(PDR)のビットがセット(1)されなければならないことに注意してください。

OC0Bがピンに接続されるとき、COM0B1~ 0ビットの機能はWGM02~ 0ビット設定に依存します。

表 13-5はWGM02~ 0ビットが標準動作またはCTC動作 (つまりPWM以外) に設定されるときCOM0B1~ 0ビットの機能を示します。

表 13-6はWGM02~ 0ビットが高速PWM動作に設定されるときCOM0B1~ 0ビットの機能を示します。

表 13-7はWGM02~ 0ビットが位相基準PWM動作に設定されるときCOM0B1~ 0ビットの機能を示します。

表 13-5.非 PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	比較一致でOC0Bピンのフル交互出力
1	0	比較一致でOC0BピンのLowレベル出力
1	1	比較一致でOC0BピンのHighレベル出力

表 13-6.高速 PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	予約
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC0Bピンへ出力 (非反転動作)
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC0Bピンへ出力 (反転動作)

共通注意 :COM0x1がセット(1)され、対応するOCR0xがTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでのセット(1)またはクリア(0)は行われます。より多くの詳細については64頁の「高速PWM動作」または62頁の「位相基準PWM動作」をご覧ください。表 13-3,4,6,7各々での注を纏めました。



## ビット32 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

## ビット10 - WGM01WGM00 :波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使用されるべき波形生成のどの形式かを制御します(表13-8参照)。タイマ/カウンタによって支援される動作種別は、標準動作(カウンタ)、比較一致タイマ/カウンタクリア(CTC動作)と2形式のパルス幅変調(PWM動作)です。60頁の「動作種別」をご覧ください。

表 13-8. 波形生成種別選択

番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準 PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ クリア (CTC 動作)	OCR0A	即時	MAX
3	0	1	1	8ビット高速 PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	予約)	-	-	-
5	1	0	1	位相基準 PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	予約)	-	-	-
7	1	1	1	高速 PWM動作	OCR0A	BOTTOM	TOP

注 :MAX=\$FF, BOTTOM=\$00です。

## 13.9.2. タイマ/カウンタ制御レジスタB (Timer/Counter0 Control Register B) TCCR0B

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	TCCR0B
Read/W rite	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## ビット7 - FOC0A :OC0A強制変更 (Force Output Compare A)

FOC0AビットはWGM02~ 0ビットが非 PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時に TCCR0Bが書かれる場合、このビットは 0に設定されなければなりません。FOC0Aビットに論理 1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1~ 0ビット設定に従って変更されます。FOC0Aビットがスロ-フとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1~ 0ビットに存在する値です。

FOC0Aスロ-フは何れの割り込みの生成もTOPとしてOCR0Aを使用する比較一致タイマ クリア (CTC 動作)でのタイマ/カウンタのクリア (\$00も行いません。

FOC0Aビットは常に 0として読めます。

## ビット6 - FOC0B :OC0B強制変更 (Force Output Compare B)

FOC0BビットはWGM02~ 0ビットが非 PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時に TCCR0Bが書かれる場合、このビットは 0に設定されなければなりません。FOC0Bビットに論理 1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1~ 0ビット設定に従って変更されます。FOC0Bビットがスロ-フとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1~ 0ビットに存在する値です。

FOC0Bスロ-フは何れの割り込みの生成も行いません。

FOC0Bビットは常に 0として読めます。

## ビット54 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

## ビット3 - WGM02 :波形生成種別 (Waveform Generation Mode bit 2)

64頁の「タイマ/カウンタ制御レジスタA (TCCR0A)」のWGM01~ 0ビット記述をご覧ください。

ビット2,1,0 - CS02 CS01 CS00 : クロック選択 0 (Clock Select0, bit 2,1 and 0)  
この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)により使用されるクロック元を選択します。

表 13-9. タイマ/カウンタ0入力 クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk <sub>I/O</sub> 前置分周なし)
0	1	0	clk <sub>I/O</sub> / 8 (8分周)
0	1	1	clk <sub>I/O</sub> / 64 (64分周)
1	0	0	clk <sub>I/O</sub> / 256 (256分周)
1	0	1	clk <sub>I/O</sub> / 1024 (1024分周)
1	1	0	T0ピン <sup>1</sup> の立ち下りエッジ 外部 クロック)
1	1	1	T0ピン <sup>1</sup> の立ち上りエッジ 外部 クロック)

外部ピン(クロック動作がタイマ/カウンタに対して使用される場合、例えばT0ピン<sup>1</sup>が出力として設定されても、T0ピン<sup>1</sup>の遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

### 13.9.3. タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	(MSB)							(LSB)	TCNT0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタの8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することは、TCNT0とOCR0間の比較一致消失の危険を誘発します。

### 13.9.4. タイマ/カウンタ0比較Aレジスタ (Timer/Counter0 Output Compare A Register) OCR0A

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	OCR0A
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOCR0Aピンでの波形出力を生成するために使用できます。

### 13.9.5. タイマ/カウンタ0比較Bレジスタ (Timer/Counter0 Output Compare B Register) OCR0B

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(MSB)							(LSB)	OCR0B
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOCR0Bピンでの波形出力を生成するために使用できます。

## 13.9.6. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter 0 Interrupt Mask Register) TMSK0

ビット (\$6E)	7	6	5	4	3	2	1	0	
	-	-	-	-	-	OC E0B	OC E0A	TO E0	TMSK0
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7～3 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - OC E0B :タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare Match B Interrupt Enable)

OC E0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されると、タイマ/カウンタ比較B一致割り込みが許可されます。タイマ/カウンタ0で比較B一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較B割り込み要求フラグ(OC F0B)がセット(1)されると、対応する割り込みが実行されます。

ビット1 - OC E0A :タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare Match A Interrupt Enable)

OC E0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されると、タイマ/カウンタ比較A一致割り込みが許可されます。タイマ/カウンタ0で比較A一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較A割り込み要求フラグ(OC F0A)がセット(1)されると、対応する割り込みが実行されます。

ビット0 - TO E0 :タイマ/カウンタ0オーバーフロー割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TO E0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されると、タイマ/カウンタ0オーバーフロー割り込みが許可されます。タイマ/カウンタ0でオーバーフローが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)でタイマ/カウンタ0オーバーフロー割り込み要求 (TO V0)フラグがセット(1)されると、対応する割り込みが実行されます。

## 13.9.7. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter 0 Interrupt Flag Register) TIFR0

ビット \$15 (\$35)	7	6	5	4	3	2	1	0	
	-	-	-	-	-	OC F0B	OC F0A	TO V0	TIFR0
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7～3 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - OC F0B :タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)

OC F0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時にセット(1)されます。対応する割り込み処理へクを実行すると、OC F0Bはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもOC F0Bはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK0)のタイマ/カウンタ比較B一致割り込み許可(OC E0B)ビット、OC F0Bがセット(1)されると、タイマ/カウンタ比較B一致割り込みが実行されます。

ビット1 - OC F0A :タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)

OC F0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時にセット(1)されます。対応する割り込み処理へクを実行すると、OC F0Aはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもOC F0Aはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK0)のタイマ/カウンタ比較A一致割り込み許可(OC E0A)ビット、OC F0Aがセット(1)されると、タイマ/カウンタ比較A一致割り込みが実行されます。

ビット0 - TO V0 :タイマ/カウンタ0オーバーフロー割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TO V0ビットはタイマ/カウンタ(TCNT0)でオーバーフローが起こる時にセット(1)されます。対応する割り込み処理へクを実行すると、TO V0はハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもTO V0はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK0)のタイマ/カウンタ0オーバーフロー割り込み許可 (TO E0)ビット、OV F0がセット(1)されると、タイマ/カウンタ0オーバーフロー割り込みが実行されます。位相基準PWM動作ではタイマ/カウンタが\$00で計数方向を変えるとき、このビットがセット(1)されます。

これらフラグの設定はWGM02～0ビット設定に依存します。65頁の波形生成種別ビット記述の表13-8を参照してください。

## 14. 16ビット タイマ/カウンタ1

### 14.1. 特徴

- 真の 16ビット設計 (換言すれば 16ビットPWMの許容)
- 2つの独立した比較出力部
- ダブルバッファの比較レジスタ
- 1つの捕獲 (キャプチャ) 入力部
- 捕獲入力 ノイズ消去器
- 比較一致でのタイマ/カウンタ クリア 自動再設定)
- グリッチなしで正しい位相のパルス幅変調器 (PWM)
- 可変 PWM 周期
- 周波数発生器
- 外部事象 カウント
- 4つの独立した割り込み (TOV1, OCF1A, OCF1B, CF1)

### 14.2. 概要

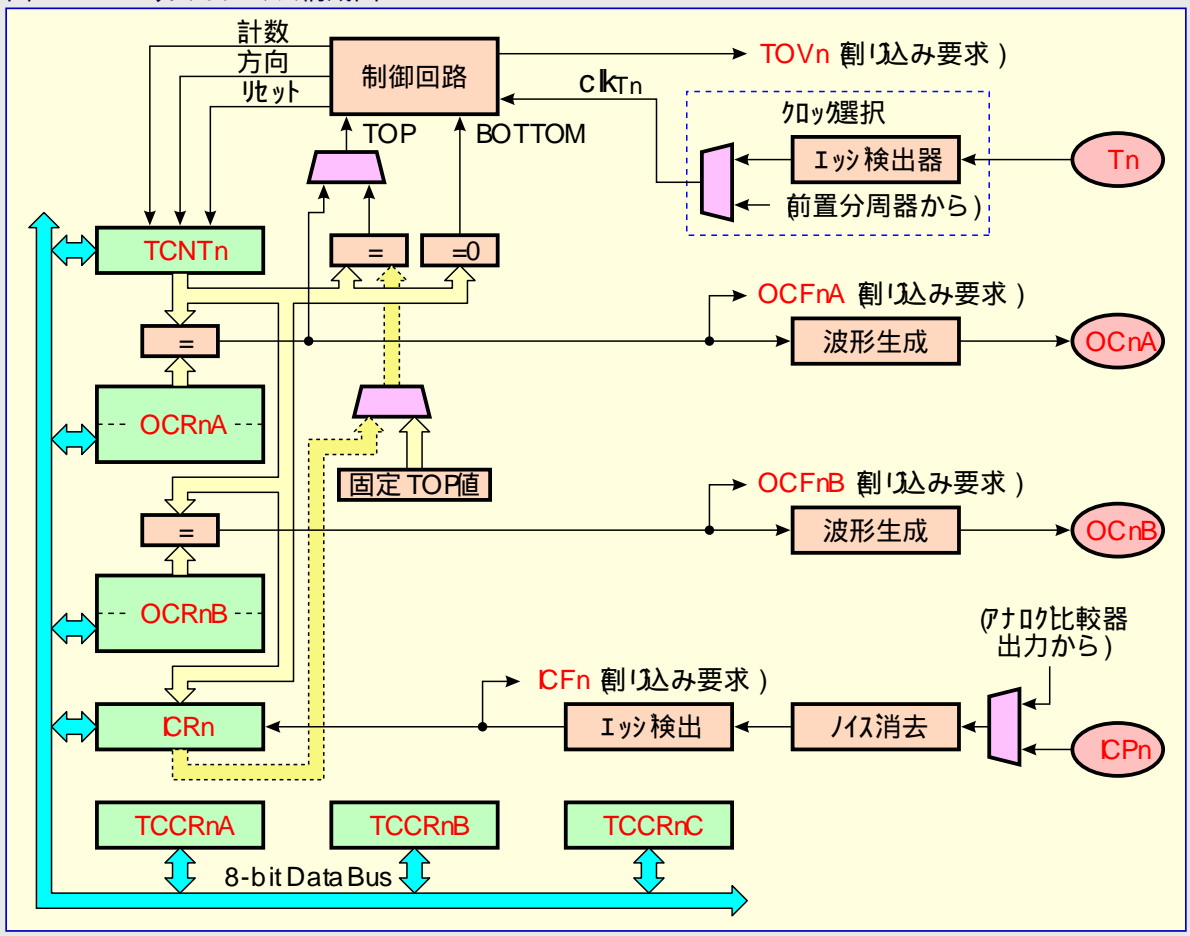
この 16ビットタイマ/カウンタは正確なプログラム実行タイミング事象管理、波形生成、信号 タイミング計測を許します。

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の 'n' はタイマ/カウンタ番号、小文字の 'x' は比較出力部の置き換えです。けれどもプログラムでレジスタまたはビット定義に使用するときには正確な形式が使用されなければなりません (例えばタイマ/カウンタのカウンタ値に対するアクセスの TCNT0 のように)。

この 16ビットタイマ/カウンタの簡便化した構成図は図 14-1 で示されます。実際の I/O ピンの配置については 2 頁の「ピン配置」を参照してください。CPU がアクセス可能な (I/O ピンと I/O ピンを含む) I/O レジスタは赤文字 訳注: 原文太字 で示されます。デバイス仕様の I/O レジスタとビット位置は 8 2 頁の「16ビットタイマ/カウンタ用レジスタ」で示されます。

26 頁の 電力削減レジスタ (PRR) の PRTM1 ビットはタイマ/カウンタ部を許可するために 0 を書かれなければなりません。

図 14-1. 16ビットタイマ/カウンタ構成図



注: タイマ/カウンタのピンの配置と記述については 2 頁の「ピン配置」、4 頁の表 12-3、5 2 頁の表 12-9 を参照してください。



## 14.2.1. 関係レジスタ

タイマ/カウンタ(TCNT1)、比較レジスタ(OCR1A, OCR1B)、捕獲レジスタ(CR1)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は70頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ制御レジスタ(TCCR1A, TCCR1B, TCCR1C)は8ビットレジスタで、CPUアクセスの制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR1)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK1)で個別に遮蔽/禁止されます。TIFR1とTMSK1は、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT1ピン(1)の外部クロック元によりクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するために使用するクロック元とエッジを制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(Clock1)として参照されます。

ダブルハップ化した比較レジスタ(OCR1A, OCR1B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC1A, OC1B)ピンでPWMまたは可変周波数出力を生成するための波形生成器により使用できます。74頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF1A, OCF1B)をセット(1)します。

捕獲レジスタ(CR1)は捕獲起動(CP1)ピンまたはアナログ比較器出力(152頁の「アナログ比較器」参照)のどちらかの外部エッジで起動された事象でタイマ/カウンタ値を捕獲(リード)できます。捕獲入力部はスパイクノイズを捕らえる機会を軽減するためにデジタル濾波器(ノイズ消去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCR1A、CR1、または一群の固定値の何れかにより定義できます。PWM動作でTOP値としてOCR1Aを使用すると、OCR1AはPWM出力生成用に使用できません。けれどもこの場合、TOP値は動作中に変更されることをTOP値に許すダブルハップ化します。固定的なTOP値が必要とされる場合、CR1が代わりに使用でき、PWM出力として使用されるべきOCR1Aを開放します。

## 14.2.2. 定義

次の定義は本資料を通じて広範囲に使用されます。

表 14-1. 用語定義

用語	意味
BOTTOM	カウンタが\$0000に到達した時。
MAX	カウンタが\$FFFF (65535)に到達した時。
TOP	カウンタがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF, \$01FF, \$03FF)、OCR1A値、CR1値の何れか一つを指定できます。この指定は動作種別に依存します。

### 14.3. 16ビットレジスタのアクセス

TCNT1, OCR1A, OCR1B, CR1は8ビットバス経由でAVR CPUによりアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使用してバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUにより書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロックサイクルで16ビットレジスタに両方複写されます。16ビットレジスタの下位バイトがCPUにより読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロックサイクルで一時レジスタに複写されます。

すべての16ビットアクセスが上位バイトに対して一時レジスタを使用する訳ではありません。OCR1AとOCR1Bの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために、上位バイトは下位バイトに先立ち書かれなければなりません。16ビット読み込みについては下位バイトが上位バイト前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1A, OCR1B, CR1レジスタのアクセスに対して同じ原理が直接的に使用できます。C言語を使用するとき、コンパイラが16ビットアクセスを扱うことに注意してください。

#### アセンブリ言語プログラム例

```

~
LDI    R17, $01
LDI    R16, $FF
OUT    TCNT1H, R17
OUT    TCNT1L, R16
IN     R16, TCNT1L
IN     R17, TCNT1H
~
;
; [16ビット$01FF書き込み]
; $01FFの上位バイト取得
; $01FFの下位バイト取得
; 上位バイト設定 (一時レジスタ)
; 下位バイト設定 (一時レジスタ 上位バイト)
; [16ビット読み込み]
; 下位バイト取得 (上位バイト 一時レジスタ)
; 上位バイト取得 (一時レジスタ)
;

```

#### C言語プログラム例

```

unsigned int i;
~
TCNT1 = 0x1FF;
i = TCNT1;
~
/* */
/* 16ビット$01FF書き込み */
/* 16ビット読み込み */
/* */

```

**注:** 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタ対にTCNT値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることにより一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例は TCNT1 レジスタ内容の非分断読み込み法を示します。同じ原理を使用することにより OCR1A, OCR1B, ICRT1 のどの読み込みも行えます。

## アセンブリ言語プログラム例

RD_TCNT1:	IN	R18, SREG	現全割り込み許可フラグ(I)を保存
	CLI		全割り込み禁止
	IN	R16, TCNT1L	; TCNT 下位バイト取得 (上位バイト 一時レジスタ)
	IN	R17, TCNT1H	; TCNT 上位バイト取得 (一時レジスタ)
	OUT	SREG, R18	全割り込み許可フラグ(I)を復帰
	RET		呼び出し元へ復帰

## C言語プログラム例

```

unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;          /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;             /* TCNT 読み出し変数定義 */
    sreg = SREG;                /* 現全割り込み許可フラグ(I)を保存 */
    __disable_interrupt();      /* 全割り込み禁止 */
    i = TCNT1;                  /* TCNT 値を取得 */
    SREG = sreg;                /* 全割り込み許可フラグ(I)を復帰 */
    return i;                   /* TCNT 値で呼び出し元へ復帰 */
}

```

注: 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例は R17 R16 レジスタ宛に TCNT 値を戻します。

次のコード例は TCNT1 レジスタ内容の非分断書き込み法を示します。同じ原理を使用することにより OCR1A, OCR1B, ICRT1 のどの書き込みも行えます。

## アセンブリ言語プログラム例

WR_TCNT1:	IN	R18, SREG	現全割り込み許可フラグ(I)を保存
	CLI		全割り込み禁止
	OUT	TCNT1H, R17	; TCNT 上位バイト設定 (一時レジスタ)
	OUT	TCNT1L, R16	; TCNT 下位バイト設定 (一時レジスタ 上位バイト)
	OUT	SREG, R18	全割り込み許可フラグ(I)を復帰
	RET		呼び出し元へ復帰

## C言語プログラム例

```

void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;          /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;             /* TCNT 書き込み変数定義 */
    sreg = SREG;                /* 現全割り込み許可フラグ(I)を保存 */
    __disable_interrupt();      /* 全割り込み禁止 */
    TCNT1 = i;                  /* TCNT 値を設定 */
    SREG = sreg;                /* 全割り込み許可フラグ(I)を復帰 */
}

```

注: 4頁の「コード例について」をご覧ください。

アセンブリ言語コード例は R17 R16 レジスタ宛が TCNT へ書かれるべき値を含む必要があります。

### 14.3.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数 16ビットレジスタ書き込みならば、上位バイトは一度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

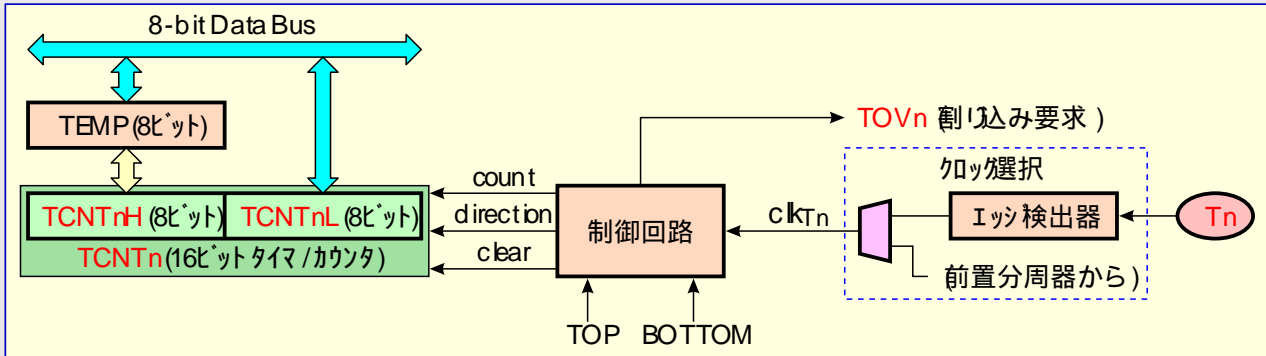
#### 14.4. タイマ/カウンタの クロック

このタイマ/カウンタは内部または外部のクロック元によりクロック駆動できます。このクロック元は **タイマ/カウンタ制御レジスタB (TCCR1B)** に配置された **クロック選択 (CS12~0)** レジスタにより制御されるクロック選択論理回路により選択されます。クロック元と前置分周器の詳細については **8頁の「タイマ/カウンタ0とタイマ/カウンタ1の前置分周器」** をご覧ください。

#### 14.5. カウンタ ユニット

16ビットタイマ/カウンタの主な部分はプログラマブル 16ビット双方向 カウンタ部です。図 14-2はこのカウンタとその周辺の構成図を示します。

図 14-2. カウンタ構成図



信号説明 (内部信号)	count	TCNT を 1 つ進めるまたは戻す信号。
	direction	進行方向 (上昇または下降 選択信号)。
	clear	TCNT の レジスタ \$0000 設定 信号。
	clkTn	以降で clkT1 として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT が最大値に到達したことを示す信号。
	BOTTOM	TCNT が最小値 (\$0000) に到達したことを示す信号。
	TEMP	一時レジスタ

この 16ビットカウンタはカウンタの上位 8ビットを含む カウンタ上位 (TCNT1H) と下位 8ビットを含む カウンタ下位 (TCNT1L) の 2つの 8ビット I/O ポート位置に配置されます。TCNT1H レジスタは CPU により間接的なアクセスのみできます。CPU が TCNT1H I/O 位置をアクセスするとき、CPU は上位 8ビット一時レジスタ (TEMP) をアクセスします。この一時レジスタは TCNT1L が読まれる時に TCNT1H 値で更新され、TCNT1L が書かれる時に TCNT1H は一時レジスタ値で更新されます。これは 8ビットデータバス経由で 1クロックサイクル内での 16ビットカウンタ値全体の読み書きを CPU に許します。予測不能な結果を与える、カウンタが計数中の時の TCNT 書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使用した動作種別に依存して、カウンタは各 タイマ/カウンタ クロック (clkT1) で レジスタ \$0000 増加 (+1) または減少 (-1) されます。clkT1 はクロック選択 (CS12~0) レジスタにより選択された内部または外部のクロック元から生成できます。クロック元が選択されない (CS12~0=000) とき、カウンタは停止されます。けれども TCNT 値はタイマ/カウンタ クロック (clkT1) が存在するしないに拘らず、CPU によりアクセスできます。CPU 書き込みは全てのカウンタクリアや計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) は **タイマ/カウンタ制御レジスタA (TCCR1A)** と **タイマ/カウンタ制御レジスタB (TCCR1B)** に配置された **波形生成種別 (WGM13~0)** レジスタの設定によって決定されます。これらはカウンタ動作 計数 方法と波形が OC1 比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては **7頁の「動作種別」** をご覧ください。

**タイマ/カウンタ オーバーフロー (TOV1) フラグ** は WGM13~0 レジスタにより選択された動作種別に従って設定 (=1) されます。TOV1 は CPU 割り込み発生に使用できます。

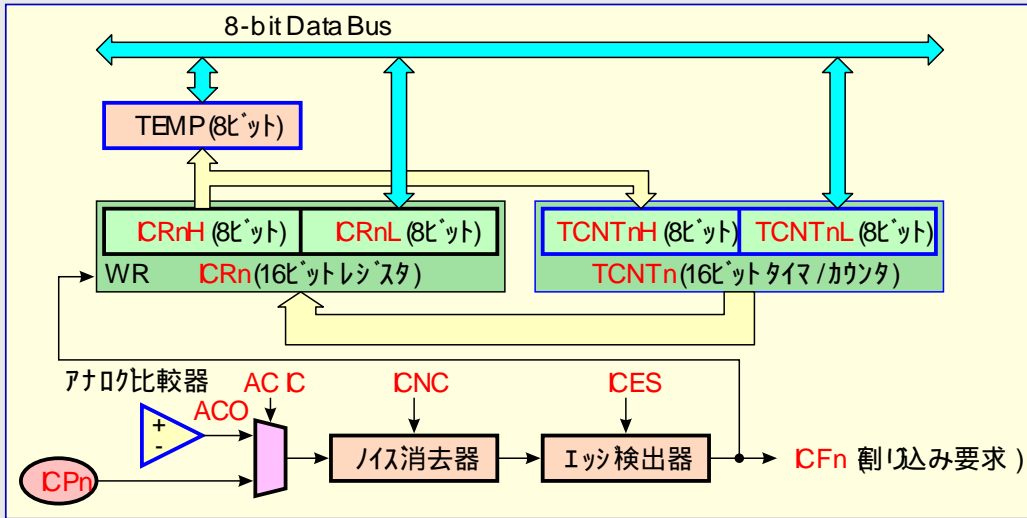


## 14.6. 捕獲 (キャプチャ) 入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印 (タイマ/カウンタ値) を与える捕獲入力部と合体します。出来事または複数の出来事示す外部信号は CP1ピンまたは代わりにアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特徴の計算に使用できます。代わりに時間印は出来事の記録作成にも使用できます。

捕獲入力部は図 14-3で示される構成図により図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠 (訳注 原文は灰色背景) で示されます。レジスタとビット名での小文字の **n** はタイマ/カウンタ番号を示します。

図 14-3 捕獲入力部構成図



注: ACO, ACIC はアナログ比較器制御/状態レジスタ (ACSR) 内のビットです。

捕獲起動入力 (CP1ピン) 若しくは代わりにアナログ比較器出力 (ACO) で論理レベルの変化 (出来事) が起き、その変化がエッジ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ (TCNT1) の 16ビット値が捕獲レジスタ (CR1) に書かれます。捕獲割り込み要求フラグ (CF1) は TCNT 値が CR1 に読まれるのと同じシステムクロックでセット (1) されます。許可 (IE1, CIE1=1) ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。CF1 は割り込みが実行されると自動的にクリア (0) されます。代わりにこの I/O ビット位置に論理 1 を書くことによりソフトウェアでクリア (0) できます。

捕獲レジスタ (CR1) の 16ビット値読み込みは、初めに下位バイト (CR1L) その後上位バイト (CR1H) を読むことにより行われます。下位バイトが読まれるとき、上位バイトが上位バイト一時レジスタ (TEMP) に複写されます。CPU が CR1H I/O 位置を読むと、この一時レジスタをアクセスします。

CR1 はカウンタの TOP 値定義に CR1 を使用する波形生成種別を使用するときだけ書けます。これらの場合、TOP 値が CR1 に書かれるであろう前に、波形生成種別 WGM13~0 が設定されなければなりません。CR1 に書くとき、下位バイトが CR1L に書かれる前に上位バイトが CR1H I/O 位置に書かれなければなりません。

16ビットレジスタアクセス法により多くの情報については 70 頁の「16ビットレジスタのアクセス」を参照してください。

### 14.6.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力 (CP1ピン) です。タイマ/カウンタは捕獲入力部用起動元としてアナログ比較器出力を代わりに使用できます。アナログ比較器はアナログ比較器制御/状態レジスタ (ACSR) のアナログ比較器捕獲起動許可 (ACIC) の設定 (IE1) により起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ (CF1) は、その変更後にクリア (0) されなければなりません。

捕獲起動入力 (CP1ピン) とアナログ比較器出力 (ACO) の両入力は、T1ピン (87 頁の図 15-1 参照) について同じ技法を使用して採取されます。エッジ検出器も全く同じです。けれどもノイズ消去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を 4 システムクロックサイクル増やします。タイマ/カウンタが TOP 値定義に CR1 を使用する波形生成種別に設定されないならば、ノイズ消去器とエッジ検出器の入力は常に許可されることに注意してください。

捕獲入力力は CP1ピンのホ-レ制御することによりソフトウェアで起動できます。

### 14.6.2. ノイズ消去器

ノイズ消去器は簡単なデジタル濾波器機構を使用することによってノイズ耐性を改善します。ノイズ消去器の入力は 4 採取に渡って監視され、エッジ検出器により使用される方向転換となる出力を変更するためには 4 回すべてが同じでなければなりません。

ノイズ消去器はタイマ/カウンタ制御レジスタ B (TCCR1B) の捕獲入力ノイズ消去許可 (CNC1) のセット (1) により許可されます。許可したときに、ノイズ消去器は入力に印加した変更から CR1 の更新までに 4 システムクロックサイクルの追加遅延をもたらします。ノイズ消去器はシステムクロックを使用し、従って前置分周器により影響されません。

### 14.6.3. 捕獲 (キャプチャ) 入力の使用

捕獲入力機能を使用する主な要求 (目的) は、入って来る出来事に対して十分なフレッチ能力を当てがうことです。2つの出来事間の時間が際どいといえます。次の出来事が起こる前に捕獲した捕獲レジスタ (OCR1) の値をフレッチが読めなかった場合、OCR1は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使用するとき、OCR1は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大クロックサイクル数に依存します。

動作中に TOP 値 分解能 が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のフェーズ比測定は各捕獲後に起動エッジが変更されることを必要とします。検出エッジの変更は OCR1が読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、捕獲割り込み要求フラグ (OCF1) はソフトウェア (I/Oビット位置への論理書き込み) によりクリア (0) されなければなりません (誤補: エッジ変更により OCF1 がセット (1) されることを想定) 周波数のみの測定については割り込み処理が使用される場合 OCF1 のクリア (0) は必要とされません。

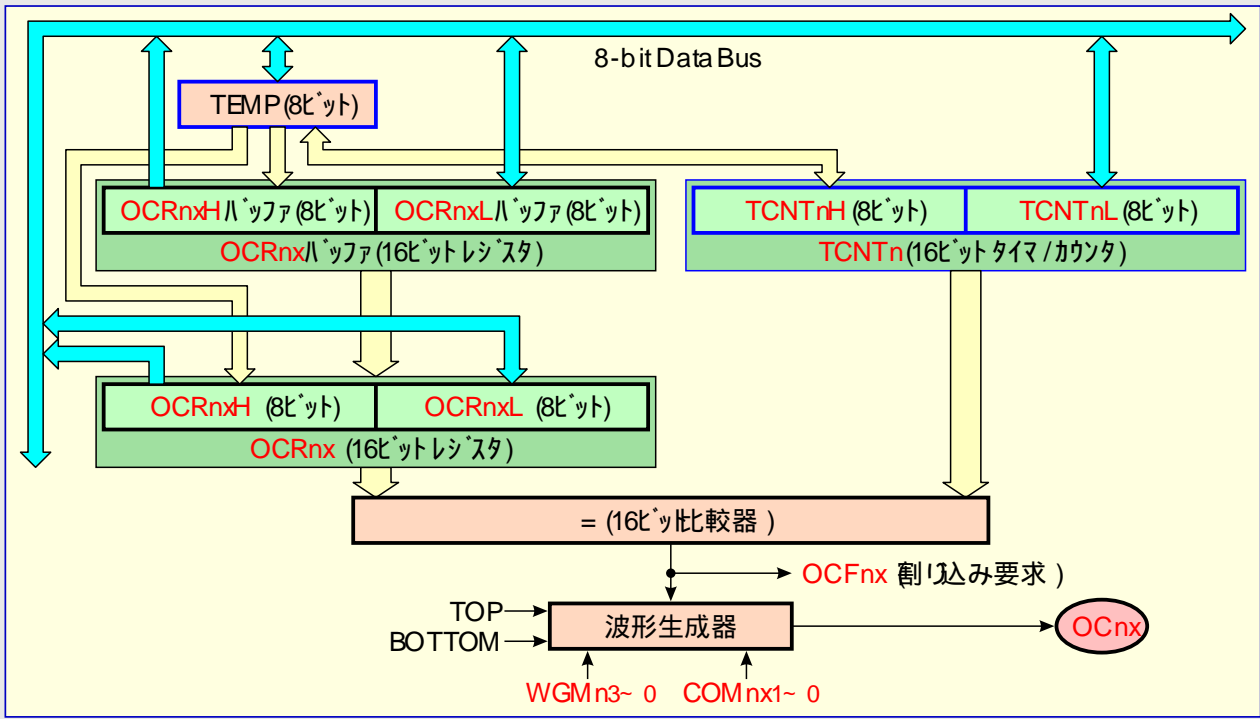
### 14.7. 比較出力部

この 16ビット比較器は TCNT1 と比較レジスタ OCR1x を継続的に比較します。TCNT1 と OCR1x が等しければ、比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグ (OCF1x) をセット (1) します。許可 (IF1, OCF1x=1) ならば、この比較割り込み要求フラグは比較割り込みを発生します。OCF1x は割り込みが実行されると自動的にクリア (0) されます。代わりに OCF1x はこの I/Oビット位置に論理 1 を書くことによりソフトウェアでクリア (0) できます。波形生成器は波形生成種別 (WGM13~0) と比較出力選択 (COM1x1~0) により設定された動作種別に従った出力を生成するために、この一致信号を使用します。TOP と BOTTOM 信号は動作種別 (7 頁の動作種別参照) のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

比較 A 出力部の特殊な特性はタイマ/カウンタの TOP 値 換言するとカウンタの分解能 定義を許します。カウンタの分解能に加え、TOP 値は波形生成器により生成された波形の周期時間を定義します。

図 14-4 は比較出力部の構成図を示します。レジスタとビット名での小文字の 'n' はタイマ/カウンタ番号 (タイマ/カウンタ1に対しては n=1) 小文字の 'x' は比較出力部 (A または B) を表します。直接的な比較出力部の部分でない構成図の要素は青枠 (誤注: 原文は灰色背景) で示されます。

図 14-4 比較出力部構成図



OCR1xは1種類のパルス幅変調 (PWM) の何れかを使用するときダブルハフア化されます。標準動作と比較一致タイマ/カウンタクリア (CTC動作) についてはダブルハフ動作が禁止されます。ダブルハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによりグリッチなしの出力を作成します。

OCR1xのアクセスは複雑なように思えますが決してそんなことはありません。ダブルハフ動作が許可されるとCPUはOCR1xハフアをアクセスし、禁止されるとOCR1xレジスタを直接アクセスします。OCR1xハフアまたはレジスタの内容は書き込み操作によってのみ変更されます (タイマ/カウンタはTCNT1やCR1のようにOCR1xを自動的に更新しません) 従ってOCR1xは上位バイト時レジスタ (TEMP経由で読まれません。けれども他の16ビットレジスタをアクセスする時のように下位バイトを先に読むのは良い習慣です。OCR1x書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイトOCR1xHは先に書かれなければなりません。上位バイトI/O位置がCPUにより書かれると一時レジスタは書かれた値で更新されます。その後下位バイトOCR1xLが下位8ビットを書かれると一時レジスタ内の上位バイトは (下位バイト書き込みと同じシステムクロックサイクルでOCR1xハフアまたはOCR1xレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については70頁の「16ビットレジスタのアクセス」を参照してください。

**訳注)** ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成するハフ部分部分をOCRnxハフア、実際の比較に使用されるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

## 14.7.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更 (FOC1x) レジスタに1を書くことにより強制変更できます。比較一致の強制は比較割り込み要求フラグOCF1xのセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OC1xレジンに実際の比較一致が起きた場合と同様に更新されます (COM1x1~0ビット設定がOC1xレジンにセット(1) クリア(0) 1/0交互のどれかを定義)。

## 14.7.2. TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されているときに、割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1xに許します。

## 14.7.3. 比較一致部の使用

どの動作種別でのTCNT1書き込みでもタイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかにかかわらず、何れかの比較出力部を使用する場合にはTCNT1を変更するときは危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ (一致が発生せず) 不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT1を書き込んではいけません。行った場合TOPに対する比較一致は無視され、カウンタは\$FFFFへ計数を続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNT1値を書き込んではいけません。

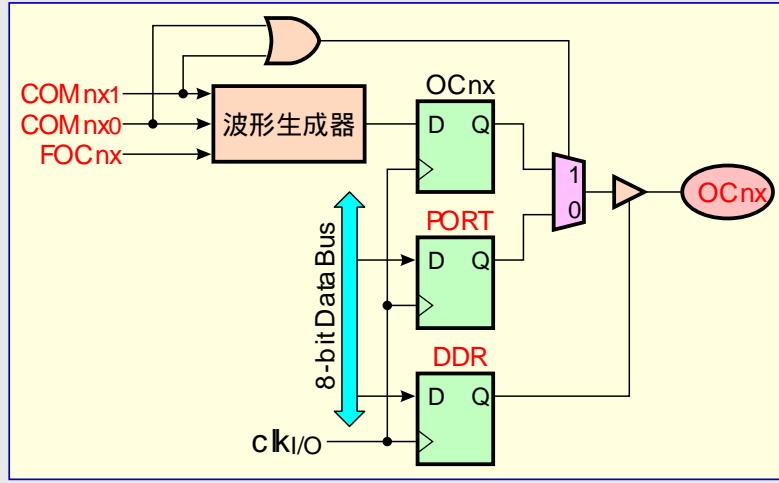
OC1xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC1x値を設定する一番簡単な方法は標準動作で強制変更 (FOC1x) レジスタの7ビットを使用することです。波形生成種別間を変更する時であっても、OC1x内部レジスタはその値を保ちます。

**比較出力選択** (COM1x1~0) レジスタが比較値 (OCR1x) と共にダブルハフアされないことに気付いてください。COM1x1~0ビットの変更は直ちに有効となります。

## 14.8. 比較一致出力部

比較出力選択 (COM1x1~0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC1x)状態の定義にCOM1x1~0ビットを使用します。次にCOM1x1~0ビットはOC1x出力元を制御します。図14-5はCOM1x1~0ビット設定により影響される論理回路の単純化した図を示します。図のI/Oレジスタ I/Oビット I/Oピンは赤文字 訳注 原文は太字 で示されます。COM1x1~0ビットにより影響を及ぼされる標準 I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OC1xの状態を参照するとき、その参照はOC1xピンでなく内部OC1xレジスタに対してです。システムリセットが起こると、OC1xレジスタは0にリセットされます。

図 14-5.比較一致出力回路図



COM1x1~0ビットのどちらかがセット(1)されると、標準 I/Oポート機能は波形生成器からの比較出力 (OC1x)により無効にされます。けれどもOC1xピンの方向 (出力はポートピンに対するポート方向レジスタDDRにより決定)制御されます。OC1xピンに対するポート方向レジスタのビットDDR\_OC1xはOC1x値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については、表14-2、表14-3、表14-4を参照してください。

比較出力ピン論理回路の設計は出力が許可される前のOC1x状態の初期化を許します。いくつかのCOM1x1~0ビット設定が或る種の動作種別に対して予約されることに注意してください。82頁の「16ビットタイマ/カウンタ用レジスタ」をご覧ください。

COM1x1~0ビットは捕獲入力部での何の効果もありません。

### 14.8.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM1x1~0ビットを違うふうに使います。すべての動作種別に対してCOM1x1~0=0設定は、次の比較一致で実行すべきOC1xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については82頁の表14-2を参照してください。高速PWM動作については82頁の表14-3、位相基準PWMと位相/周波数基準PWMについては82頁の表14-4を参照してください。

COM1x1~0ビットの状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC1x)スローフビットを使用することにより直ちに効果を得ることを強制できます。



## 14.9.動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別 (WGM13~ 0ビット)と比較出力選択 (COM1x1~ 0ビット)の組み合わせにより定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM1x1~ 0ビットは生成されたPWM出力が反転されるべきか、されないべきか、反転または非反転PWMのどちらかを制御します。非PWM動作に対してのCOM1x1~ 0ビットは比較一致で出力がクリア(0)、セット(1)、1/2交互のどれにされるべきかを制御します。76頁の「比較一致出力部」をご覧ください。

タイミング情報の詳細については8頁の「タイマ/カウンタのタイミング」を参照してください。

### 14.9.1.標準動作

最も単純な動作種別が標準動作 (WGM13~ 0=0000)です。この動作種別での計数方向は常に上昇 (+)で、カウンタのクリアは実行されません。カウンタは16ビット最大値 (MAX=\$FFFF)を通過すると単に範囲を超え、そして\$0000 (BOTTOM)から再び始めます。通常動作でのタイマ/カウンタオーバーフロー (TOV1)フラグはTCNT1が\$0000になる時と同じタイマ/カウンタクロックサイクルでセット(1)されます。この場合のTOV1フラグはセット(1)のみでクリア(0)されないことを除いて第17ビットのようになります。けれどもTOV1フラグを自動的にクリア(0)するタイマ/カウンタ1オーバーフロー割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアにより増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

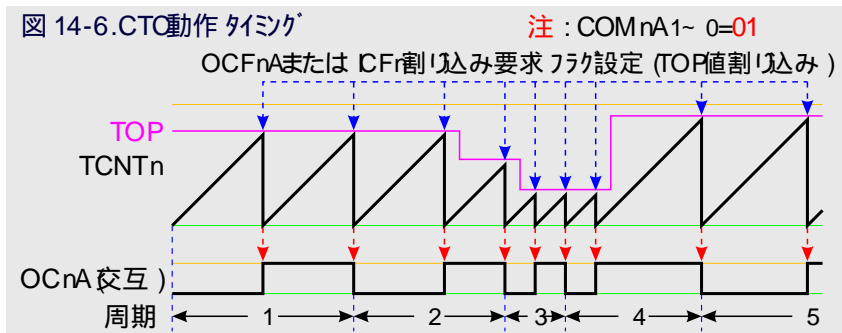
捕獲入力部は標準動作で使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能 (16ビット長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタオーバーフロー割り込みまたは前置分周器が使用されなければなりません。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 14.9.2.比較一致タイマ/カウンタクリア (CTC) 動作

比較一致タイマ/カウンタクリア (CTC) 動作 (WGM13~ 0=0100または1100)では、OCR1AまたはCR1がカウンタの分解能を操作するために使用されます。CTC動作では、カウンタ (TCNT1)値がOCR1A (WGM13~ 0=4またはCR1 (WGM13~ 0=12)のどちらかと一致すると、カウンタは\$0000にクリアされます。OCR1AまたはCR1はカウンタに対するTOP値、従って分解能も定義します。この動作種別により大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図14-6で示されます。カウンタ (TCNT1)値はOCR1AまたはCR1のどちらかで比較一致が起こるまで増加し、そしてその後カウンタ (TCNT1)はクリア (\$0000)されます。



TOP値を定義するのに使用されるレジスタに対してOCF1AまたはCF1のどちらかを使用することにより、カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMに近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCR1AまたはCR1に書かれた新しい値がTCNT1の現在値より低い小さい場合、カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こせるのに先立ち、最大値 (\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCR1Aがダブルハーフされるので、代替はTOPを定義するのにOCR1Aを使用する高速PWM動作 (WGM13~ 0=1111)を使用することでしょう。

CTC動作で波形出力を生成するために、OC1A出力は比較出力選択 (COM1A1~ 0ビット)を交互動作 (=01)に設定することによって各比較一致での論理レベル交互切替に設定できます。OC1A値はそのピンに対するデューティ方向が出力 (DDR\_OC1A=1)に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCR1Aが0 (\$0000)に設定されるとき、 $f_{OC1A} = f_{clk\_I/O} / 2N$ の最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OCnA} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数 (1, 8, 64, 256, 1024)を表します。

標準動作と同じように、タイマ/カウンタオーバーフロー割り込み要求 (TOV1)フラグはカウンタがMAXから\$0000へ計数するのと同じタイマ/カウンタクロックサイクルでセット(1)されます。

### 14.9.3. 高速 PWM動作

高速パルス幅変調 (PWM動作 (WGM13~0=0101,0110,0111,1110,1111))は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることにより他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作 (COM1x1~0=10)での比較出力 (OC1x)はTCNT1とOCR1x間の比較一致でクリア(0)され、BOTTOMでセット(1)されます。反転出力動作 (COM1x1~0=11)の出力は比較一致でセット(1)され、BOTTOMでクリア(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜三角波動作を使用する位相基準や位相/周波数基準PWM動作より倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくはOCR1AかOCR1Bのどちらかにより定義できます。許された最小分解能は2ビット(OCR1AまたはOCR1Bが\$0000設定)最大分解能は16ビット(OCR1AまたはOCR1BがMAX設定)です。ビットでのPWM分解能は次式を使用することにより計算できます。

$$R_{PWM} = \frac{\lg(TOP + 1)}{\lg 2}$$

高速PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGM13~0=0101,0110,0111)OCR1A値(WGM13~0=1110)またはOCR1B値(WGM13~0=1111)の何れかと一致するまで増加されます。そしてカウンタは(一致の次のタイマ/カウンタクロックサイクルでクリア(\$0000)されます。高速PWM動作のタイミング図は図14-7で示されます。本図はOCR1AかOCR1BがTOPを定義するために使用されるときの高速PWM動作を示します。TCNT1値はタイミング図で単一傾斜動作鋸波を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)比較割り込み要求フラグ(OCF1x)は比較一致が起こればセット(1)されます。

**タイマ/カウンタオーバーフロー割り込み要求(TOV1)フラグ**は、カウンタがTOPに到達する時毎にセット(1)されます。加えて、OCR1AかOCR1BのどちらかがTOP値を定義するために使用されるとき、OCF1AまたはOCF1B割り込み要求フラグはTOV1がセット(1)されるのと同じタイマ/カウンタクロックサイクルでセット(1)されます。これらの割り込みの1つが許可されるならば、その割り込み処理ルーチンはTOPと比較値を更新するために使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使用する場合、どのOCR1xが書かれるときも、未使用ビットが0で隠(に置換)されることに注意してください。

OCR1xがTOP値を定義するために使用されるとき、OCR1xを更新する手順はOCR1Aの更新と異なります。OCR1xはダブルバッファされません。これは前置分周なし、または低い前置分周値でカウンタが走行している時にOCR1xが小さな値に変更される場合、書かれた新しいOCR1x値がTCNT1の現在値より小さくなる危険を意味します。その後の結果は、カウンタ(その回の)TOP値での比較一致を失うことです。その後カウンタは比較一致が起これるのに先立ち、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。しかし、OCR1Aはダブルバッファされます。この特徴は何時でも書かれることをOCR1AのI/O位置に許します。OCR1A I/O位置が書かれると、書かれた値はOCR1Aバッファに置かれます。OCR1A比較レジスタはその後TCNT1がTOPと一致した次のタイマ/カウンタクロックサイクルにOCR1Aバッファの値で更新されます。この更新はTCNT1のクリア(\$0000)やTOV1のセット(1)と同じタイマ/カウンタクロックサイクルで行われます。

TOPを定義するためにOCR1xを使用することは決まったTOP値を使用する時に上手いことです。OCR1xを使用することにより、OCR1AでのPWM出力を生成するためにOCR1Aが自由に使用できます。けれども基準PWM周波数が(TOP値を変更することにより動的に変更)される場合、OCR1Aがダブルバッファ機能のため、TOPとしてOCR1Aを使用することは明らかに良い選択です。

高速PWM動作での比較部はOC1xレジンでのPWM波形の生成を許します。COM1x1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1~0を'11'に設定することで生成できます。82頁の表14-3をご覧ください。実際のOC1x値はそのポートピンに対するポーラ方向が出力(DDR\_OC1x=1)として設定される場合だけ見えるでしょう。PWM波形はTCNT1とOCR1x間の比較一致でOC1x(内部レジスタ)をセット(1)またはクリア(0)と、カウンタがクリア(\$0000)TOPからBOTTOMへ変更されるタイマ/カウンタクロックサイクルでのOC1xレジスタをクリア(0)またはセット(1)することにより生成されます。

PWM出力周波数は次式により計算できます。変数Nは前置分周数(1,8,64,256,1024を表します)。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1 + TOP)}$$

OCR1xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。

OCR1xがBOTTOM(\$0000)に等しく設定されると、出力はTOP+1タイマ/カウンタクロックサイクル毎の狭いスパイク(パルス)になるでしょう。OCR1xがTOPに等しく設定されると、COM1x1~0ビットにより設定される出力極性に依存して、定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC1A設定(COM1A1~0=01)によって達成できます。生成された波形はOCR1Aが0(\$0000)に設定されるときに $f_{OC1A} = f_{clk\_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部のダブルバッファ機能が許可されることを除いて、CTC動作でのOC1A交互出力(COM1A1~0=01)と同じです。

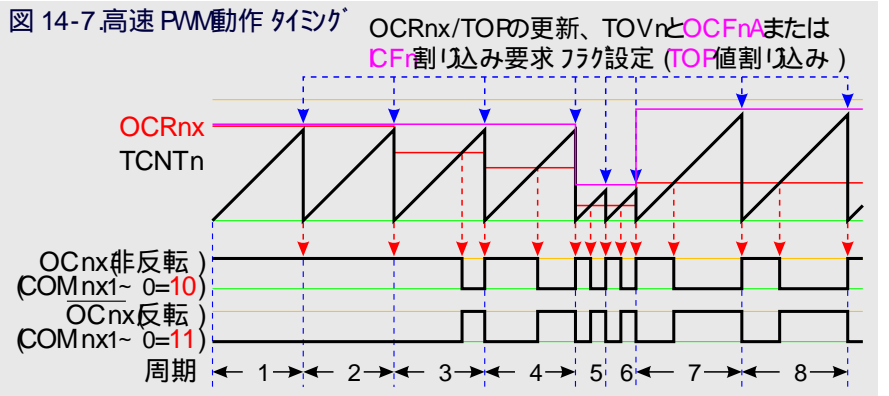


図 14-7. 高速 PWM動作 タイミング OCRnx/TORの更新、TOVnとOCFnまたはCF割り込み要求フラグ設定 (TOP値割り込み)



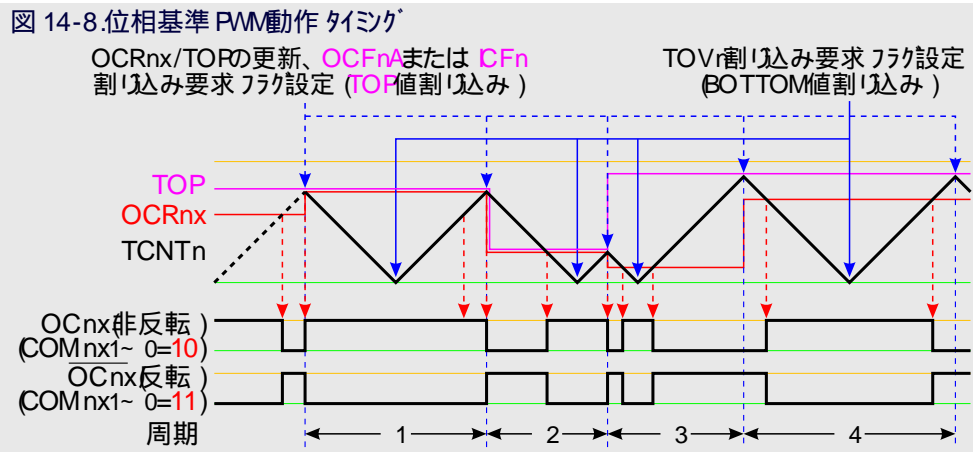
#### 14.9.4. 位相基準 PWM動作

位相基準パルス幅変調 (PWM 動作 WGM 13~ 0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜三角波動作を基準とした位相/周波数基準PWMと似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作 (COM 1x1~ 0=10)での比較出力 (OC 1x)は上昇計数中のTCNT1とOCR1x間の比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COM 1x1~ 0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCR1AかCR1のどちらかにより定義できます。許された最小分解能は2ビット(OCR1AまたはCR1が\$000設定)最大分解能は16ビット(OCR1AまたはCR1がMAX設定)です。ビットでのPWM分解能は次式を使用することにより計算できます。

$$R_{PCPWM} = \frac{\lg(TOP+1)}{\lg 2}$$

位相基準PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGM 13~ 0=0001,0010,0011)CR値(WGM 13~ 0=1010)またはOCR1A値(WGM 13~ 0=1011)の何れかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相基準PWM動作のタイミング図は図14-8で示されます。この図はOCR1AかCR1がTOPを定義するために使用されるとき位相基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します。[訳注]図補正に伴い本行若干変更;比較割り込み要求フラグ(OCF1x)は比較一致が起こるとセット(1)されます。



タイマ/カウンタオーバフロー (TOV1)フラグはカウンタがBOTTOMに到達する時毎にセット(1)されます。OCR1AかCR1のどちらかがTOP値を定義するために使用されるとき、OCF1AまたはCF割り込み要求フラグはOCR1xレジスタが(TOPにおいて)ダブルハーフ値で更新されるのと同じタイマ/カウンタクロックサイクルによってセット(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するために使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使用する場合、どのOCR1xが書かれるときも、未使用ビットが0で隠に置換されることに注意してください。図14-8で示される第3周期が図解するように、タイマ/カウンタが位相基準PWM動作で走行中にTOPを積極的に変更することは非対称出力で終わることが有り得ます。これに対する理由はOCR1xレジスタの更新時に見出せます。OCR1x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値により決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違ふとき、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使用することが推奨されます。一定のTOP値を使用するとき、2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC1xレジスタでのPWM波形の生成を許します。COM 1x1~ 0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM 1x1~ 0を'11'に設定することで生成できます(82頁の表14-4をご覧ください)。実際のOC1x値はそのポートピンに対するデューティ方向が出力(PDR\_OC1x=1)として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加するときのTCNT1とOCR1x間の比較一致でOC1x内部レジスタをセット(1)またはクリア(0)と、カウンタが減少するときのTCNT1とOCR1x間の比較一致でOC1xレジスタをクリア(0)またはセット(1)することにより生成されます。

位相基準PWMを使用するときの出力に対するPWM周波数は次式により計算できます。変数Nは前置分周数(1,8,64,256,1024を表します)。

$$f_{OCnxPCPWM} = \frac{f_{clk}/O}{2 \times N \times TOP}$$

OCR1xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR1AがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使用され(WGM 13~ 0=1011)COM 1A1~ 0=01ならば、OC1A出力はデューティ比50%で交互に変化します。

#### 14.9.5. 位相 / 周波数基準 PWM動作

位相 / 周波数基準パルス幅変調 (PWM 動作 (WGM13~0=1000,1001))は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相 / 周波数基準PWM動作は両傾斜三角波動作を基準とした位相基準PWMと似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作 (COM1x1~0=10)での比較出力 (OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COM1x1~0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準と位相 / 周波数基準PWM動作間の主な違いはOCR1xレジスタがOCR1xバンプにより更新される時 (訳補: TOPとBOTTOM)です (図14-8と図14-9参照)。

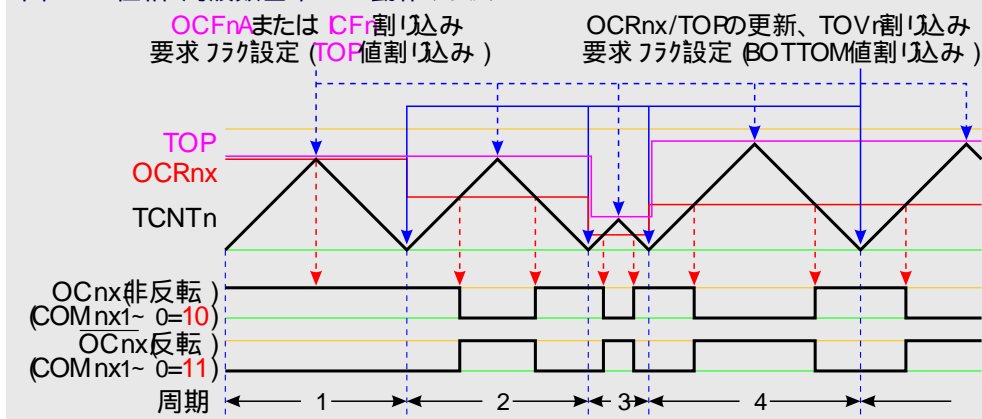
位相 / 周波数基準PWM動作のPWM分解能はOCR1AかCRのどちらかで定義できます。許された最小分解能は2ビット(OCR1AまたはCRが\$0003設定)、最大分解能は16ビット(OCR1AまたはCRがMAX設定)です。ビットでのPWM分解能は次式を使用することにより計算できます。

$$R_{PFCPWM} = \frac{\lg(TOP+1)}{\lg 2}$$

位相 / 周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がCR値 (WGM13~0=1000)かOCR1A値 (WGM13~0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相 / 周波数

基準PWM動作のタイミング図は図14-9で示されます。この図はOCR1AかCRがTOPを定義するために使用されるとき位相 / 周波数基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点 (接点) がTCNT1とOCR1x間の比較一致を示します (訳注: 図補正に伴い本行若干変更) 比較割り込み要求フラグ(OCF1x)は比較一致が起こるとセット(1)されます。

図14-9. 位相 / 周波数基準PWM動作 タイミング



タイマ/カウンタ オーバーフロー (TOV1)フラグはOCR1xレジスタが (BOTTOMにおいて)ダブルバンプ値で更新されると同じタイマ/カウンタクロックサイクルでセット(1)されます。OCR1AかCRのどちらかがTOP値を定義するために使用されるとき、OCF1AまたはCF割り込み要求フラグはタイマ/カウンタがTOPに到達する毎にセット(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するために使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。

図14-9が示すように、生成された出力は位相基準PWM動作と異なり全ての周期で対称です。OCR1xレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力パルスに従って正しい周波数を与えます。

TOPを定義するためにCRを使用することは決まったTOP値を使用する時に上手くなります。CRを使用することによりOC1AでのPWM出力を生成するためにOCR1Aが自由に使用できます。けれども基準PWM周波数が(TOP値を変更することにより動的に変更される場合、OCR1Aがダブルバンプ機能のため、TOPとしてOCR1Aを使用することは明らかに良い選択です。

位相 / 周波数基準PWM動作での比較部はOC1xレジスタでのPWM波形の生成を許します。COM1x1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1~0を'11'に設定することで生成できます (82頁の表14-4をご覧ください) 実際のOC1x値はそのポートピンに対するデューティ方向が出力 (DDR\_OC1x=1)として設定される場合だけ見えます。PWM波形はカウンタが増加するときのTCNT1とOCR1x間の比較一致でOC1x内部レジスタをセット(1)またはクリア(0)と、カウンタが減少するときのTCNT1とOCR1x間の比較一致でOC1xレジスタをクリア(0)またはセット(1)することにより生成されます。

位相 / 周波数基準PWMを使用するときの出力に対するPWM周波数は次式により計算できます。

変数Nは前置分周数 (1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk}/O}{2 \times N \times TOP}$$

OCR1xの両端値は位相 / 周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使用され (WGM13~0=1001) COM1A1~0=01ならば、OC1A出力はデューティ比50%で交互に変化します。



## 14.10. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック( $clk_{T1}$ )が下図のクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時、そしてOCR1xレジスタがOCR1xレジスタ値で更新される時(ダブルハッチを使用する種別のみ)の情報を含みます。図14-10はOCF1xの設定についてのタイミング図を示します。

図 14-10. 前置分周なし(1/1)のタイマ/カウンタ OCF1x設定 タイミング

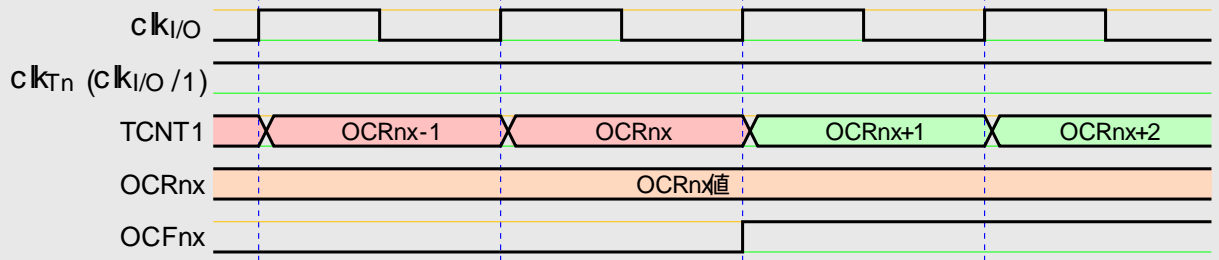


図 14-11は同じタイミングテンプレートを示しますが、前置分周器が許可されています。

図 14-11. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ OCF1x設定 タイミング

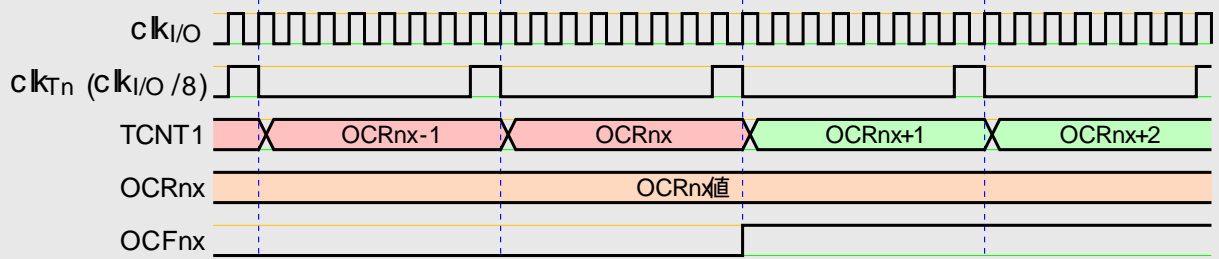


図 14-12は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作を使用するときのOCR1xレジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMでTOV1をセット(1)する動作種別についても、同様な名称変更が適用されます。

図 14-12. 前置分周なし(1/1)のタイマ/カウンタ TOP近辺 タイミング

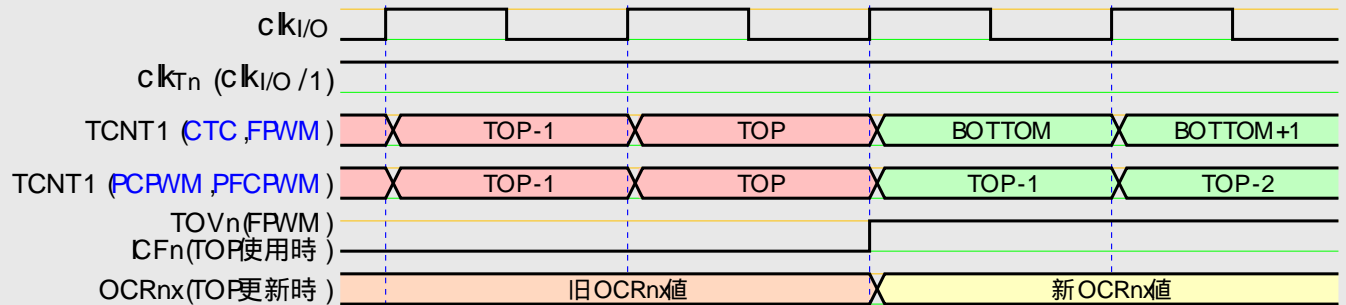
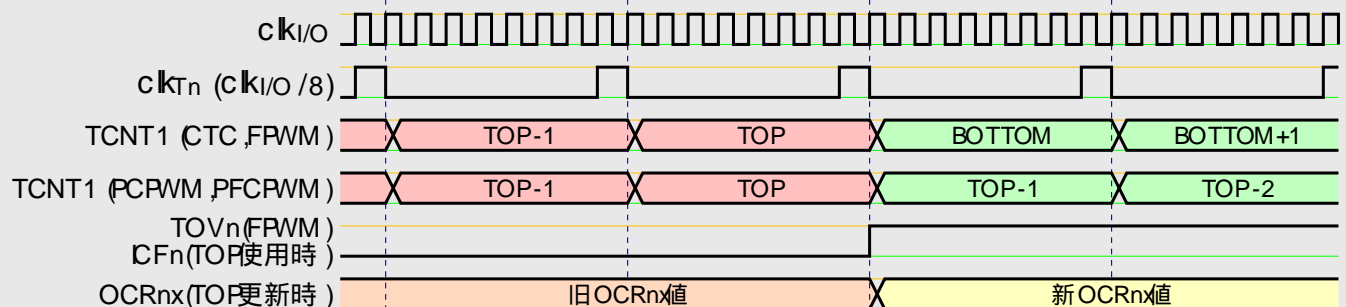


図 14-13は同じタイミングテンプレートを示しますが、前置分周器が許可されています。

図 14-13. 前置分周器 ( $clk_{I/O} / 8$ ) のタイマ/カウンタ TOP近辺 タイミング



## 14.11. 16ビットタイマ/カウンタ用レジスタ

### 14.11.1. タイマ/カウンタ制御レジスタA (Timer/Counter1 Control Register A) TCCR1A

ビット (\$80)	7	6	5	4	3	2	1	0	
	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - COM1A1COM1A0 : 比較1A出力選択 (Compare Output Mode1A bit 1 and 0)

ビット54 - COM1B1COM1B0 : 比較1B出力選択 (Compare Output Mode1B bit 1 and 0)

COM1A1~0とCOM1B1~0は各々OC1AとOC1B比較出力ビットの動作を制御します。COM1A1~0ビットの1つまたは両方が1を書かれると、OC1A出力はそのI/Oビットの通常モード機能を無効にし、そのI/Oビットに接続されます。COM1B1~0ビットの1つまたは両方が1を書かれると、OC1B出力はそのI/Oビットの通常モード機能を無効にし、そのI/Oビットに接続されます。けれども出力ドライバを許可するため、OC1AまたはOC1Bビットに対応するモード方向レジスタ(DDR)のビットがセット(1)されなければならないことに注意してください。

OC1AまたはOC1Bがビットに接続されるとき、COM1x1~0ビットの機能はWGM13~0ビット設定に依存します。表14-2はWGM13~0ビットが標準動作またはCTC動作(つまり非PWM)に設定されるときCOM1x1~0ビット機能を示します。

表14-2. 非PWM動作での比較出力選択 (注: xはAまたはB)

COM1x1	COM1x0	意味
0	0	標準モード動作 (OC1x切断)
0	1	比較一致でOC1xビットのトグル交互出力
1	0	比較一致でOC1xビットのLowレベル出力
1	1	比較一致でOC1xビットのHighレベル出力

表14-3はWGM13~0ビットが高速PWM動作に設定されるときCOM1x1~0ビット機能を示します。

表14-3. 高速PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準モード動作 (OC1x切断)
0	1	WGM13~0=111X : 比較一致でOC1Aビットのトグル交互出力、OC1Bは標準モード動作 (OC1B切断) WGM13~0上記以外 : 標準モード動作 (OC1x切断)
1	0	比較一致でLow BOTTOMでHighをOC1xビットへ出力 (非反転動作)
1	1	比較一致でHigh BOTTOMでLowをOC1xビットへ出力 (反転動作)

注: COM1x1がセット(1)され、OCR1xがTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでのセット(1)またはクリア(0)は実行されます。より多くの詳細については78頁の「高速PWM動作」をご覧ください。

表14-4はWGM13~0ビットが位相基準または位相/周波数基準PWM動作に設定されるときCOM1x1~0ビット機能を示します。

表14-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準モード動作 (OC1x切断)
0	1	WGM13~0=10X1 : 比較一致でOC1Aビットのトグル交互出力、OC1Bは標準モード動作 (OC1B切断) WGM13~0上記以外 : 標準モード動作 (OC1x切断)
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC1xビットへ出力
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC1xビットへ出力

注: COM1x1がセット(1)され、OCR1xがTOPと等しいときに特別な状態が起きます。より多くの詳細については79頁の「位相基準PWM動作」をご覧ください。

ビット10 - WGM11WGM10 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB (TCCR1B) で得られるWGM13~ 2ビットと組み合わせたこれらのビットは、カウンタの計数順序 (方向)、最大カウンタ (TOP) 値の供給元、使用されるべき波形生成のどの形式かを制御します (表 14-5 参照)。タイマ/カウンタによって支援される動作種別は標準動作 (カウンタ)、比較一致タイマ/カウンタクリア (CTC) 動作と3形式のパルス幅変調 (PWM) 動作です。77頁の「動作種別」をご覧ください。

表 14-5 波形生成種別選択

番号	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	タイマ/カウンタ動作種別	TOP値	OCR1x 更新時	TOV1 設定時
0	0	0	0	0	標準動作	\$FFFF	即値	MAX
1	0	0	0	1	8ビット位相基準 PWM動作	\$00FF	TOP	BOTTOM
2	0	0	1	0	9ビット位相基準 PWM動作	\$01FF	TOP	BOTTOM
3	0	0	1	1	10ビット位相基準 PWM動作	\$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致タイマ/カウンタクリア (CTC) 動作	OCR1A	即値	MAX
5	0	1	0	1	8ビット高速 PWM動作	\$00FF	BOTTOM	TOP
6	0	1	1	0	9ビット高速 PWM動作	\$01FF	BOTTOM	TOP
7	0	1	1	1	10ビット高速 PWM動作	\$03FF	BOTTOM	TOP
8	1	0	0	0	位相 / 周波数基準 PWM動作	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	位相 / 周波数基準 PWM動作	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	位相基準 PWM動作	ICR1	TOP	BOTTOM
11	1	0	1	1	位相基準 PWM動作	OCR1A	TOP	BOTTOM
12	1	1	0	0	比較一致タイマ/カウンタクリア (CTC) 動作	ICR1	即値	MAX
13	1	1	0	1	(予約)	-	-	-
14	1	1	1	0	高速 PWM動作	ICR1	BOTTOM	TOP
15	1	1	1	1	高速 PWM動作	OCR1A	BOTTOM	TOP

注: CTC1とPWM11~ 0ビット定義名は旧名です。WGM12~ 1定義を使用してください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

## 14.11.2. タイマ/カウンタ制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット (\$81)	7	6	5	4	3	2	1	0	
	CNC1	DES1	-	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - CNC1 : 捕獲 (キャプチャ) 起動入力 ノイズ消去許可 (Input Capture1 Noise Canceler)

このビットを (1) に設定することは捕獲起動入力 ノイズ消去器を活性 (有効) にします。ノイズ消去器が有効にされると、捕獲起動入力 (ICP1) から入力が濾波されます。この濾波器機能はそれが出力を更新することに対して連続 4 回等しく評価された ICP1 の採取を必要とします。ノイズ消去器が許可されると、捕獲入力はこれによって 4 倍振器 (システムクロック) サイクル遅らされます。

ビット6 - DES1 : 捕獲 (キャプチャ) 起動入力 エッジ選択 (Input Capture1 Edge Select)

このビットは出来事での捕獲を起動するために使用される捕獲起動入力 (ICP1) のどちらかのエッジを選択します。DES1 ビットが 0 を書かれると起動動作として立ち下り負エッジが使用され、DES1 ビットが 1 を書かれると立ち上り正エッジが捕獲を起動します。

捕獲が DES 設定に従って起動されると、カウンタ値が捕獲レジスタ (ICR1) に複写されます。この出来事は捕獲入力割り込み要求フラグ (CF1) もセット (1) し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすために使用できます。

ICR が TOP 値として使用されると (TCCR1A と TCCR1B に配置された WGM13~ 0 ビットの記述をご覧ください)、ICP が切り離され、従って捕獲入力機能は禁止されます。

ビット5 - Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCR1B が書かれるとき、このビットは 0 を書かれなければなりません。

ビット4,3 - WGM13WGM12 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCR1A の WGM11~ 0 ビットの記述をご覧ください。

ビット2,1,0 - CS12CS11CS10 : クロック選択1 (Clock Select1, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT1)により使用されるべきクロックを選択します。図 14-10と図 14-11をご覧ください。

表 14-6. タイマ/カウンタ入力 クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk <sub>I/O</sub> 前置分周なし)
0	1	0	clk <sub>I/O</sub> / 8 (8分周)
0	1	1	clk <sub>I/O</sub> / 64 (64分周)
1	0	0	clk <sub>I/O</sub> / 256 (256分周)
1	0	1	clk <sub>I/O</sub> / 1024 (1024分周)
1	1	0	T1ピンの立ち下りエッジ 外部 クロック)
1	1	1	T1ピンの立ち上りエッジ 外部 クロック)

タイマ/カウンタに対して外部ピン(クロック動作が使用される場合、例えばT1ピンが出力として設定されてもT1ピンの遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数制御を許します。

#### 14.11.3. タイマ/カウンタ制御レジスタC (Timer/Counter1 Control Register C) TCCR1C

ビット (\$82)	7	6	5	4	3	2	1	0	
	FOC1A	FOC1B	-	-	-	-	-	-	TCCR1C
Read/W rite	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FOC1A : OC1A強制変更 (Force Output Compare 1A)

ビット6 - FOC1B : OC1B強制変更 (Force Output Compare 1B)

FOC1A/FOC1BビットはWGM 13~ 0ビットが非 PWM動作を指示するときだけ有効です。FOC1A/FOC1Bビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OC1出力はCOM1x1~ 0ビット設定に従って変更されます。FOC1A/FOC1Bビットがソフトウェアとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM1x1~ 0ビットに存在する値です。

FOC1A/FOC1Bソフトウェアは何れの割り込みの生成もTOPとしてOCR1Aを使用する比較一致タイマ クリア (CTC 動作)でのタイマ/カウンタのクリア (\$0000)を行いません。

FOC1A/FOC1Bビットは常に0として読まれます。

#### 14.11.4. タイマ/カウンタ1 (Timer/Counter1) TCNT1H, TCNT1L (TCNT1)

ビット (\$85)	15	14	13	12	11	10	9	8	
	(MSB)								TCNT1H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$84)	7	6	5	4	3	2	1	0	
								(LSB)	TCNT1L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置 (TCNT1HとTCNT1Lを合わせたTCNT1)は、読み書き両方についてタイマ/カウンタの16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスするとき上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタにより共用されます。70頁の「16ビットレジスタのアクセス」をご覧ください。

カウンタが走行中にカウンタ(TCNT1)を変更することは、OCR1xの1つとTCNT1間の比較一致消失の危険を誘発します。

TCNT1への書き込みは全ての比較部に対して次のタイマ/カウンタ クロックでの比較一致を妨害 除去 します。



## 14.11.5. タイマ/カウンタ1比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1AH, OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
(\$89)	(MSB)								OCR1AH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$88)								(LSB)	OCR1AL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 14.11.6. タイマ/カウンタ1比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1BH, OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
(\$8B)	(MSB)								OCR1BH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$8A)								(LSB)	OCR1BL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNT1)** 値と比較される16ビット値を含みます。一致は比較一致割り込みやOC1xピンでの波形出力を生成するために使用できます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書くときに上位と下位の両ハイが同時に書かれるのを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタにより共用されます。70頁の「16ビットレジスタのアクセス」をご覧ください。

## 14.11.7. タイマ/カウンタ1捕獲 (キャプチャ) レジスタ (Timer/Counter1 Input Capture Register) CR1H, CR1L (CR1)

ビット	15	14	13	12	11	10	9	8	
(\$87)	(MSB)								CR1H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$86)								(LSB)	CR1L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICP1ピンまたはタイマ/カウンタ1については任意の**アナログ比較器出力**で出来事が起こる毎にカウンタ(TCNT1)値で更新されます。この捕獲レジスタはタイマ/カウンタの**TOP値**を定義するために使用できます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタをアクセスするときに上位と下位の両ハイが同時に読まれることを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタにより共用されます。70頁の「16ビットレジスタのアクセス」をご覧ください。

#### 14.11.8. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter1 Interrupt Mask Register) TMSK1

ビット (\$6F)	7	6	5	4	3	2	1	0	
	-	-	CE1	-	-	OCF1B	OCF1A	TOF1	TMSK1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - CE1 : タイマ/カウンタ1 捕獲 (キャプチャ) 割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)  
このビットが1を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (IFL) がセット(1)されると、タイマ/カウンタ1 捕獲割り込みが許可されます。タイマ/カウンタ1 割り込み要求フラグレジスタ (TIFR1) に配置された捕獲割り込み要求フラグ (CF1) がセット(1)されると、対応する割り込みベクタ (3頁の「割り込み」参照) が実行されます。

ビット2 - OCF1B : タイマ/カウンタ1 比較B 割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)  
このビットが1を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (IFL) がセット(1)されると、タイマ/カウンタ1 比較B 一致割り込みが許可されます。タイマ/カウンタ1 割り込み要求フラグレジスタ (TIFR1) に配置された比較B 割り込み要求フラグ (OCF1B) がセット(1)されると、対応する割り込みベクタ (3頁の「割り込み」参照) が実行されます。

ビット1 - OCF1A : タイマ/カウンタ1 比較A 割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)  
このビットが1を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (IFL) がセット(1)されると、タイマ/カウンタ1 比較A 一致割り込みが許可されます。タイマ/カウンタ1 割り込み要求フラグレジスタ (TIFR1) に配置された比較A 割り込み要求フラグ (OCF1A) がセット(1)されると、対応する割り込みベクタ (3頁の「割り込み」参照) が実行されます。

ビット0 - TOF1 : タイマ/カウンタ1 オーバーフロー 割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)  
このビットが1を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (IFL) がセット(1)されると、タイマ/カウンタ1 オーバーフロー 割り込みが許可されます。タイマ/カウンタ1 割り込み要求フラグレジスタ (TIFR1) に配置されたタイマ/カウンタ1 オーバーフロー 割り込み要求フラグ (TOF1) がセット(1)されると、対応する割り込みベクタ (3頁の「割り込み」参照) が実行されます。

#### 14.11.9. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter1 Interrupt Flag Register) TIFR1

ビット \$16 (\$36)	7	6	5	4	3	2	1	0	
	-	-	CF1	-	-	OCF1B	OCF1A	TOF1	TIFR1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - CF1 : タイマ/カウンタ1 捕獲 (キャプチャ) 割り込み要求フラグ (Timer/Counter1, Input Capture Flag)  
ICP1ピンに捕獲の事象が起こると、このフラグがセット(1)されます。捕獲レジスタ (ICR1) がWGM13~ dによりTOP値として設定されると、CF1フラグはカウンタがTOP値に到達するときにセット(1)されます。

捕獲割り込みベクタが実行されると、CF1は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもCF1はクリア(0)できます。

ビット2 - OCF1B : タイマ/カウンタ1 比較B 割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

このフラグはカウンタ (TCNT1) 値が比較Bレジスタ (OCR1B) と一致した後、次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力 (FOC1B) 入出力はOCF1Bフラグをセット(1)しないことに注意してください。

比較B 一致割り込みベクタが実行されると、OCF1Bは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF1Bはクリア(0)できます。

ビット1 - OCF1A : タイマ/カウンタ1 比較A 割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

このフラグはカウンタ (TCNT1) 値が比較Aレジスタ (OCR1A) と一致した後、次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力 (FOC1A) 入出力はOCF1Aフラグをセット(1)しないことに注意してください。

比較A 一致割り込みベクタが実行されると、OCF1Aは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF1Aはクリア(0)できます。

ビット0 - TOF1 : タイマ/カウンタ1 オーバーフロー 割り込み要求フラグ (Timer/Counter1 Overflow Flag)

このフラグの1設定はWGM13~ 0ビット設定に依存します。標準またはCTC動作でのTOF1フラグはタイマ/カウンタ オーバーフロー時にセット(1)されます。他のWGM13~ 0ビット設定を使用するときのTOF1フラグ動作については8頁の表 14-5を参照してください。

タイマ/カウンタ1 オーバーフロー 割り込みベクタが実行されると、TOF1は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもTOF1はクリア(0)できます。

注) 本頁レジスタ内のビット7,6,4,3は予約されており、常に0として読まれます。

## 15. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器

56頁の「タイマ/カウンタ0(PWM付き)」と68頁の「タイマ/カウンタ1(PWM付き)」は同じ前置分周器部を共有しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はタイマ/カウンタ0とタイマ/カウンタ1の両方に適用されます。

### 15.0.1. 内部 クロック

タイマ/カウンタはシステム クロック(CSn2~ 0=00設定)により直接的にクロック駆動できます。これはシステム クロック周波数( $f_{clk\_IO}$ )と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使用できます。この前置分周したクロックは $f_{clk\_IO}/8$ ,  $f_{clk\_IO}/64$ ,  $f_{clk\_IO}/256$ ,  $f_{clk\_IO}/1024$ の何れかの周波数です。

### 15.0.2. 前置分周器 レット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)タイマ/カウンタ0とタイマ/カウンタ1により共有されます。前置分周器はタイマ/カウンタのクロック選択により影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使用される状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によりクロック駆動されるCSn2~ 0=5~ 2とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロックサイクル数は、Nが前置分周値(8, 64, 256, 1024)とすると、 $1 \sim N+1$ システム クロックサイクルになり得ます。

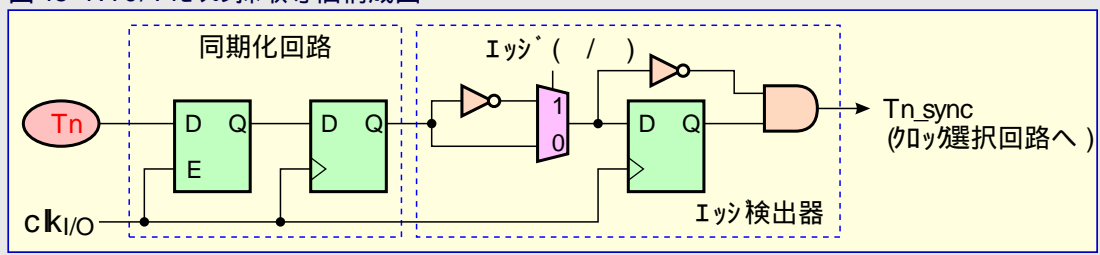
プログラム実行にタイマ/カウンタを同期することに対して前置分周器 レットを使用することが可能です。しかし、同じ前置分周器を共有する他のタイマ/カウンタも前置分周を使用する場合、注意が必要とされなければなりません。前置分周器 レットは、それが接続される全タイマ/カウンタについての前置分周器周期に影響を及ぼします。

### 15.0.3. 外部 クロック

T0/T1ピンに印加された外部 クロック元はタイマ/カウンタ クロック( $f_{clk\_T0}/f_{clk\_T1}$ )として使用できます。このT0/T1ピンは同期化論理回路により全てのシステム クロックサイクルに一度採取されます。この同期化 採取 された信号は、その後エッジ検出器を通して通過されます。図15-1はT0/T1同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック( $f_{clk\_IO}$ )の立ち上りエッジでクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は立ち上りエッジ(CSn2~ 0=111)または立ち下りエッジ(CSn2~ 0=110)の検出毎に、1つの $clk_{T0}/clk_{T1}$ パルスを生成します。

図 15-1. T0/T1ピンの採取等価構成図



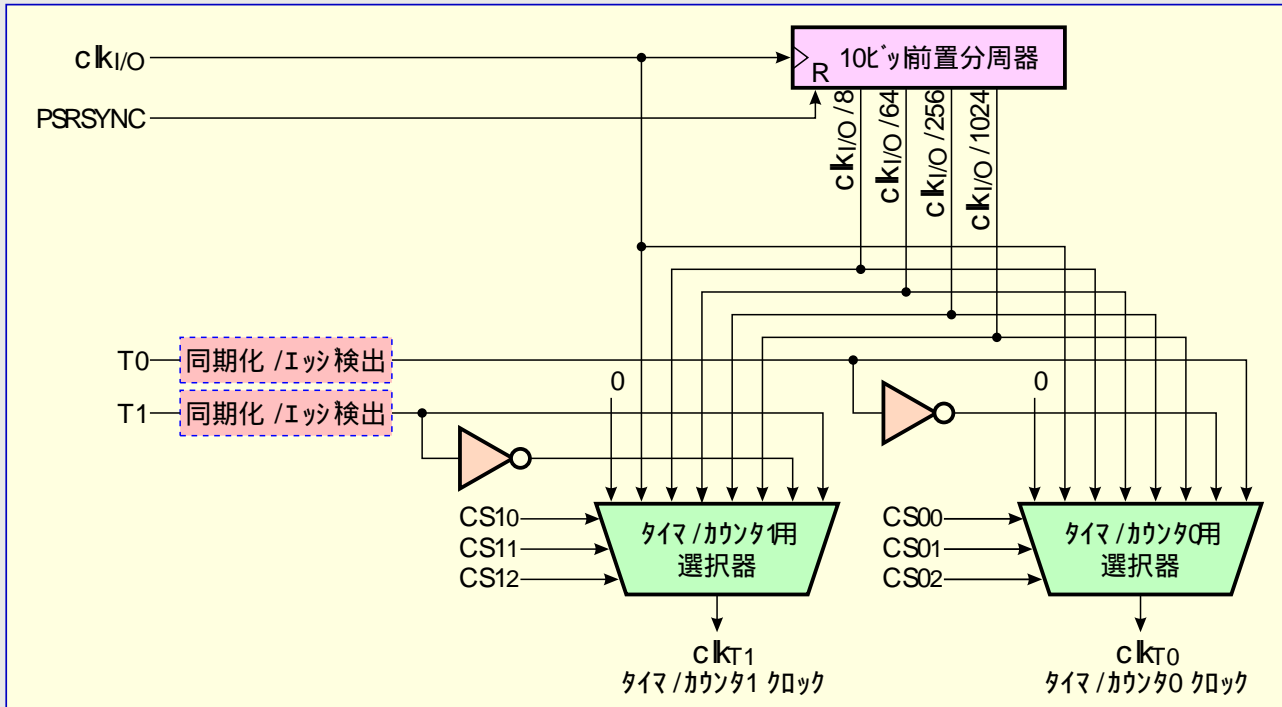
同期化とエッジ検出器論理回路はT0/T1ピンへ印加されたエッジからカウンタが更新されるまでに2.5~ 3.5システム クロックサイクルの遅延をもたらします。

クロック入力の許可と禁止はT0/T1が最低1システム クロックサイクルに対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタ クロックパルスが生成される危険があります。

印加された外部 クロックの各半周期は正しい採取を保証するために1システム クロックサイクルより長くなければなりません。この外部 クロックは50%/50% duty比で与えられるものとして、システム クロック周波数の半分未満( $f_{ext\_clk} < f_{clk\_IO}/2$ )であることが保証されなければなりません。エッジ検出器が採取を使用するため、検出できる外部 クロックの最大周波数はサンプリング周波数の半分です(ナイキストのサンプリング定理)しかしながら、発振元(クリスタル発振子、セラミック振動子、コンデンサにより引き起こされたシステム クロック周波数やデューティ比の変動のため、外部 クロック元の最大周波数は $f_{clk\_IO}/2.5$ 未満が推奨されます。

外部 クロック元は前置分周できません。

図 15-2. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器部構成図



注：入力ピン(T0/T1)の同期化/エッジ検出論理回路は図 15-1で示されます。

## 15.1 同期系 タイマ/カウンタ前分周器制御関係レジスタ

### 15.1.1 一般 タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	-	-	-	-	-	PSRASY	PSRSYNC	GTCCR
Read/W rite	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットへの書き込みはタイマ/カウンタ同期化動作を活性 (有効) にします。この動作で PSRASYとPSRSYNCへ書かれる値は保持され、従って対応する前分周器の出力信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMビットが0を書かれると、PSRASYとPSRSYNCビットはハードウェアによりクリア (0) され、同時にタイマ/カウンタが計数を始めます。

ビット0 - PSRSYNC : 同期系 タイマ/カウンタ前分周器リセット (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前分周器はリセットします。TSMビットがセット(1)されている場合を除き、通常、このビットはハードウェアにより直ちにクリア (0) されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前分周器を共用し、この前分周器の出力が両方のタイマ/カウンタに影響を及ぼすことに注意してください。



## 16. 8ビットタイマ/カウンタ2 (PWM,非同期動作付き)

### 16.1. 特徴

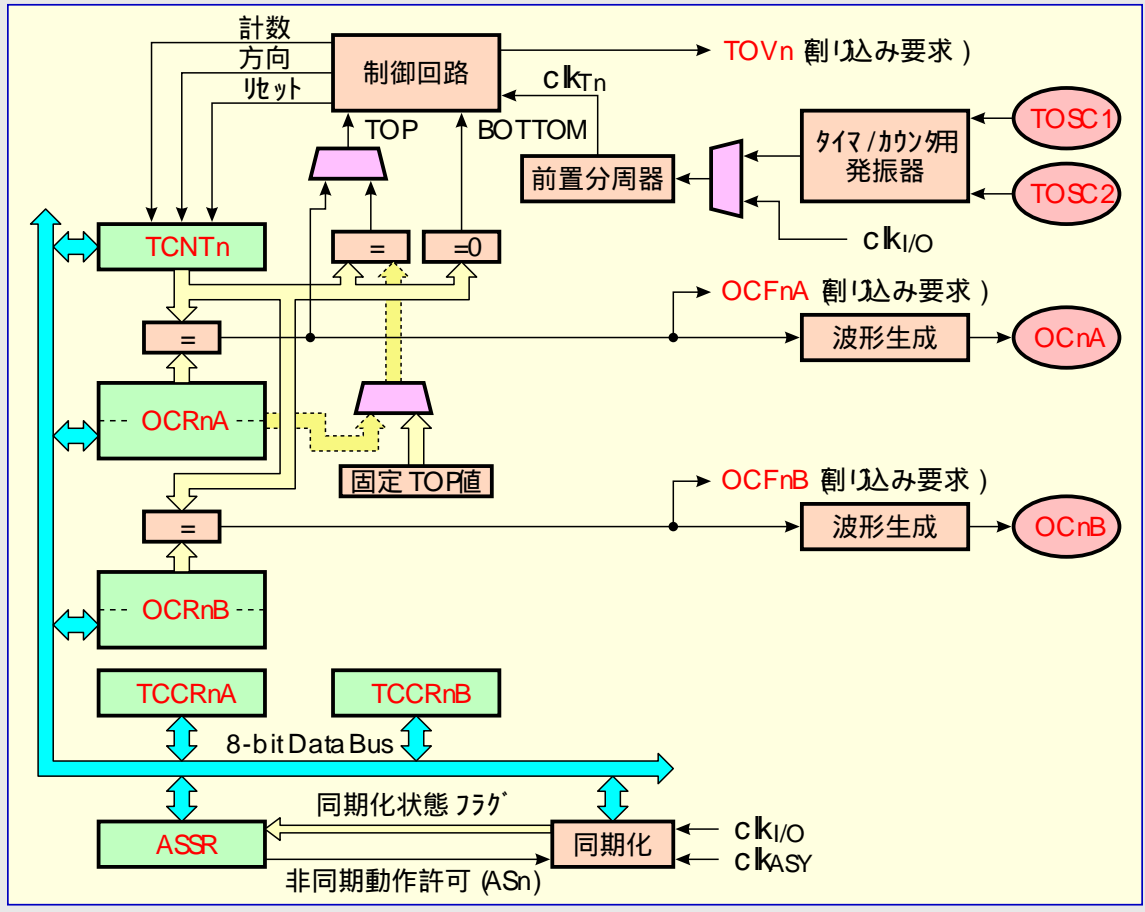
- 2つの比較部付きカウンタ
- 比較一致でのタイマ/カウンタクリア 自動再設定)
- グリッチなしで正しい位相のパルス幅変調器 (PWM)
- 周波数発生器
- クロック用 10ビット前置分周器
- オーバーフローと比較一致割り込み (TOV2, OCF2A, OCF2B)
- I/Oシステムクロックに依存しない時計用外部 32kHzクリスタルからのクロック駆動可能

### 16.2. 概要

タイマ/カウンタ2は2つの独立した比較出力部とPWM支援付きの汎用 8ビットタイマ/カウンタ部です。この 8ビットタイマ/カウンタの簡便化した構成図は図 16-1で示されます。I/Oピン実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OピンとI/Oピンを含む)I/Oレジスタは赤字(訳注 原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は9頁の「8ビットタイマ/カウンタ用レジスタ」で一覧されます。

26頁の「電力削減レジスタ(PRR)」のPRTM2ビットはタイマ/カウンタ2部を許可するために0を書かれなければなりません。

図 16-1. 8ビットタイマ/カウンタ構成図



#### 16.2.1. 関係レジスタ

タイマ/カウンタ(TCNT2)と比較レジスタ(OCR2AとOCR2B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR2)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK2)で個別に遮蔽(禁止)されます。TIFR2とTMSK2は、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または本項内後ろで詳述されるようにTOSC1/2から非同期に、クロック駆動されます。非同期動作は非同期状態レジスタ(ASR)により制御されます。クロック選択論理部はタイマ/カウンタ値を増加(または減少)するために使用するクロック元を制御します。クロック元が選択されないとき、このタイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT2)として参照されます。

ダブルハーフ化した比較レジスタ(OCR2AとOCR2B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC2AとOC2B)ピンでPWMまたは可変周波数出力を生成するための波形生成器により使用できます。詳細については9頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF2AとOCF2B)をセット(1)します。

## 16.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の **n** はタイマ/カウンタ番号、この場合は2で置き換えます。小文字の **x** は比較出力部のチャネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使用するときには正確な形式が使用されなければなりません (例えばタイマ/カウンタのカウンタ値のアクセスに対しての TCNTx のように)。

表 16-1 の定義は本資料を通じて広範囲にわたっても使用されます。

表 16-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが \$00 に到達した時。
MAX	タイマ/カウンタが \$FF (255) に到達した時。
TOP	タイマ/カウンタが指定された固定値 (\$FF) または OCR2A 値に到達した時。この指定 (TOP 値は動作種別に依存します)。

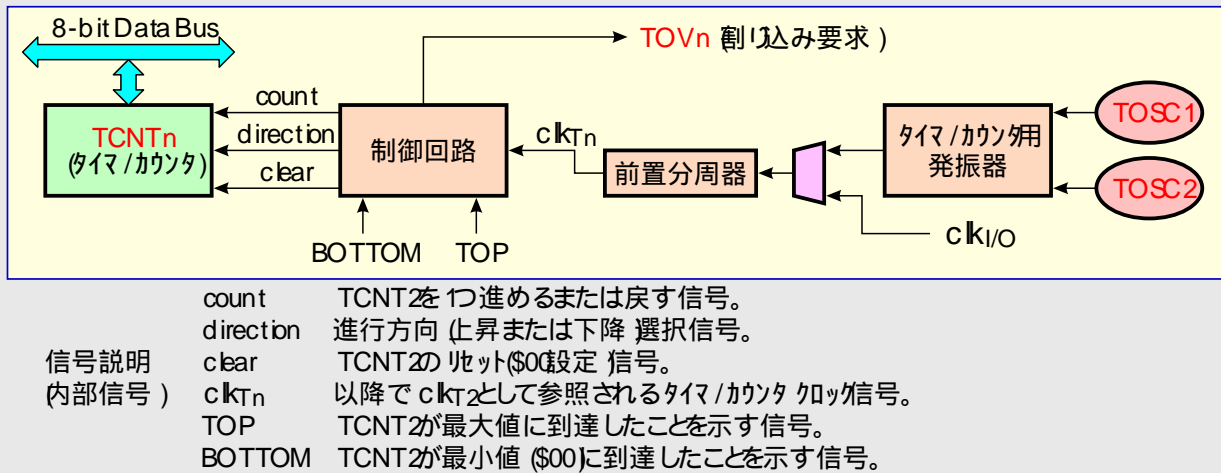
## 16.3. タイマ/カウンタの クロック

このタイマ/カウンタは内部同期または外部非同期 クロック元によりクロック駆動できます。既定のクロック元 (clk<sub>T2</sub>) は MCU クロック (clk<sub>I/O</sub>) と同じです。非同期状態レジスタ (ASSR) の **非同期動作許可 (AS2)** ビットが論理 1 を書かれると、クロック元は TOSC1 と TOSC2 に繋がったタイマ/カウンタ用発振器から取得されます。非同期動作の詳細については 103 頁の **非同期状態レジスタ (ASSR)** をご覧ください。クロック元と前置分周器の詳細については 98 頁の **「タイマ/カウンタの前置分周器」** をご覧ください。

## 16.4. カウンタ ユニット

8 ビットタイマ/カウンタの主な部分はプログラマブル双方向 カウンタ部です。図 16-2 は、このカウンタとその周辺環境の構成図を示します。

図 16-2. カウンタ部構成図



使用した動作種別に依存して、カウンタは各 タイマ/カウンタ クロック (clk<sub>T2</sub>) でクリア (\$00) 増加 (+1) または減少 (-1) されます。clk<sub>T2</sub> は クロック選択 (CS22~ 0) ビットにより選択された内部または外部のクロック元から生成できます。クロック元が選択されない (CS22~ 0=000) とき、タイマ/カウンタは停止されます。けれども TCNTx 値はタイマ/カウンタ クロック (clk<sub>T2</sub>) が存在するしないに拘らず、CPU によりアクセスできます。CPU 書き込みは全てのカウンタ クリアや計数動作を無視します (上位優先順位を持ちます)。

計数順序 方法は **タイマ/カウンタ制御レジスタA (TCCR2A)** に配置された **波形生成種別 WGM21~ 0** ビットと **タイマ/カウンタ制御レジスタB (TCCR2B)** に配置された **波形生成種別 WGM22** ビットの設定により決定されます。これらはカウンタ動作 計数 方法と OCR2A/OCR2B 比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては 93 頁の **動作種別** をご覧ください。

**タイマ/カウンタ オーバーフロー (TOV2) フラグ** は WGM22~ 0 ビットにより選択された動作種別に従って設定 (=1) されます。TOV2 は CPU 割り込み発生に使用できます。

## 16.5. 比較出力部

この8ビット比較器はTCNT2と比較レジスタ(OCR2AとOCR2B)を継続的に比較します。TCNT2がOCR2AまたはOCR2Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで、比較割り込み要求フラグ(OCF2AまたはOCF2B)をセット(1)します。対応する割り込みが許可(=1, OCF2AまたはOCF2B=1)されているなら、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的にクリア(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによりソフトウェアでクリア(0)できます。波形生成器は波形生成種別(WGM22~0)ビットと比較出力選択(COM2x1~0)ビットによって設定された動作種別に従った出力を生成するために、この一致信号を使用します。MAXとBOTTOM信号は動作種別(93頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

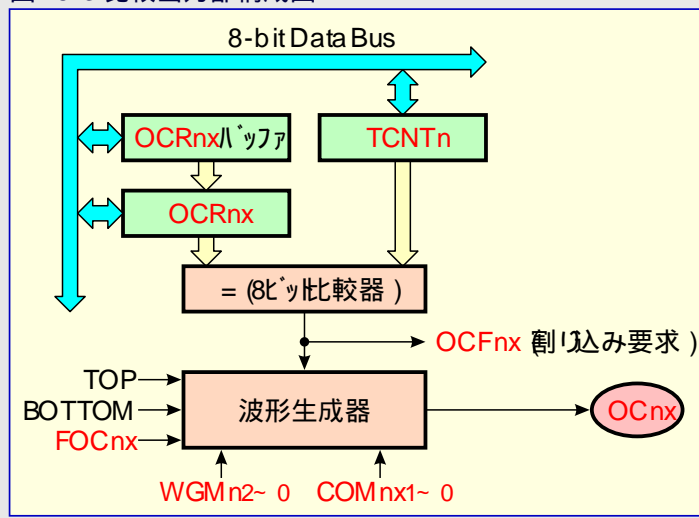
図16-3は比較出力部の構成図を示します。

OCR2xはパルス幅変調(PWM)の何れかを使用するときダブルハフ化されます。標準動作と比較一致タイマ/カウンタクリア(CTC)動作についてはダブルハフ動作が禁止されます。ダブルハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによりグリッチなしの出力を作成します。

OCR2xのアクセスは複雑なように思えますが決してそんなことはありません。ダブルハフ動作が許可されるとCPUはOCR2xハフアをアクセスし、禁止されるとOCR2xレジスタを直接アクセスします。

**訳注)**ここでは比較nxレジスタ全体をOCR2x、OCR0xを構成するハフ部分部分をOCR2xハフア、実際の比較に使用されるレジスタ本体部分をOCR2xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

図16-3. 比較出力部構成図



### 16.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC2x)ビットに1を書くことにより強制変更できます。比較一致の強制は比較割り込み要求フラグ(OCF2x)のセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OC2xレジスタは実際の比較一致が起きた場合と同様に更新されます(COM2x1~0ビット設定がOC2xレジスタのセット(1)クリア(0)1/交互のどれかを定義)。

### 16.5.2. TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2xに許します。

### 16.5.3. 比較一致部の使用

どの動作種別でのTCNT2書き込みでも1タイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使用する場合にTCNT2を変更するとき、危険を伴います。TCNT2に書かれた値がOCR2x値と同じ場合、比較一致は失われ(一致が発生せず)不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT2値を書いてもいけません。

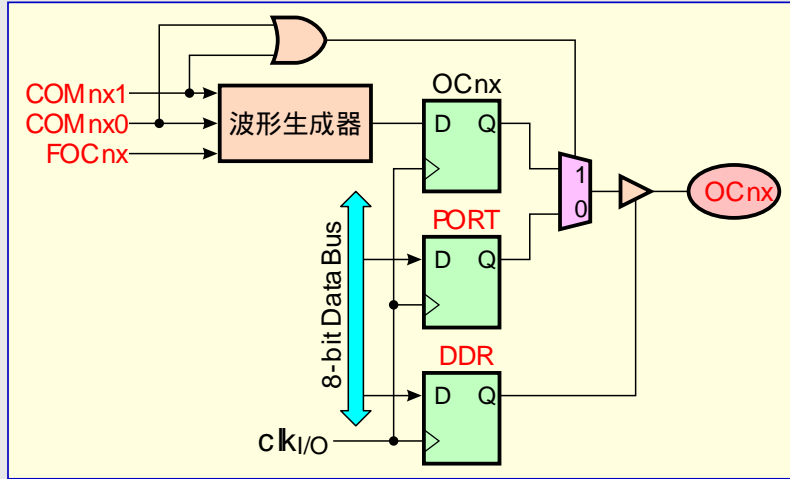
OC2xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC2x値を設定する一番簡単な方法は標準動作で強制変更(FOC2x)AND-7ビットを使用することです。波形生成動作種別間を変更する時でも、OC2x内部レジスタはその値を保ちます。

比較出力選択COM2x1~0ビットが比較値(OCR2x)と共にダブルハフ化されないことに気付いてください。COM2x1~0ビットの変更は直ちに有効となります。

## 16.6. 比較一致出力部

比較出力選択 (COM2x1~0) ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC2x) 状態の定義に COM2x1~0 ビットを使用します。また COM2x1~0 ビットは OC2x ビット出力元を制御します。図 16-4 は COM2x1~0 ビット設定により影響を及ぼされる論理回路の単純化した図を示します。図の I/O レジスタ (I/O ビット) は赤文字 (訳注: 原文は太字) で示されます。COM2x1~0 ビットにより影響を及ぼされる標準 I/O ポート制御レジスタ (PORT と DDR) の部分だけが示されます。OC2x の状態を参照するとき、その参照は OC2x ビットでなく内部 OC2x レジスタに対してです。

図 16-4. 比較一致出力回路図



COM2x1~0 ビットのどちらかがセット(1)されると、標準 I/O ポート機能は波形生成器からの比較出力 (OC2x) により無効にされます。けれども OC2x ビットの状態 (出力) はポートピンに対するポート方向レジスタ (DDR) によりまだ制御されます。OC2x ビットに対するポート方向レジスタのビット (DDR\_OC2x) は OC2x 値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前の OC2x 状態の初期化を許します。いくつかの COM2x1~0 ビット設定が或る種の動作種別に対して予約されることに注意してください。99 頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

### 16.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM 動作で COM2x1~0 ビットを違うふうに使います。すべての動作種別に対して COM2x1~0=0 設定は次の比較一致で実行すべき OC2x レジスタの動きがないことを波形生成器へ告げます。非 PWM 動作での比較出力動作については 99 頁の表 16-2 と表 16-5 を参照してください。高速 PWM 動作については 99 頁の表 16-3 と表 16-6、位相基準 PWM については 99 頁の表 16-4 と表 16-7 を参照してください。

COM2x1~0 ビットの状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非 PWM 動作について、この動作は強制変更 (FOC2x) フラグ ビットを使用することにより直ちに効果を得ることを強制できます。



## 16.7.動作種別

動作種別、換言するとタイマ/カウンタと比較出力ビットの動作は波形生成種別 (WGM22~ 0ビット)と比較出力選択 (COM2x1~ 0ビット)の組み合わせにより定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM2x1~ 0ビットは生成されるPWM出力が反転されるべきか、されないべきか、反転または非反転PWMどちらかを制御します。非PWM動作に対するCOM2x1~ 0ビットは比較一致で出力がクリア(0) セット(1) 1/交互のどれにされるべきかを制御します (92頁の「比較一致出力部」をご覧ください)

タイミング情報の詳細については96頁の「タイマ/カウンタのタイミング」を参照してください。

### 16.7.1.標準動作

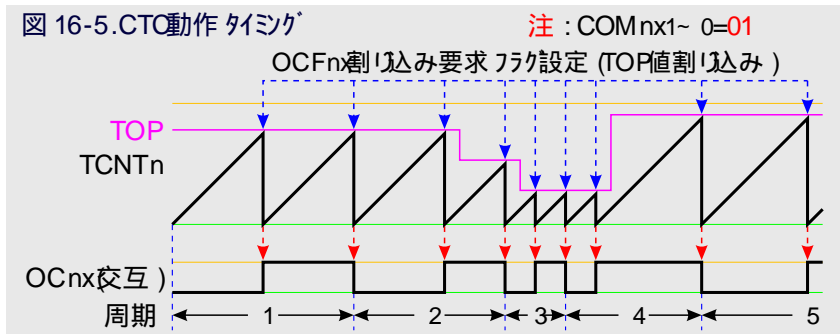
最も単純な動作種別が標準動作 (WGM22~ 0=000)です。この動作種別での計数方向は常に上昇 (+)で、カウンタクリアは実行されません。カウンタは8ビット最大値 (TOP=\$FFを通過すると単に範囲を超え、そして\$00 (BOTTOM) から再び始めます。通常動作でのタイマ/カウンタオーバーフロー (TOV2)フラグはTCNT2が\$0dになる時と同じタイマ/カウンタクロックサイクルでセット(1)されます。この場合のTOV2フラグはセット(1)のみでクリア(0)されないことを除いて第9ビットのようになります。けれどもTOV2フラグを自動的にクリア(0)するタイマ/カウンタオーバーフロー割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアにより増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

### 16.7.2.比較一致 タイマ/カウンタ クリア (CTC) 動作

比較一致 タイマ/カウンタ クリア (CTC 動作 (WGM22~ 0=010)では、OCR2Aがカウンタの分解能を操作するために使用されます。CTC動作では、カウンタ (TCNT2値がOCR2Aと一致すると、カウンタは\$0dにクリアされます。OCR2Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図 16-5で示されます。カウンタ (TCNT2値はTCNT2とOCR2A間で比較一致が起こるまで増加し、そしてその後カウンタ (TCNT2)はクリア (\$0d)されます。



OCF2Aフラグを使用することにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMに近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCR2Aに書かれた新しい値がTCNT2の現在値より低い (小さい) 場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立ち、最大値 (\$FF)へそして次に\$0dから始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2A出力は比較出力選択 (COM2A1~ 0ビット)を交互動作 (=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC2A値はそのビットに対するデフォルト方向が出力 (DDR\_OC2A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR2Aが0 (\$0d)に設定されるとき、 $f_{OC0A} = f_{clk\_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

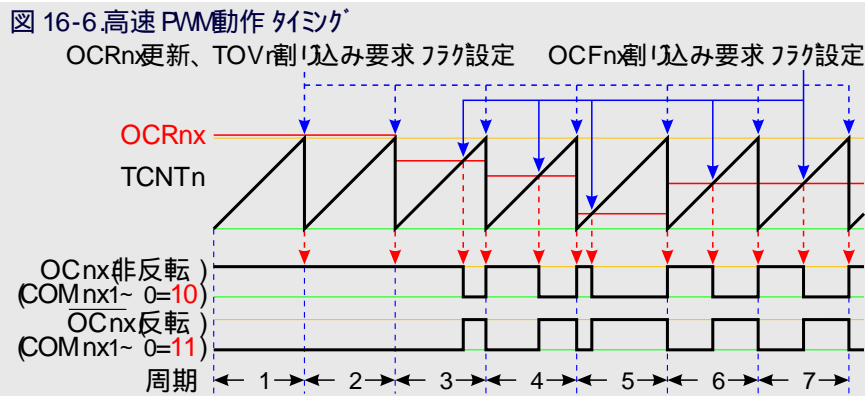
変数Nは前置分周数 (1, 8, 32, 64, 128, 256, 1024)を表します。

標準動作と同じように、タイマ/カウンタオーバーフロー (TOV2)フラグはカウンタがMAXから\$0dへ計数するのと同じタイマ/カウンタクロックサイクルでセット(1)されます。

### 16.7.3. 高速 PWM 動作

高速パルス幅変調 (PWM 動作 WGM22= 0=011または 111)は高周波数 PWM波形生成選択を提供します。高速 PWMはそれが単一傾斜 鋸波 動作であることにより他の PWM動作と異なります。カウンタは BOTTOMから TOPまで計数し、その後 BOTTOMから再び始めます。TOPはWGM22= 0=011時に \$FF、WGM22= 0=111時に OCR2Aとして定義されます。非反転比較出力動作 (COM2x1= 0=10)での比較出力 (OC2x)は TCNT2とOCR2x間の比較一致でクリア (0)され、BOTTOMでセット (1)されます。反転出力動作 (COM2x1= 0=11)の出力は比較一致でセット (1)され、BOTTOMでクリア (0)されます。この単一傾斜動作のため、高速 PWM動作の動作周波数は両傾斜 三角波 動作を使用する位相基準 PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速 PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルや コンデンサ)を許し、従ってシステム総費用を削減します。

高速 PWM動作でのタイマ/カウンタはタイマ/カウンタ値が TOP値と一致するまで増されます。そしてタイマ/カウンタは一致の 次のタイマ/カウンタ クロック サイクルでクリア (0)されます。高速 PWM動作の タイミング図は図 16-6で示されます。TCNT2値はタイミング図で単一傾斜動作 鋸波 を表す折れ線 グラフとして示されます。この図は非反転と反転の PWM出力を含みます。細い赤線は OCR2x値を示し、TCNT2値との交点 (接点) が TCNT2とOCR2x間の比較一致を示します (訳注 図補正に伴い本行若干変更) 比較割り込み要求 フラグ (OCF2x)は OCR2x=TOPを除いて比較一致が起こるとセット (1)されます (訳注 共通性のため本行追加)



タイマ/カウンタ オーバーフロー (TOV2)フラグはカウンタが TOPに到達する時毎にセット (1)されます。割り込みが許可されるならば、その割り込み処理ルーチンは比較値を更新するために使用できます。

高速 PWM動作での比較部は OC2xレジスタでの PWM波形の生成を許します。COM2x1= 0ビットを '10'に設定することは非反転 PWM出力を作成し、反転 PWM出力は COM2x1= 0を '11'に設定することで生成できます。WGM22ビットがセット (1)ならば、COM2A1= 0ビットの '01'設定は比較一致での交互反転を OC2Aレジスタに許します。この任意選択は OC2Bレジスタに対して利用できません (99頁の表 16-3と表 16-6. をご覧ください) (訳注 前 2行修正追加) 実際の OC2x値はポートピンに対するディレクション (DDR\_OC2x)が出力として設定される場合だけ見えるでしょう PWM波形は TCNT2とOCR2x間の比較一致で OC2x内部レジスタをセット (1)またはクリア (0)と、カウンタがクリア (0) TOPから BOTTOMへ変更されるタイマ/カウンタ クロック サイクルで OC2xレジスタをクリア (0)またはセット (1)することにより生成されます。

PWM出力周波数は次式により計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N_x (1+TOP)}$$

変数 Nは前置分周数 (1,8,32,64,128,256,1024)を表します。

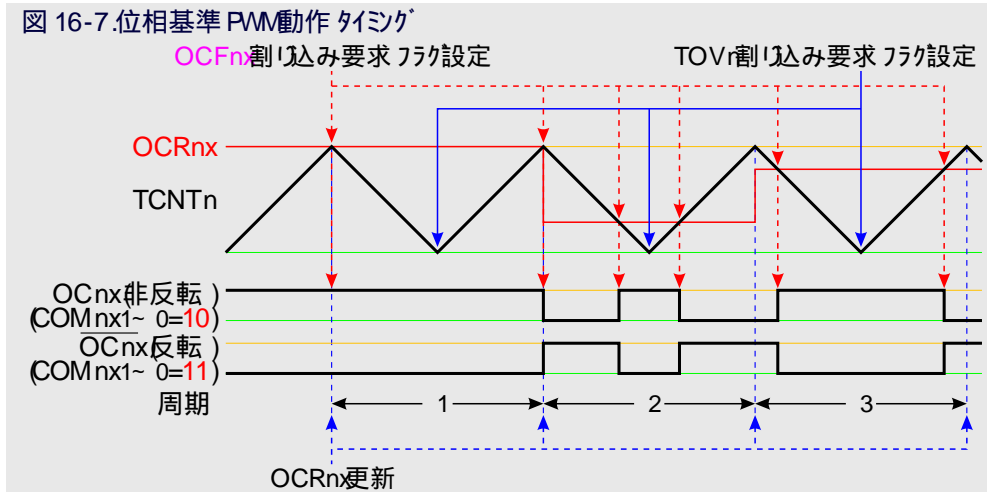
OCR2xの両端値は高速 PWM動作で PWM波形出力を生成する時の特別な場合にあたります。OCR2xが BOTTOM (0)と等しく設定されると、出力は TOP+1 タイマ/カウンタ クロック サイクル毎の狭いスパイク (パルス)になるでしょう OCR2xが TOPに等しく設定されると、COM2x1= 0ビットにより設定される出力極性に依存して 定常的な Lowまたは High出力に終わるでしょう

(訳補 WGM22= 0=111の場合については、高速 PWM動作での (フェーデッド) 50%周波数の波形出力は比較一致毎に論理反転する OC2A設定 (COM2A1= 0=01)により達成できます。生成された波形は OCR2Aが 0 (0)に設定されるときに  $f_{OC0x} = f_{clk\_I/O} / 2$  の最大周波数でしょう この特性は高速 PWM動作で比較出力部のダブルハーフ機能が許可されることを除いて、CTC動作での OC2A交互出力 (COM2A1= 0=01)と同じです。

## 16.7.4. 位相基準 PWM動作

位相基準パルス幅変調 (PWM 動作 **WGM22~0=001**または**101**)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜三角波動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM22~0=00時に\$FF、WGM22~0=101時にOCR2Aとして定義されます。非反転比較出力動作 **COM2x1~0=10**での比較出力(OC2x)は上昇計数中のTCNT2とOCR2xの比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 **COM2x1~0=11**での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を替えます。このTCNT2値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相基準PWM動作のタイミング図は図16-7で示されます。TCNT2値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2x値を示し、TCNT2値との交点(接点)がTCNT2とOCR2x間の比較一致を示します(訳注:図補正に伴い本行若干変更)



タイマ/カウンタオーバフロー(TOV2)フラグはタイマ/カウンタがBOTTOMに到達する毎にセット(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使用できます。

位相基準PWM動作での比較部はOC2xレジスタでのPWM波形の生成を許します。COM2x1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM2x1~0ビットを'11'に設定することで生成できます。WGM02ビットがセット(1)ならば、COM0A1~0ビットの'01'設定は比較一致での交互反転をOC0Aレジスタに許します。この任意選択はOC0Bレジスタに対して利用できません(99頁の表16-4と表16-7をご覧ください)(訳注:前2行修正追加)実際のOC2x値はそのポートピンに対するデフォルト方向(DDR\_OC2x)が出力として設定される場合だけ見えてしまうPWM波形はカウンタが増加するときのTCNT2とOCR2x間の比較一致でOC2x内部レジスタをセット(1)またはクリア(0)と、カウンタが減少するときのTCNT2とOCR2x間の比較一致でOC2xレジスタをクリア(0)またはセット(1)により生成されます。位相基準PWMを使用するときの出力に対するPWM周波数は次式により計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,32,64,128,256,1024)を表します。

OCR2xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR2xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図16-7の第2周期のその出発点において、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

図16-7のように、OCR2xはTOPからその値を変更します。OCR2x値がTOPのとき、OCnxレジスタ値は下降計数での比較一致の結果と同じです(訳補:L→H、直前がHのため、常にH)BOTTOMを挟む対称を保証するため、変更直後の(TOP位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。

タイマ/カウンタがOCR2x値より高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補:従って上記同様、TOP位置で直前がHならばH→L遷移が生じます。)

## 16.8. タイマ/カウンタのタイミング

以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタクロック( $clk_{T2}$ )が計数許可信号として示されます。非同期動作では $clk_{I/O}$ がタイマ/カウンタ用発振器(TOSC)クロックにより置換されるべきです。本図は割り込みフラグがセット(1)される時の情報を含みます。図16-8は基本的なタイマ/カウンタ動作についてのタイミングデータを示します。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図 16-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

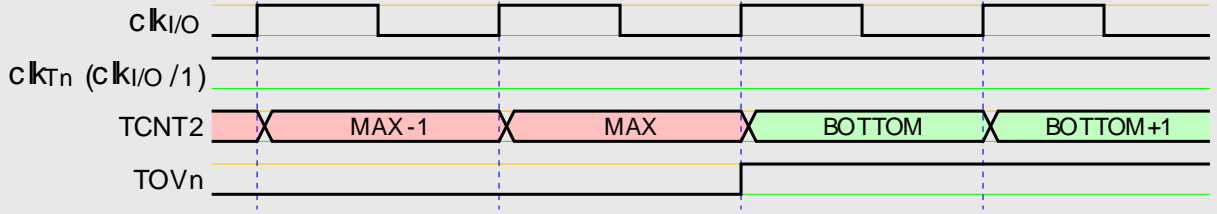


図 16-9は同じタイミングデータを示しますが、前置分周器が許可されています。

図 16-9. 前置分周器 ( $clk_{I/O} / 8$ )のタイマ/カウンタ タイミング

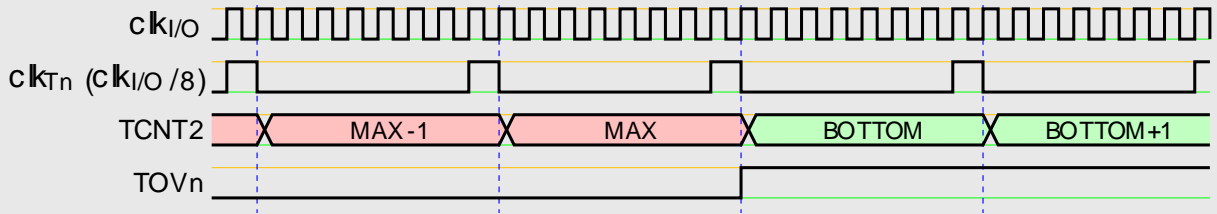


図 16-10はCTC動作を除く全ての動作種別でのOCF2Aの設定を示します。

図 16-10. 前置分周器 ( $clk_{I/O} / 8$ )のタイマ/カウンタ OCF2A設定 タイミング

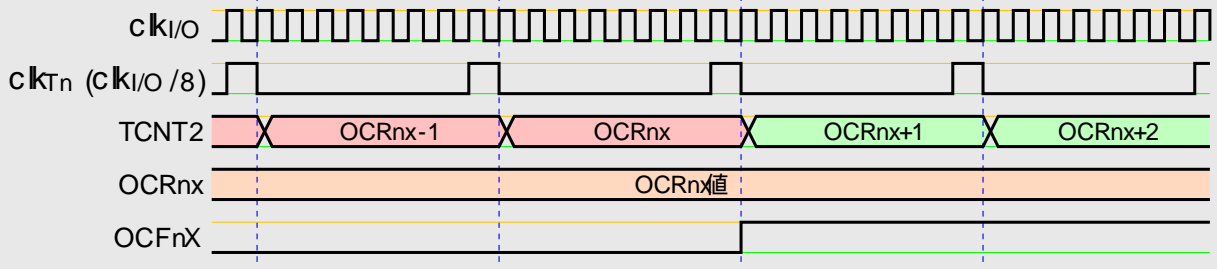
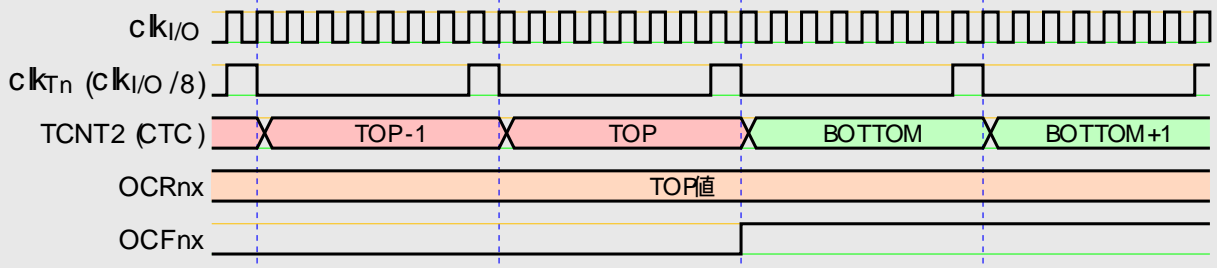


図 16-11はCTC動作でのTCNT2のクリアとOCF2Aの設定を示します。

図 16-11. 前置分周器 ( $clk_{I/O} / 8$ )のタイマ/カウンタ OCF2A設定 タイミング





## 16.9. タイマ/カウンタ2非同期動作

タイマ/カウンタ2が非同期で動くとき、いくつかの考慮が成されなければなりません。

**警告:** タイマ/カウンタ2の同期/非同期 クロック駆動間を切り替えると、タイマ/カウンタ2(TCNT2)、タイマ/カウンタ2比較レジスタ(OCR2x)、タイマ/カウンタ2制御レジスタ(TCCR2x)が不正となるかもしれません。クロックを切り替える安全な手順を次に示します。

タイマ/カウンタ2割り込みマスクレジスタ(TMSK2)のOCIE2xとTOIE2のクリア(0)により、タイマ/カウンタ2割り込みを禁止します。

非同期状態レジスタ(ASR)の非同期動作許可(AS2)設定によりクロックを適切に選択します。

TCNT2, OCR2x, TCCR2xに新しい値を書きます。

非同期動作へ切り替えるには、TCN2UB, OCR2xUB, TCR2xUBについて(=0まで)待機します。

タイマ/カウンタ2割り込み要求フラグレジスタ(TIFR2)のOCF2xとTOV2フラグをクリア(0)します。

必要とされるなら、割り込みを許可します。

CPU主クロック周波数はタイマ発振器周波数の4倍より高くなければなりません。

TCNT2, OCR2x, TCCR2xレジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの立ち上りエッジ後、実レジスタに設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に、新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えばTCNT2書き込みがOCR2書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するため、非同期状態レジスタ(ASR)は実装されました。

TCNT2, OCR2x, TCCR2xに書いた後でパワーセーフまたはA/D変換ノイズ低減動作動作へ移行するとき、デバイスを起動するためにタイマ/カウンタ2が使用される場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前にスリーフ動作へ移行するでしょう。タイマ/カウンタ2比較一致割り込みがデバイスを起動するために使用されるとTCNT2またはOCR2書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込みサイクルが完了されず、OCR2xUBが0に戻る前にMCUがスリーフ動作へ移行すると、デバイスは決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。

パワーセーフまたはA/D変換ノイズ低減動作からデバイスを起動するためにタイマ/カウンタ2が使用される場合、使用者がこれら動作へ復帰後、再移行することを欲するならば、予防処置を講じなければなりません。1TOSC1サイクル以内にスリーフ動作へ再移行する場合、割り込みが直ちに起こり、デバイスは再び起動復帰するでしょう。その結果は複数の割り込みと最初の割り込みから1TOSC1サイクル以内の起動復帰です。パワーセーフまたはA/D変換ノイズ動作再移行前の時間が充分であるかどうか迷う場合、1TOSC1サイクルが経過されることを保証するために次の手順が使用できます。

TCNT2, OCR2x, TCCR2xに値を書きます。

非同期状態レジスタ(ASR)の対応する更新中フラグが0に戻るまで待ちます。

パワーセーフまたはA/D変換ノイズ低減動作へ移行します。

非同期動作が選択されるとき、タイマ/カウンタ2用32.768kHz発振器はパワーダウンとスタンバイ動作を除いて常に動作します。電源投入後、パワーダウンまたはスタンバイ動作から起動後、この発振器が安定するために、秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、パワーダウンまたはスタンバイ動作から起動後、タイマ/カウンタ2を使用する前に少なくとも秒待つことが推奨されます。この発振器の使用またはクロック信号がTOSCピンに印加されるかのどちらかに拘らず、起動時の不安定なクロック信号のため、パワーダウンまたはスタンバイ動作からの起動復帰後、タイマ/カウンタ2の全レジスタの内容が失われたとみなされなければなりません。

タイマ/カウンタ2が非同期でクロック駆動される時のパワーセーフまたはA/D変換ノイズ低減動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタ2クロックの次のサイクルで起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ち、タイマ/カウンタは常に最低1進行されます。起動後にMCUは4サイクル停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。

パワーセーフ動作から起動直後のTCNT2の読み込みは不正な結果を得るかもしれません。TCNT2が非同期TOSCクロックでクロック駆動されるため、TCNT2読み込みは内部I/Oクロック領域に同期したレジスタを通して行われなければなりません。同期化はTOSCクロックの全立ち上りエッジで行われます。パワーセーフ動作から起動し、I/Oクロック(CLK\_I/O)が再び活性(有効)になると、TCNT2はTOSCクロックの次の立ち上りエッジまで以前(スリーフ動作移行前)の値を読むでしょう。パワーセーフ動作から起動後のTOSCクロックの位相は起動時間に依存するため本質的に特定できません。従ってTCNT2読み込みに対する推奨手順は次のとおりです。

OCR2xまたはTCCR2xのどれかに何か値を書きます。

非同期状態レジスタ(ASR)の対応する更新中フラグがクリア(0)されるまで待ちます。

TCNT2を読みます。

非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は37プロセッササイクル+1タイマサイクルがかかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立ち、このタイマは最低1進行されます。比較出力ピンはタイマクロックで変更され、プロセッサクロックに同期されません。

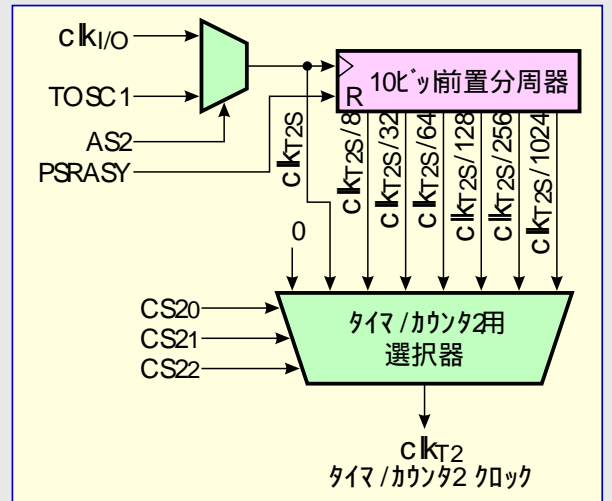
## 16.10. タイマ/カウンタの前置分周器

タイマ/カウンタ用クロックの名前は  $clk_{T2S}$  です。既定での  $clk_{T2S}$  は主システム I/O クロック ( $clk_{I/O}$ ) に接続されます。タイマ/カウンタ非同期状態レジスタ (ASSR) の非同期クロック許可 (AS2) ビットの設定 (1) により、タイマ/カウンタは TOSC1 ピンから非同期にクロック駆動されます。これは実時間カウンタ (RTC) としてのタイマ/カウンタの使用を可能にします。AS2 がセット (1) されると、TOSC1 と TOSC2 ピンは主クロック発振器や標準ホーから切り離されます。クリスタル発振子はタイマ/カウンタ用の独立したクロックとして扱う TOSC1 と TOSC2 ピン間に接続できます。この発振器は 32.768kHz クリスタル発振子で使用するために最適化されています。TOSC1 に外部クロック信号を印加する場合、ASSR の外部クロック許可 (EXTCLK) ビットがセット (1) されなければなりません (訳注 矛盾回避のため本行置換)

タイマ/カウンタに対して可能な前置分周済み選択は  $clk_{T2S}/8$ ,  $clk_{T2S}/32$ ,  $clk_{T2S}/64$ ,  $clk_{T2S}/128$ ,  $clk_{T2S}/256$ ,  $clk_{T2S}/1024$  です。更に 0 (停止) は勿論  $clk_{T2S}$  も選択可能です。

一般タイマ/カウンタ制御レジスタ (GTCCR) の非同期系タイマ/カウンタ前置分周器ビット (PSRASY) ビットのセット (1) は前置分周器をリセットします。これは予測可能な前置分周器での操作を使用者に許します。

図 16-12. タイマ/カウンタ前置分周器部構成



## 16.11. 8ビットタイマ/カウンタ2用レジスタ

### 16.11.1. タイマ/カウンタ制御レジスタA (Timer/Counter2 Control Register A) TCCR2A

ビット (\$B0)	7	6	5	4	3	2	1	0	
	COM2A1	COM2A0	COM2B1	COM2B0	-	-	WGM21	WGM20	TCCR2A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - COM2A1,COM2A0 :比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC2A比較出力ピンの動作を制御します。COM2A1~ 0ビットの1つまたは両方が1を書かれると、OC2A出力はそのI/Oピンの通常ホー機能が無効にし、そのI/Oピンに接続されます。けれども出力ドライバを許可するため、OC2Aピンに対応するホー 方向レジスタDDRのビットがセット(1)されなければならないことに注意してください。

OC2Aがピンに接続されるとき、COM2A1~ 0ビットの機能はWGM22~ 0ビット設定に依存します。

表 16-2はWGM22~ 0ビットが標準動作またはCTC動作 (つまりPWM以外) に設定されるときCOM2A1~ 0ビットの機能を示します。

表 16-3はWGM22~ 0ビットが高速PWM動作に設定されるときCOM2A1~ 0ビットの機能を示します。

表 16-4はWGM22~ 0ビットが位相基準PWM動作に設定されるときCOM2A1~ 0ビットの機能を示します。

表 16-2.非 PWM動作比較A出力選択

COM2A1	COM2A0	意味
0	0	標準ホー動作 (OC2A切断)
0	1	比較一致でOC2Aピン トグル交互出力
1	0	比較一致でOC2Aピン Lowレベル出力
1	1	比較一致でOC2Aピン Highレベル出力

表 16-4.位相基準 PWM動作比較A出力選択 (共通注意参照)

COM2A1	COM2A0	意味
0	0	標準ホー動作 (OC2A切断)
0	1	WGM22=0 標準ホー動作 (OC2A切断) WGM22=1 比較一致でOC2Aピン トグル交互出力
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC2Aピンへ出力
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC2Aピンへ出力

表 16-3.高速 PWM動作比較A出力選択 (共通注意参照)

COM2A1	COM2A0	意味
0	0	標準ホー動作 (OC2A切断)
0	1	WGM22=0 標準ホー動作 (OC2A切断) WGM22=1 比較一致でOC2Aピン トグル交互出力
1	0	比較一致でLow BOTTOMでHighをOC2Aピンへ出力 (非反転動作)
1	1	比較一致でHigh BOTTOMでLowをOC2Aピンへ出力 (反転動作)

ビット5,4 - COM2B1,COM2B0 :比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC2B比較出力ピンの動作を制御します。COM2B1~ 0ビットの1つまたは両方が1を書かれると、OC2B出力はそのI/Oピンの通常ホー 機能が無効にし、そのI/Oピンに接続されます。けれども出力ドライバを許可するため、OC2Bピンに対応するホー 方向レジスタDDRのビットがセット(1)されなければならないことに注意してください。

OC2Bがピンに接続されるとき、COM2B1~ 0ビットの機能はWGM22~ 0ビット設定に依存します。

表 16-5はWGM22~ 0ビットが標準動作またはCTC動作 (つまりPWM以外) に設定されるときCOM2B1~ 0ビットの機能を示します。

表 16-6はWGM22~ 0ビットが高速PWM動作に設定されるときCOM2B1~ 0ビットの機能を示します。

表 16-7はWGM22~ 0ビットが位相基準PWM動作に設定されるときCOM2B1~ 0ビットの機能を示します。

表 16-5.非 PWM動作比較B出力選択

COM2B1	COM2B0	意味
0	0	標準ホー動作 (OC2B切断)
0	1	比較一致でOC2Bピン トグル交互出力
1	0	比較一致でOC2Bピン Lowレベル出力
1	1	比較一致でOC2Bピン Highレベル出力

表 16-7.位相基準 PWM動作比較B出力選択 (共通注意参照)

COM2B1	COM2B0	意味
0	0	標準ホー動作 (OC2B切断)
0	1	予約
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC2Bピンへ出力
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC2Bピンへ出力

表 16-6.高速 PWM動作比較B出力選択 (共通注意参照)

COM2B1	COM2B0	意味
0	0	標準ホー動作 (OC2B切断)
0	1	予約
1	0	比較一致でLow BOTTOMでHighをOC2Bピンへ出力 (非反転動作)
1	1	比較一致でHigh BOTTOMでLowをOC2Bピンへ出力 (反転動作)

**共通注意** :COM2x1がセット(1)され、対応するOCR2xがTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでのセット(1)またはクリア(0)は行われます。より多くの詳細については94頁の「高速PWM動作」または95頁の「位相基準PWM動作」をご覧ください。表 16-3,4,6,7各々での注を纏めました。

## ビット32 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

## ビット10 - WGM21WGM20 :波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR2B)で得られるWGM22ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)最大カウンタ(TOP)値の供給元、使用されるべき波形生成のどの形式かを制御します(表 16-8参照)。タイマ/カウンタによって支援される動作種別は標準動作(カウンタ)比較一致タイマ/カウンタクリア(CTC動作)と2形式のパルス幅変調(PWM動作)です。93頁の「動作種別」をご覧ください。

表 16-8. 波形生成種別選択

番号	WGM22	WGM21	WGM20	タイマ/カウンタ動作種別	TOP値	OCR2x更新時	TOVx設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準 PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタクリア(CTC動作)	OCR2A	即時	MAX
3	0	1	1	8ビット高速 PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	予約)	-	-	-
5	1	0	1	位相基準 PWM動作	OCR2A	TOP	BOTTOM
6	1	1	0	予約)	-	-	-
7	1	1	1	高速 PWM動作	OCR2A	BOTTOM	TOP

注 :MAX=\$FF, BOTTOM=\$00です。

## 16.11.2. タイマ/カウンタ制御レジスタB (Timer/Counter2 Control Register B) TCCR2B

ビット (\$B1)	7	6	5	4	3	2	1	0	
	FOC2A	FOC2B	-	-	WGM22	CS22	CS21	CS20	TCCR2B
Read/W rite	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## ビット7 - FOC2A :OC2A強制変更 (Force Output Compare A)

FOC2AビットはWGM22~ 0ビットが非 PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時に TCCR2Bが書かれる場合、このビットは 0に設定されなければなりません。FOC2Aビットに論理 1を書くと、波形生成部で直ちに比較一致が強制されます。OC2A出力は COM2A1~ 0ビット設定に従って変更されます。FOC2Aビットがスローフとして実行されることに注意してください。従って強制した比較の効果を決めるのは COM2A1~ 0ビットに存在する値です。

FOC2Aスローフは何れの割り込みの生成もTOPとしてOCR2Aを使用する比較一致タイマクリア(CTC動作)でのタイマ/カウンタのクリア(\$00)も行いません。

FOC2Aビットは常に 0として読めます。

## ビット6 - FOC2B :OC2B強制変更 (Force Output Compare B)

FOC2BビットはWGM22~ 0ビットが非 PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時に TCCR2Bが書かれる場合、このビットは 0に設定されなければなりません。FOC2Bビットに論理 1を書くと、波形生成部で直ちに比較一致が強制されます。OC2B出力は COM2B1~ 0ビット設定に従って変更されます。FOC2Bビットがスローフとして実行されることに注意してください。従って強制した比較の効果を決めるのは COM2B1~ 0ビットに存在する値です。

FOC2Bスローフは何れの割り込みの生成も行いません。

FOC2Bビットは常に 0として読めます。

## ビット54 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

## ビット3 - WGM22 :波形生成種別 (Waveform Generation Mode bit 2)

93頁の「タイマ/カウンタ制御レジスタA (TCCR2A)」のWGM21~ 0ビット記述をご覧ください。



ビット2,1,0 - CS22 CS21 CS20 : クロック選択 2 (Clock Select2, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT2)により使用されるクロック元を選択します。表 16-9をご覧ください。

表 16-9. タイマ/カウンタ2入力 クロック選択

CS22	CS21	CS20	意味
0	0	0	停止 (タイマ/カウンタ2動作停止)
0	0	1	clk <sub>2S</sub> 前置分周なし)
0	1	0	clk <sub>2S</sub> /8 (8分周)
0	1	1	clk <sub>2S</sub> /32 (32分周)
1	0	0	clk <sub>2S</sub> /64 (64分周)
1	0	1	clk <sub>2S</sub> /128 (128分周)
1	1	0	clk <sub>2S</sub> /256 (256分周)
1	1	1	clk <sub>2S</sub> /1024 (1024分周)

### 16.11.3. タイマ/カウンタ2 (Timer/Counter2) TCNT2

ビット (\$B2)	7	6	5	4	3	2	1	0	
	(MSB)							(LSB)	TCNT2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ2の8ビットカウンタに直接アクセスします。TCNT2への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害 (除去) します。カウンタが走行中にカウンタ(TCNT2)を変更することは、TCNT2とOCR2間の比較一致消失の危険を誘発します。

### 16.11.4. タイマ/カウンタ2比較 Aレジスタ (Timer/Counter2 Output Compare A Register) OCR2A

ビット (\$B3)	7	6	5	4	3	2	1	0	
	(MSB)							(LSB)	OCR2A
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNT2)**値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC2Aピンでの波形出力を生成するために使用できます。

### 16.11.5. タイマ/カウンタ2比較 Bレジスタ (Timer/Counter2 Output Compare B Register) OCR2B

ビット (\$B4)	7	6	5	4	3	2	1	0	
	(MSB)							(LSB)	OCR2B
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNT2)**値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC2Bピンでの波形出力を生成するために使用できます。

### 16.11.6. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter 2 Interrupt Mask Register) TMSK2

ビット (\$70)	7	6	5	4	3	2	1	0	
	-	-	-	-	-	OC E2B	OC E2A	TO E2	TMSK2
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7～3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - OC E2B : タイマ/カウンタ2比較B割り込み許可 (Timer/Counter2 Output Compare Match B Interrupt Enable)

OC E2Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (IFL)ビットがセット(1)されると、タイマ/カウンタ2比較B一致割り込みが許可されます。タイマ/カウンタ2で比較B一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR2)で比較B割り込み要求フラグ(OCF2B)がセット(1)されると、対応する割り込みが実行されます。

ビット1 - OC E2A : タイマ/カウンタ2比較A割り込み許可 (Timer/Counter2 Output Compare Match A Interrupt Enable)

OC E2Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (IFL)ビットがセット(1)されると、タイマ/カウンタ2比較A一致割り込みが許可されます。タイマ/カウンタ2で比較A一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR2)で比較A割り込み要求フラグ(OCF2A)がセット(1)されると、対応する割り込みが実行されます。

ビット0 - TO E2 : タイマ/カウンタ2オーバーフロー割り込み許可 (Timer/Counter2 Overflow Interrupt Enable)

TO E2ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (IFL)ビットがセット(1)されると、タイマ/カウンタ2オーバーフロー割り込みが許可されます。タイマ/カウンタ2でオーバーフローが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR2)でタイマ/カウンタ2オーバーフロー割り込み要求(TOV2)フラグがセット(1)されると、対応する割り込みが実行されます。

### 16.11.7. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter 2 Interrupt Flag Register) TIFR2

ビット (\$17 (\$37))	7	6	5	4	3	2	1	0	
	-	-	-	-	-	OCF2B	OCF2A	TOV2	TIFR2
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7～3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - OCF2B : タイマ/カウンタ2比較B割り込み要求フラグ (Timer/Counter2, Output Compare B Match Flag)

OCF2Bビットは比較一致がタイマ/カウンタ(TCNT2)と比較レジスタ(OCR2B)間で起こる時にセット(1)されます。対応する割り込み処理を実行すると、OCF2Bはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF2Bはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (IFL)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK2)のタイマ/カウンタ2比較B一致割り込み許可(OC E2B)ビット、OCF2Bがセット(1)されると、タイマ/カウンタ2比較B一致割り込みが実行されます。

ビット1 - OCF2A : タイマ/カウンタ2比較A割り込み要求フラグ (Timer/Counter2, Output Compare A Match Flag)

OCF2Aビットは比較一致がタイマ/カウンタ(TCNT2)と比較レジスタ(OCR2A)間で起こる時にセット(1)されます。対応する割り込み処理を実行すると、OCF2Aはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもOCF2Aはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (IFL)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK2)のタイマ/カウンタ2比較A一致割り込み許可(OC E2A)ビット、OCF2Aがセット(1)されると、タイマ/カウンタ2比較A一致割り込みが実行されます。

ビット0 - TOV2 : タイマ/カウンタ2オーバーフロー割り込み要求フラグ (Timer/Counter2 Overflow Flag)

TOV2ビットはタイマ/カウンタ(TCNT2)でオーバーフローが起こる時にセット(1)されます。対応する割り込み処理を実行すると、TOV2はハードウェアによりクリア(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV2はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (IFL)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK2)のタイマ/カウンタ2オーバーフロー割り込み許可(TO E2)ビット、OVF2がセット(1)されると、タイマ/カウンタ2オーバーフロー割り込みが実行されます。位相基準PWM動作ではタイマ/カウンタが\$00で計数方向を変えると、このビットがセット(1)されます。

これらフラグの設定はWGM22～0ビット設定に依存します。100頁の波形生成種別ビット記述の表16-8を参照してください。

## 16.11.8. タイマ/カウンタ非同期状態レジスタ (Timer/Counter2 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
(\$B6)	-	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB	ASSR
Read/W rite	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - Res : 予約 (Reserved bit)

このビットは予約されており、常に0として読めます。

ビット6 - EXCLK : 外部クロック信号許可 (Enable External Clock Input)

EXCLKが1を書かれ、非同期クロックが選択されると、外部クロック入力パルプが許可され、32kHzクリスタルの代わりに外部クロックがタイマ発振器1(TOSC1)にへ入力できます。EXCLKへの書き込みは非同期動作が選択される前に行うべきです。クリスタル発振器は、このビットが0のときだけ走行動作することに注意してください。

ビット5 - AS2 : タイマ/カウンタ非同期動作許可 (Asynchronous Timer/Counter2)

AS2が0を書かれると、タイマ/カウンタはI/Oクロック(cK<sub>I/O</sub>)からクロック駆動されます。AS2が1を書かれると、タイマ/カウンタはタイマ発振器(TOSC1, TOSC2)に接続されたクリスタル発振器からクロック駆動されます。AS2の値が変更されると、タイマ/カウンタ(TCNT2)比較レジスタ(OCR2A, OCR2B)、タイマ/カウンタ制御レジスタ(TCCR2A, TCCR2B)の内容は不正にされるかもしれません。

ビット4 - TCN2UB : タイマ/カウンタ更新中フラグ (Timer/Counter2 Update Busy)

タイマ/カウンタが非同期に動き、タイマ/カウンタ(TCNT2)が書かれると、このビットがセット(1)になります。TCNT2が一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理1はTCNT2が新しい値で更新される用意ができたことを示します。

ビット3 - OCR2AUB : タイマ/カウンタ比較Aレジスタ更新中フラグ (Output Compare A Register2 Update Busy)

タイマ/カウンタが非同期に動き、比較AレジスタOCR2Aが書かれると、このビットがセット(1)になります。OCR2Aが一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理1はOCR2Aが新しい値で更新される用意ができたことを示します。

ビット2 - OCR2BUB : タイマ/カウンタ比較Bレジスタ更新中フラグ (Output Compare B Register2 Update Busy)

タイマ/カウンタが非同期に動き、比較BレジスタOCR2Bが書かれると、このビットがセット(1)になります。OCR2Bが一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理1はOCR2Bが新しい値で更新される用意ができたことを示します。

ビット1 - TCR2AUB : タイマ/カウンタ制御レジスタA更新中フラグ (Timer/Counter2 Control Register A Update Busy)

タイマ/カウンタが非同期に動き、タイマ/カウンタ制御レジスタA(TCCR2A)が書かれると、このビットがセット(1)になります。TCCR2Aが一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理1はTCCR2Aが新しい値で更新される用意ができたことを示します。

ビット0 - TCR2BUB : タイマ/カウンタ制御レジスタB更新中フラグ (Timer/Counter2 Control Register B Update Busy)

タイマ/カウンタが非同期に動き、タイマ/カウンタ制御レジスタB(TCCR2B)が書かれると、このビットがセット(1)になります。TCCR2Bが一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理1はTCCR2Bが新しい値で更新される用意ができたことを示します。

更新中フラグがセット(1)中に3つのタイマ/カウンタレジスタの何れかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

TCNT2, OCR2A, OCR2B, TCCR2A, TCCR2B読み込みについての機構は異なります。TCNT2を読むときは実際のタイマ/カウンタ値が読まれ、OCR2A, OCR2B, TCCR2A, TCCR2Bを読むときは一時保存レジスタの値が読めます。

## 16.11.9. 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	-	-	-	-	-	PSRASY	PSRSYNC	GTCCR
Read/W rite	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット1 - PSRASY : 非同期系タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter2)

このビットが1のとき、タイマ/カウンタの前置分周器はリセットします。通常、このビットはハードウェアにより直ちにクリア(0)されます。タイマ/カウンタが非同期動作のときに、このビットが1を書かれると、このビットは前置分周器がリセットされてしまうまで1に留まります。TSMビットがセット(1)される場合、このビットはハードウェアによりクリア(0)されません。タイマ/カウンタ同期同時動作の記載については88頁の「ビット7 - TSM : タイマ/カウンタ同時動作」の記述を参照してください。





次のコード例はマスタとしてSPを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR\_SPIはSPIバスを制御する実際のポート方向レジスタに置き換えられなければなりません。DD\_MOSI, DD\_MISO, DD\_SCKはこれらのピンに対する実際のポート方向ビットに置き換えられなければなりません。例えばMOSがPB3ピンに配置されるなら、DD\_MOSIはDDB3、DDR\_SPIはDDRBに置き換えます。

## アセンブリ言語プログラム例

```
SPI_M_Init: LDI    R17, (1<<DD_MOSI) | (1<<DD_SCK)      ;MOSI, SCK出力、他は入力値を取得
            OUT    DDR_SPI, R17                        ;MOSI, SCK出力、他は入力に設定
            LDI    R17, (1<<SPE) | (1<<MSTR) | (1<<SPR0)  ;SP許可、マスタ 16分周値を取得
            OUT    SPOR, R17                          ;SP許可、マスタ 16分周に設定
            RET                                         呼び出し元へ復帰

SPI_M_Tx:   OUT    SPDR, R16                          ;データR16送信開始
SPI_M_Tx_W: IN     R17, SPSR                          ;SP状態レジスタ値取得
            SBRS   R17, SPIF                          転送完了ならばスキップ
            RJMP   SPI_M_Tx_W                        転送完了まで待機

;

            RET                                         呼び出し元へ復帰
```

## C言語プログラム例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI) | (1<<DD_SCK);          /* MOSI, SCK出力、他は入力に設定 */
    /*
    SPOR = (1<<SPE) | (1<<MSTR) | (1<<SPR0);        /* SP許可、マスタ 16分周に設定 */
*/
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                   /* データ送信開始 */
    while(!(SPSR & (1<<SPIF)));                     /* 転送完了まで待機 */
}
```

注：4頁の「コード例について」をご覧ください。

次のコード例はスレーブとしてSPを初期化する方法と簡単な受信を実行する方法を示します。

## アセンブリ言語プログラム例

```
SPI_S_Init: LDI    R17, (1<<DD_MISO)                ;MISO出力、他は入力値を取得
            OUT    DDR_SPI, R17                    ;MISO出力、他は入力に設定
            LDI    R17, (1<<SPE)                  ;SP許可値を取得
            OUT    SPOR, R17                      ;SP許可設定
            RET                                     呼び出し元へ復帰

SPI_S_Rx:   IN     R16, SPSR                      ;SP状態レジスタ値取得
            SBRS   R16, SPIF                      受信転送完了ならばスキップ
            RJMP   SPI_S_Rx                      受信転送完了まで待機

;

            IN     R16, SPDR                      受信データ取得
            RET                                     呼び出し元へ復帰
```

## C言語プログラム例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                        /* MISO出力、他は入力に設定 */
    SPOR = (1<<SPE);                              /* SP許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                    /* 受信転送完了まで待機 */
    return SPDR;                                   /* 受信データと共に復帰 */
}
```

注：4頁の「コード例について」をご覧ください。

## 17.3. SS $\bar{C}$ の機能

### 17.3.1. スレーフ動作

SPがスレーフとして設定されると、スレーフ選択 (SS $\bar{C}$ )は常に入力です。SSがLowに保たれるとSPは活性に作動され、使用者によりどのように設定されていれば、MISOが出力になります。他の全てのピンは入力です。SSがHighに駆動されると、全てのピンは入力、SPIは非活動で、それは到着データを受信しないことを意味します。SP論理回路は一旦SS $\bar{C}$ がHighに駆動されると、リセットすることに注意してください。

このSS $\bar{C}$ はパケット/ハイ同期に対して、スレーフビットカウンタがマスタクロック発生器との同期を保つために有用です。SS $\bar{C}$ がHighに駆動されると、SPIスレーフは直ちに送受信論理回路をリセットし、それはシフトレジスタ内で部分的に受信したデータの先取り落としてします。

### 17.3.2. マスタ動作

SPがマスタ (SP制御レジスタ (SPCR) のマスタ許可 (MSTR) ビット=1) として設定されると、SS $\bar{C}$ の方向は使用者が決められます。

SSが出力として設定されると、このピンはSPシステムに影響を及ぼされない標準出力ピンです。代表的には、このピンがSPIスレーフのSS $\bar{C}$ を駆動するでしょう。

SSが入力として設定されると、SPマスタ動作を保証するため、それはHighに保持されなければなりません。SS $\bar{C}$ が入力として定義されたSPマスタとして設定されるとき、周辺回路によりSS $\bar{C}$ がLowに駆動されると、SPシステムは他のマスタがスレーフとして選択し、データ送信を始めると解釈します。バス衝突を避けるため、SPシステムは次の動作を行います。

SPCRでマスタ (MSTR) ビットがクリア (0) され、SPシステムはスレーフになります。SPシステムがスレーフになる結果として、MOSとSCK $\bar{C}$ が入力になります。

SP状態レジスタ (SPSR) でSP割り込み要求フラグ (SPIF) がセット (1) され、そしてSP割り込みが許可 (SPCRのSPIE=1) され、且つステータスレジスタ (SREG) の全割り込み許可 (IF $\bar{C}$ ) がセット (1) ならば、割り込みルーチンが実行されます。

従って割り込み駆動SP送信がマスタ動作で使用され、SSがLowに駆動される可能性があるとき、その割り込み処理はMSTRビットがまだセット (1) されていることを常に検査すべきです。MSTRビットがスレーフ選択によりクリア (0) されてしまっていると、それはSPマスタ動作を再び許可するため、使用者によりセット (1) されなければなりません。

## 17.4. データ転送形式

シリアルデータに関してはSP制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットにより決定されるSCK位相と極性で4つの組み合わせがあります。このSPデータ転送形式は図17-3と図17-4で示されます。データビットは安定のためデータ信号に対して十分な時間を保証するSCK信号の反対エッジでシフト出力と入力ラッチが行われます。これは以下で行われるように表17-3と表17-4を要約することにより明解にされます。

表 17-2.CPOL/CPHA機能動作

SP動作種別番号	CPOL	CPHA	SCK先行エッジ	SCK後行エッジ
0	0	0	入力採取 立ち上りエッジ	出力設定 立ち下りエッジ
1	0	1	出力設定 立ち上りエッジ	入力採取 立ち下りエッジ
2	1	0	入力採取 立ち下りエッジ	出力設定 立ち上りエッジ
3	1	1	出力設定 立ち下りエッジ	入力採取 立ち上りエッジ

図 17-3.SPデータ転送形式 (CPHA=0)

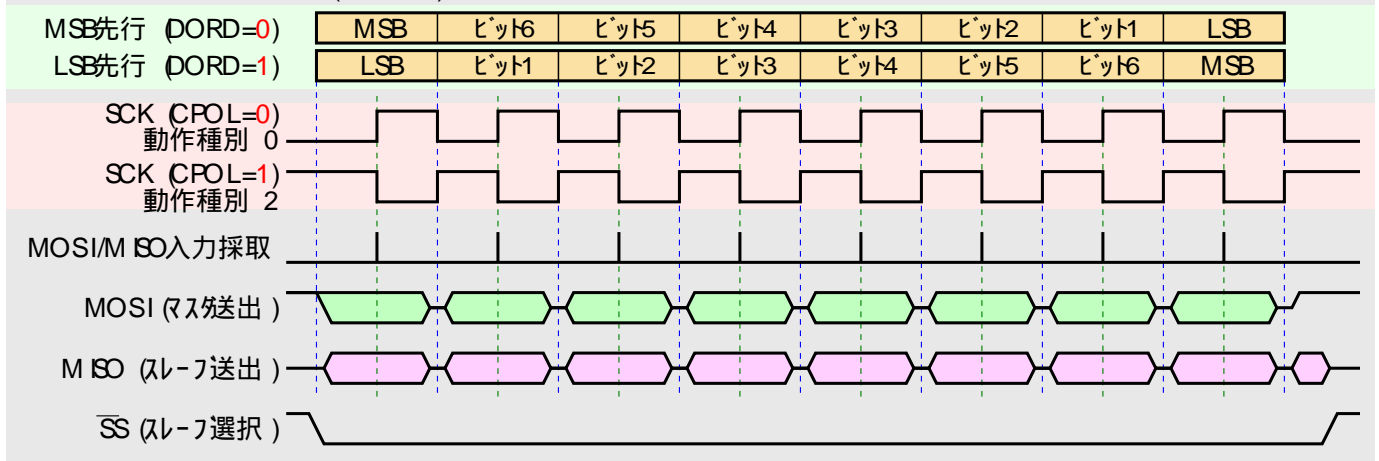
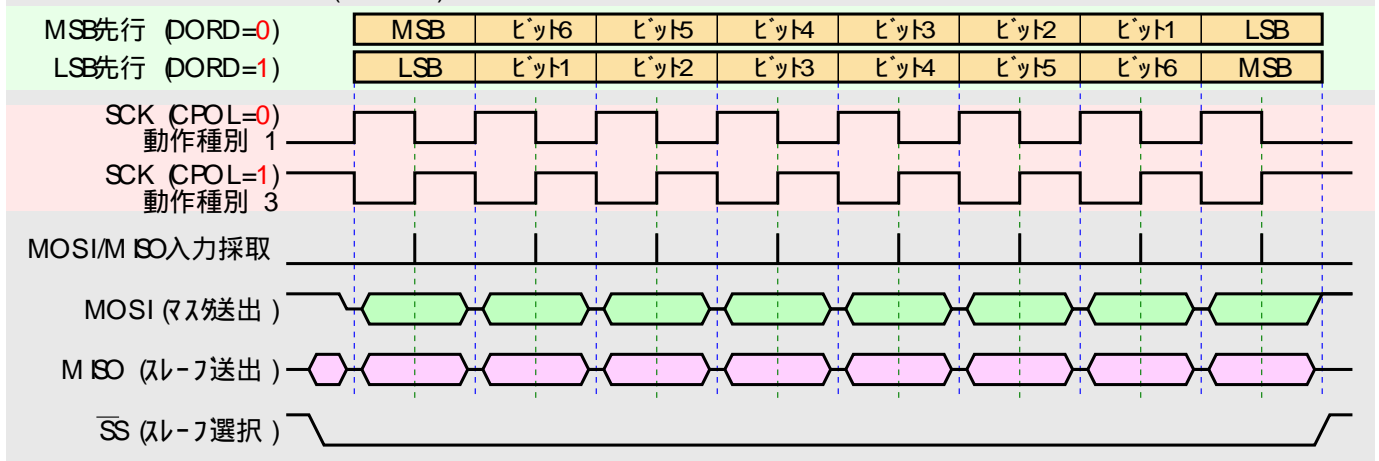


図 17-4.SPデータ転送形式 (CPHA=1)



## 17.5.SP用レジスタ

### 17.5.1.SP制御レジスタ (SPIControlRegister) SPCR

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	SPE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPE :SP割り込み許可 (SPI Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可 (IF)ビットがセット(1)され、SP状態レジスタ(SPSR)でSP割り込み要求フラグ(SPIF)がセット(1)されるとこのビットがSP割り込みを実行させます。

ビット6 - SPE :SP許可 (SP Enable)

SPEビットが1を書かれるとSPが許可されます。どのSP操作を許可するにも、このビットがセット(1)されなければなりません。

ビット5 - DORD :データ順選択 (Data Order)

DORDビットが1を書かれるとデータのLSBが最初に転送されます。DORDビットが0を書かれるとMSBが最初に転送されます。

ビット4 - MSTR :マスタ/スレーブ選択 (Master/Slave Select)

このビットは1を書かれるとマスタ動作、論理0を書かれるとスレーブ動作を選択します。 $\overline{SS}$ が入力として設定され、MSTRがセット(1)の間にLowへ駆動されるとMSTRはクリア(0)され、SP状態レジスタ(SPSR)でSP割り込み要求フラグ(SPIF)がセット(1)になります。その後使用者はSPマスタ動作を再び許可するために、MSTRをセット(1)しなければなりません。

ビット3 - CPOL :SCK極性選択 (Clock Polarity)

このビットが1を書かれると、アイドル時にSCKはHighです。CPOLが0を書かれると、アイドル時にSCKはLowです。例については図17-3と図17-4を参照してください。CPOL機能は右で要約されます。

表 17-3.CPOL機能動作

CPOL	SCK先行エッジ	SCK後行エッジ
0	立ち上り	立ち下り
1	立ち下り	立ち上り

ビット2 - CPHA :SCK位相選択 (Clock Phase)

このSCK位相選択 (CPHA)ビットの設定はデータのSCKの先行 (先) エッジまたは後行 (後) エッジで採取 / 設定 されるかを決めます。例については図17-3と図17-4を参照してください。CPHA機能は右で要約されます。

表 17-4.CPHA機能動作

CPHA	SCK先行エッジ	SCK後行エッジ
0	入力採取	出力設定
1	出力設定	入力採取

ビット10 - SPR1SPR0 :SPクロック選択 (SPIClock Rate Select 1 and 0)

これら2ビットはマスタとして設定されたデバイスのSCK速度を制御します。スレーブでのSPR1とSPR0は無効です。SCKとシステム発振器クロック周波数  $f_{SC}$  間の関連は次表で示されます。

表 17-5.SCK速度選択 ( $f_{SC}$ =CPUクロック周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SP 12X	1	0	1	0	1	0	1	0
SCK周波数	$f_{sc}/2$	$f_{sc}/4$	$f_{sc}/8$	$f_{sc}/16$	$f_{sc}/32$	$f_{sc}/64$		$f_{sc}/128$

### 17.5.2.SP状態レジスタ (SPIStatusRegister) SPSR

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	SPIF	WCOL	-	-	-	-	-	SPI2X	SPSR
Read/W rite	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPIF :SP割り込み要求フラグ (SPI Interrupt Flag)

シリアル転送が完了すると、このSPIFフラグがセット(1)されます。全割り込みが許可 (ステータスレジスタ(SREG)の全割り込み許可 (IF)ビット=1) されて、SP制御レジスタ(SPCR)でSP割り込み許可 (SPE)ビットがセット(1)されるなら、割り込みが生成されます。SPがマスタ動作のときに $\overline{SS}$ が入力でLowへ駆動されるなら、これもこのSPIFフラグを同様にセット(1)します。対応する割り込み処理プログラムを実行するとき、SPIFはハードウェアによりクリア(0)されます。代わりに、SPIFがセット(1)されたSP状態レジスタ(SPSR)を始めに読み、その後にはSPIデータレジスタ(SPTR)をアクセスすることによっても、SPIFフラグはクリア(0)されます。



ビット6 - WCOL : 上書きエラー フラグ (Write Collision Flag)

データ転送中に SP マスター レジスタ (SPDR) が書かれると、この WCOL ビットがセット (1) されます。WCOL ビットと SPIF ビットは WCOL がセット (1) された SP 状態 レジスタ (SPSR) を始めに読み、その後に SP マスター レジスタ (SPDR) をアクセスすることによりクリア (0) されます。

ビット5 ~ 1 - Res : 予約 (Reserved Bit)

これらのビットは予約されており、常に 0 として読めます。

ビット0 - SP2X : SP 倍速許可 (Double SPI Speed Bit)

このビットが論理 1 を書かれると、SCK 速度 (SCK 周波数) は SP がマスター動作するとき、倍にされます (表 17-5 参照)。これは最小 SCK 周期が 2CPU クロック周期であることを意味します。SP がスレーフとして設定されるとき、SP は  $f_{SC}$  (CPU クロック周波数) / 4 またはそれ以下の動作のみ保証されます。

ATmega48/88/168 の SPI インターフェースはフラッシュ メモリや EEPROM の書き換え (読み書き) にも使用されます。シリアル プログラミングと照合については 18 頁をご覧ください。

### 17.5.3. SP マスター レジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	SPDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SP マスター レジスタは SP シフトレジスタとレジスタ ファイル 汎用 レジスタ 間のデータ転送に使用される読み書き可能なレジスタです。このレジスタへの書き込みはデータ送信を開始します。このレジスタの読み込みはシフトレジスタの受信 バッファ読み出しを引き起こします。

## 18. USART

### 18.1 特徴

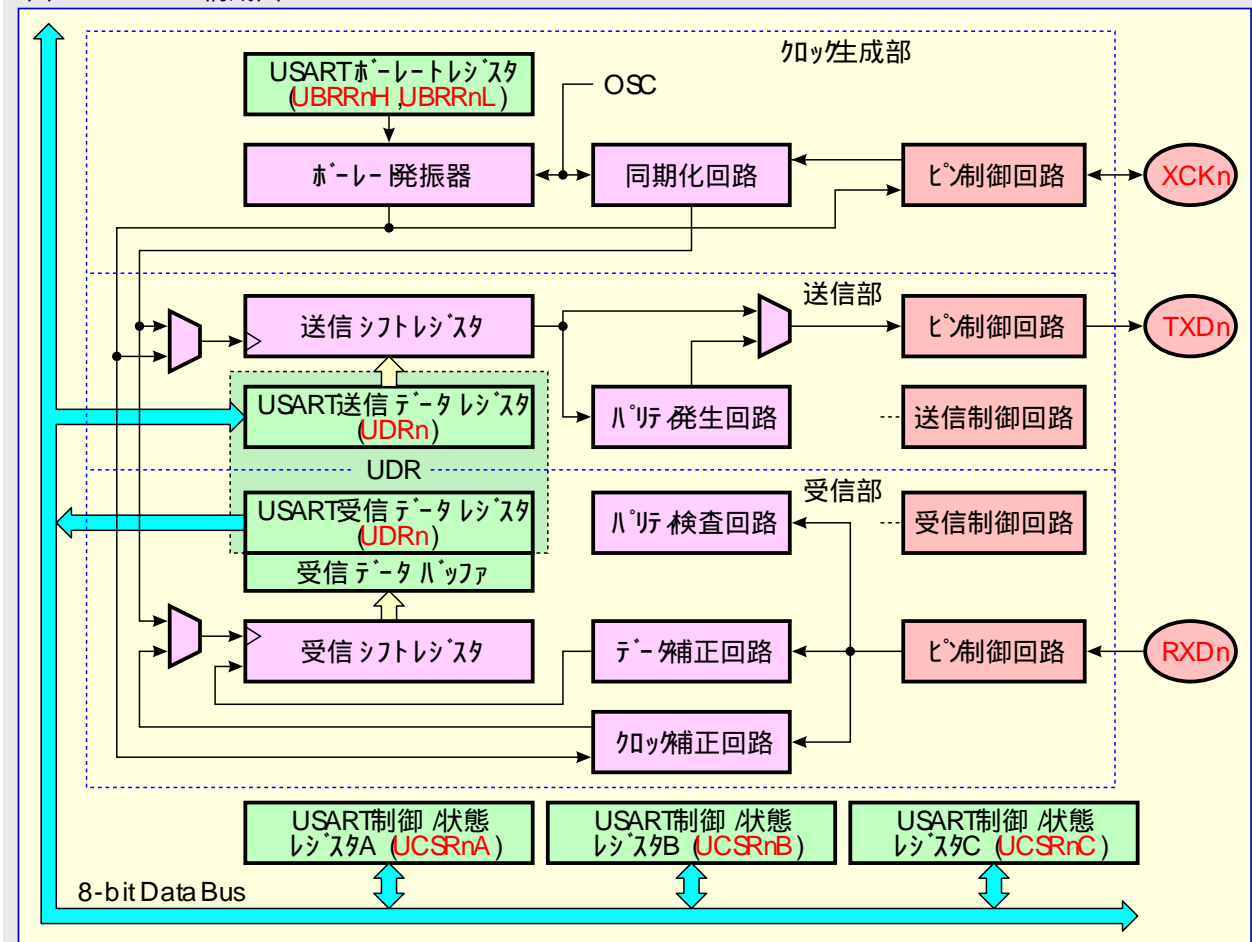
全二重動作 (独立した送受信レジスタ)  
 同期または非同期動作  
 同期 クロック駆動されたマスタ/スレーフ動作  
 高分解能 ホーレー 発振器  
 5, 6, 7, 8 または 9 ビットデータまたは 2 ストップ ビットの シリアル フレームの支援  
 ハードウェアにより支援された奇数または偶数パリティの生成と検査  
 データオーバラン検出  
 フレーシング エラー検出  
 不正 スタートビット検出とデジタル低域通過濾波器を含む ノイズ濾波器  
 受信完了、送信完了、送信データレジスタ空きの 3 つの分離した割り込み  
 マルチプロセッサ通信機能  
 倍速非同期通信動作

USART はマスタ SP 動作での使用もできます。126 頁の「USART の SP 動作」をご覧ください。26 頁の「電力削減レジスタ (PRR)」での USART 電力削減 (PRUSART0) ビットは論理 0 を書くことで禁止されなければなりません。

### 18.2 概要

USART (Universal Synchronous and Asynchronous Receiver and Transmitter) は高い柔軟性をもつシリアル通信機能です。USART の簡略構成図は図 18-1 で示されます。CPU がアクセス可能なレジスタと I/O ピンは赤文字 (訳注 原文は太字) で示されます。

図 18-1. USART 構成図



注：USART ビット配置については 2 頁の「ビット配置」、52 頁の表 12-9 を参照してください。

構成図内の破線は USART の 3 つの主要部分、(上から) クロック生成部、送信部、受信部を分けます。制御レジスタは全部により共用されます。クロック生成論理部はホーレー 発振器と同期 スレーフ動作により使用される外部 クロック入力に対する同期化論理回路から成ります。転送 クロック (XCKn) は同期転送動作によってのみ使用されます。送信部は単一書き込みバッファ (UDRn) シリアル シフトレジスタ パリティ発生器、異なるシリアル フレーム形式を扱うための制御論理回路から成ります。書き込みバッファはどんなフレーム間の遅れもなくデータの継続転送を許します。受信部はクロックとデータの補正部のため、USART 部の最も複雑な部分です。補正部は非同期データ受信で使用されます。補正部に加えて、受信部は二重の受信バッファ (UDRn) シフトレジスタ パリティ検査器、制御論理回路を含みます。受信部は送信部と同じフレーム形式を支援し、フレーシングエラー、データオーバランエラー、パリティエラーを検知できます。



### 18.3.2.倍速動作 (U2Xn)

転送速度はUSART制御/状態レジスタ(UCSRnA)で倍速許可(U2Xn)ビットをセット(1)することにより倍にできます。このビットの設定は非同期動作に対してだけ有効です。同期動作を使用するとき、このビットは0に設定してください。

このビットのセット(1)は事実上非同期通信に対する転送速度を倍にするホーレー分周器の分周数を16から8に減らします。けれども受信部がデータ採取とクロック補正に対して半分の(16から8に減じた)採取数を用いる場合だけ使用し、従ってこの動作種別が使用されるとき、システムクロックとホーレー設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

### 18.3.3.外部クロック

外部クロックは同期スレーフ動作種別により使用されます。本項の記述での詳細については図18-2を参照してください。

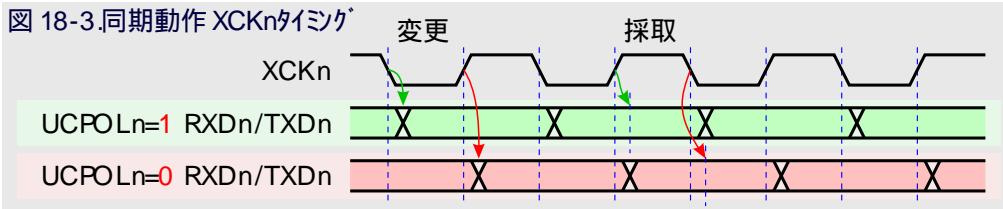
XCKn<sub>ext</sub>からの外部クロック入力是不確定レベル状態(マスタフェル)の機会を最少とするために同期化レジスタにより採取されます。同期化レジスタからの出力は送受信部で使用できるのに先立ち、エッジ検出器を通過しなければなりません。この処理手順が2CPUクロック周期の遅延を持ち込み、このため最大外部XCKnクロック周波数は次式により制限されます。

$$f_{XCKn} < \frac{f_{OSC}}{4}$$

$f_{OSC}$ がシステムクロック元の安定度に依存することに注意してください。従って周波数変動によるデータ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

### 18.3.4.同期クロック動作

同期動作が使用される(UMSELn0=1)とき、XCKn<sub>ext</sub>はクロック入力(スレーフ)またはクロック出力(マスタ)のどちらかとして使用されます。データ採取またはデータ変更とクロックエッジ間の依存性は同じです。基本原則はデータ出力(TXDn)が変更されるエッジと反対のXCKnクロックエッジでデータ入力(RXDn)が採取されることです。



USART制御/状態レジスタC(UCSRnC)のXCKn極性(UCPOLn)ビットはデータ採取とデータ変更に対してどちらのクロックエッジが使用されるのかを選びます。図18-3で示されるようにUCPOLnが0のとき、データはXCKnの立ち上りエッジで変更され、立ち下りエッジで採取されます。UCPOLnがセット(1)の場合、データはXCKnの立ち下りエッジで変更され、立ち上りエッジで採取されます。

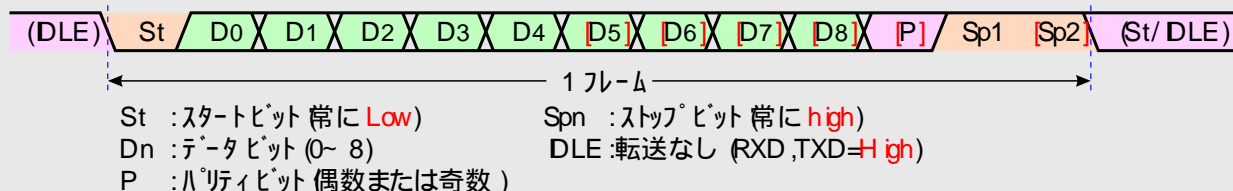
## 18.4. フレーム形式

1つのシリアルフレームは複数のデータビットと同期ビット(スタートビット、ストップビット)、任意のエラー検出用パリティビットで定義されます。USARTは有効なフレーム形式として以下の組み合わせ30種すべてを受け入れます。

- 1スタートビット
- 5, 6, 7, 8, 9ビットデータ
- 奇数または偶数パリティビット またはなし
- 1または2ストップビット

フレームは最下位データビット(LSB)が次に続くスタートビットで始まります。その後、次のデータビットが最後の最上位データビット(MSB)まで最大合計9ビット続きます。許可したなら、パリティビットがデータビットの後、ストップビットの前に挿入されます。完全なフレームが送信されると新規フレームにより直ちに後続されるか、または通信線がアイドル状態(high)に設定できます。図18-4は組み合わせ可能なフレーム形式を図解します。[ ] 付きビットは任意選択です。

図18-4.1フレームの構成



USARTにより使用されるフレーム形式はUSART制御/状態レジスタBとC(UCSRnB, UCSRnC)でデータ長選択(UCSZn2~0)ビット、パリティ選択(UPMn1,0)ビット、ストップビット選択(USBSn)ビットにより設定されます。受信部と送信部は同じ設定を使用します。これらのどのビットの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

データ長選択(UCSZn2~0)ビットはフレーム内のデータビット数を選びます。パリティ選択(UPMn1,0)ビットはパリティビットの許可と種別(奇/偶)を設定します。または2ストップビットのどちらかの選択はストップビット選択(USBSn)ビットにより行います。受信部は第2ストップビットを無視します。従ってフレームングエラー(FEn)は最初のストップビットが0(Low)の場合だけ検出されます。



## 18.4.1. パリティビットの計算

パリティビットは全データビットの排他的論理和 (Ex-OR)を行うことにより計算されます。奇数パリティが使用される場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

偶数パリティビット =  $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{ Ex-OR } D_{n-1}$   
 奇数パリティビット =  $D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{ Ex-OR } D_{n-1} \text{ Ex-OR } 1$        $n$ : データビット長

使用した場合、パリティビットはシリアルフレームの最後のデータビットと最初のストップビット間に配置されます。

## 18.5. USARTの初期化

何れかの通信が行えるのに先立ち、USARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、**ステータスレジスタの全割り込み許可 (ICR)はクリア (0)される**そして全割り込みが禁止されるべきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。**USART制御/状態レジスタ (UCSRn)の送信完了 (TXCn)フラグ**は送信部の全転送完了検査に使用でき、**受信完了 (RXCn)フラグ**は受信バッファ内の未読データ有無検査に使用できます。この目的 (次送信タイミング)にTXCフラグが使用される場合、各々の送信 (**USARTデータレジスタ (UDRn)**が書かれる前にTXCnフラグがクリア (0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でハードウェアを使用する割り込み不可 非同期動作と反定します。ボーレート (UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17 R16レジスタに格納されると反定されます。

### アセンブリ言語プログラム例

```
USART_Init:  OUT    UBRRnH,R17      ;ボーレート 設定 (上位バイト)
             OUT    UBRRnL,R16      ;ボーレート 設定 (下位バイト)
             LDI     R16, (1<<USBSn) | (3<<UCSZn0) ;フレーム形式値を取得
             OUT    UCSRnC,R16      ;フレーム形式設定 (8ビット,2ストップビット)
             LDI     R16, (1<<RXENn) | (1<<TXENn) ;送受信許可値を取得
             OUT    UCSRnB,R16      ;送受信許可
             RET                     ;呼び出し元へ復帰
```

### C言語プログラム例

```
#define FOSC 1843200 /* MCUクロック周波数 */
#define BAUD 9600 /* 目的 USARTボーレート 速度 */
#define MUBRR FOSC/16/BAUD-1 /* 目的 UBRRn値 */

void main(void)
{
    ~
    USART_Init(MUBRR); /* USART初期化 */
    ~
}

void USART_Init(unsigned int baud)
{
    UBRRnH = (unsigned char)(baud>>8); /* ボーレート 設定 (上位バイト) */
    UBRRnL = (unsigned char)baud; /* ボーレート 設定 (下位バイト) */
    UCSRnC = (1<<USBSn) | (3<<UCSZn0); /* フレーム形式設定 (8ビット,2ストップビット) */
    UCSRnB = (1<<RXENn) | (1<<TXENn); /* 送受信許可 */
}
```

注: 4頁の「コード例について」をご覧ください。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使用され、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

## 18.6. USARTのデータ送信

USART送信部はUSART制御/状態レジスタB (UCSRnB)で送信許可 (TXENn)ビットをセット(1)することにより許可されます。送信部が許可されると、TXDnビットの標準動作はUSARTにより無視され、送信部のシリアル出力としての機能を与えられます。何れかの送信を行う前に、ホーレート フレーミング形式、動作種別が一度は設定されなければなりません。同期動作が使用される場合、XCKnビットの受信クロックは無視され、送信クロックとして使用されます。

### 18.6.1. 5~ 8ビットデータフレーム送信

データ送信は送信されるべきデータを送信バッファに設定することにより開始されます。CPUはUSARTデータレジスタ(UDRn)I/O位置へ書くことにより送信バッファに設定できます。送信バッファ内のデータはシフトレジスタが新規フレームを送る準備が整ったとき、シフトレジスタへ移されます。シフトレジスタはアイドル状態(送信進行中以外)または直前のフレームの最後のストップビット送信後直ちに、新規データが設定されます。シフトレジスタが新規データを設定されると、ホーレートレジスタ(UBRRnH、UBRRnL)と倍速許可(U2Xn)ビット また動作種別によってはXCKnビットにより与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使用するとき、UDRnに書かれた上位ビットは無視されます。

次のコード例はUSART制御/状態レジスタA (UCSRnA)の送信データレジスタ空き(UDREN)フラグのホーリンクを基準とした簡単なUSART送信関数を示します。この関数を使用するであろう前に、USARTは初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例			
USART_Tx:	SBIS	UCSRnA, UDREN	送信バッファ空きでスキップ
	RJMP	USART_Tx	送信バッファ空き待機
;			
	OUT	UDRn, R16	;データ送信 送信開始)
	RET		呼び出し元へ復帰
C言語プログラム例			
void USART_Transmit(unsigned char data)			
{			
	while ( !(UCSRnA & (1<<UDREN)) );		/*送信バッファ空き待機 */
	UDRn = data;		/*データ送信 送信開始) */
}			

注: 4頁の「コード例について」をご覧ください。

この関数は送信されるべき新規データを設定する前に、UDRENの検査により送信バッファが空になるのを単純に待ちます。送信バッファ空き割り込みが使用される場合、その割り込み処理ルーチンがデータをバッファ内に書きます。

### 18.6.2. 9ビットデータフレーム送信

9ビットデータが使用される場合(UCSZn2= 0=111) データの下位8ビットがUSARTデータレジスタ(UDRn)に書かれるのに先立ち、第9ビットがUSART制御/状態レジスタB (UCSRnB)の送信データビット8(TXB8n)ビットに書かれなければなりません。次のコード例は9ビットデータを扱う送信関数を示します。アセンブリ言語での送るべきデータはR17/R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例			
USART_Tx:	SBIS	UCSRnA, UDREN	送信バッファ空きでスキップ
	RJMP	USART_Tx	送信バッファ空き待機
;			
	OUT	UCSRnB, TXB8n	第9ビットを0に仮設定
	SBRC	R17, 0	送信すべき第9ビットが0でスキップ
	SBI	UCSRnB, TXB8n	第9ビットを1に設定
	OUT	UDRn, R16	;データ送信 送信開始)
	RET		呼び出し元へ復帰
C言語プログラム例			
void USART_Transmit(unsigned int data)			
{			
	while ( !(UCSRnA & (1<<UDREN)) );		/*送信バッファ空き待機 */
	UCSRnB &= ~(1<<TXB8n);		/* TXB8nを0に仮設定 */
	if (data & 0x0100) UCSRnB  = (1<<TXB8n);		/*第9ビットをR17からTXB8nへ複写 */
	UDRn = data;		/*データ送信 送信開始) */
}			

注: これらの送信関数は一般的な機能で書かれています。UCSRnBの内容が静的 換言すると UCSRnBのTXB8nビットが初期化後に使用されるだけ ならば最適化できます。

4頁の「コード例について」をご覧ください。

第9ビットはマルチプロセッサ通信使用時のアドレスフレーム識別、また例えば同期として扱う他の規約で使用することができます。

## 18.6.3. 送信 フラグと割り込み

USART送信部には状態を示す2つのフラグ、USARTデータレジスタ空き (UDREN)と送信完了 (TXCN)があります。両フラグは割り込みを発生するために使用できます。

**USARTデータレジスタ空き (UDREN)フラグ**は送信バッファが新規データを受け取る準備ができているかどうかを示します。このビットは送信バッファが空のときセット(1)され、送信バッファがシフトレジスタに未だ移動されてしまっていない送信されるべきデータを含む時にクリア(0)されます。将来のデバイスとの共通性のため、**USART制御 状態レジスタA (UCSRnA)**に書くとき、常にこのビットに0を書いてください。

**USART制御 状態レジスタB (UCSRnB)でデータレジスタ空き割り込み許可 (UDREN)ビット**が1を書かれると、**全割り込みが許可**されていればUDRENフラグがセット(1)されている限り、USARTデータレジスタ空き割り込みが実行されます。UDRENは**USARTデータレジスタ (UDRn)**書き込みによりクリア(0)されます。割り込み駆動データ送信が使用されるとき、データレジスタ空き割り込みルーチンはUDRENをクリア(0)するために新規データをUDRnに書くか、データレジスタ空き割り込みを禁止するかのどちらかを行わなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが継続的に起こります。

**送信完了 (TXCN)フラグ**は送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信バッファに新規データが現在存在しない時にセット(1)されます。TXCNフラグは送信完了割り込みが実行されるとき、自動的にクリア(0)されるか、またはこのビット位置に1を書くことによってクリア(0)できます。TXCNフラグは送信応用プログラムが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならないRS485規格のような半二重ハーフデュプレックス通信インターフェースで有用です。

UCSRnBで**送信完了割り込み許可 (TXCN)ビット**がセット(1)され、**全割り込みが許可**されていればTXCNフラグがセット(1)になるとき、USART送信完了割り込みが実行されます。送信完了割り込みが使用されるとき、割り込み処理ルーチンはTXCNフラグをクリア(0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

## 18.6.4. パリティ発生器

パリティ発生器はシリアルフレームデータに対する**パリティビット**を計算します。パリティビットが許可されると(**UPMn1=1**)、送信部制御論理回路は送られているフレームの最終データビットと最初のストップビット間にパリティビットを挿入します。

## 18.6.5. 送信の禁止

送信部の禁止 (UCSRnBの**USART送信許可 (TXEN)ビット=0**)は進行中と保留中の送信が完了される換言すると送信シフトレジスタと送信バッファレジスタが送信されるべきデータを含まない時まで有効になりません。禁止されると送信部はもはやTXDnビットの標準ピン機能を無効にしません。

## 18.7. USARTのデータ受信

USART受信部は**USART制御 状態レジスタB (UCSRnB)で受信許可 (RXEN)ビット**に1を書くことにより許可されます。受信部が許可されるとRXDnピンの標準ピン動作はUSARTにより無視され、受信部のシリアル入力としての機能を与えられます。何かシリアル受信が行われるであろう前に、ホーレートフレーム形式、動作種別が一度は設定されなければなりません。同期動作が使用される場合、XCKnピンのクロックは転送クロックとして使用されます。

### 18.7.1. 5~ 8ビットデータフレーム受信

受信部は有効なスタートビットを検出するときにデータ受信を開始します。スタートビットに続く各ビットはホーレーまたはXCKnクロックで採取され、フレームの最初のストップビットが受信されるまで受信シフトレジスタ内へシフトされます。第2ストップビットは受信部により無視されます。最初のストップビットが受信されると換言すると、受信シフトレジスタに完全なフレームが存在すると、このシフトレジスタの内容は受信バッファ内へ移されます。受信バッファはUSARTデータレジスタ(UDRn)I/O位置を読むことにより読めます。8ビット未満のフレームを使用するとき、UDRnから読むデータの上位ビットは0で覆われます。

次のコード例は**USART制御 状態レジスタA (UCSRnA)の受信完了 (RXCN)フラグ**のホーリンクを基準とした簡単なUSART受信関数を示します。この関数が使用されるであろう前に、USARTは初期化されなければなりません。

#### アセンブリ言語プログラム例

```
USART_Rx:  SBIS      UCSRA, RXCN      受信完了でスキップ
           R JMP     USART_Rx      受信完了待機
;
           IN       R16, UDRn      受信データ取得
           RET                          呼び出し元へ復帰
```

#### C言語プログラム例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRA & (1<<RXCN)) );    /* 受信完了待機 */
    return UDRn;                        /* 受信データ取得 */
}
```

注: 4頁の「コード例について」をご覧ください。

この関数はバッファを読んで値を戻す前に、RXCNフラグの検査により受信バッファにデータが存在するのを単純に待ちます。

### 18.7.2. 9ビットデータフレーム受信

9ビットデータが使用される場合 (UCSZn2 ~ 0=111) USARTデータレジスタ(UDRn)から下位8ビットを読み取るのに先立ち、第9ビットがUSART制御/状態レジスタB(UCSRnB)の受信データビット8(RXB8n)ビットから読まなければならない。この規則はフレームエラー (FEn) オーバーランエラー (DORn) パリティエラー (UPEn) 状態フラグにも適用されます。USART制御/状態レジスタA(UCSRnA)から状態情報を読み、その後UDRnからデータを読み取ってください。UDRn I/O位置を読むことは受信FIFOバッファの状態を切り替え、その結果、FIFO内に保管されるRXB8n,FEn,DORn,UPEnビット全てが切り替わります。

次のコード例は9ビットデータと状態ビット両方を扱う簡単なUSART受信関数を示します。

アセンブリ言語プログラム例		
USART_Rx:	SBIS UCSRA, RXCn	受信完了でスキップ
	RJMP USART_Rx	受信完了待機
;		
	IN R18, UCSRA	状態フラグ取得
	IN R17, UCSRB	受信第9ビット取得
	IN R16, UDRn	受信データ取得
	ANDI R18, (1<<FEn)   (1<<DORn)   (1<<UPEn)	受信エラー検査
	BREQ USART_Rx_V	エラーなしで分岐
;		
	LDI R17, -1	エラーで-1値設定
	LDI R16, -1	;
USART_Rx_V:	LSR R17	;RXB8nビットをビット0位置へ移動
	ANDI R17, \$01	;RXB8nビットのみ有効
	RET	呼び出し元へ復帰
C言語プログラム例		
unsigned int USART_Receive(void)		
{		
unsigned char status, resh, resl;	/* 一時変数定義 */	
while ( !(UCSRA & (1<<RXCn)) );	/* 受信完了待機 */	
status = UCSRA;	/* 状態フラグ取得 */	
resh = UCSRB;	/* 受信第9ビット取得 */	
resl = UDRn;	/* 受信データ取得 */	
if (status & (1<<FEn)   (1<<DORn)   (1<<UPEn)) return -1;	/* エラーで-1値設定/復帰 */	
resh = (resh>>1) & 0x01;	/* RXB8nビットのみ有効最下位へ */	
return ((resh<<8)   resl);	/* 結果9ビットデータ取得/復帰 */	
}		

注: 4頁の「コード例について」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oレジスタをレジスタファイルに読みます。これは読まれたバッファ位置が可能な限り早く新規データを自由に受け入れられるため、最適な受信バッファ利用になります。

### 18.7.3. 受信完了フラグと割り込み

USART受信部には受信部の状態を示す1つのフラグがあります。

**USART受信完了 (RXCn)フラグ**は未読データが受信バッファに存在するかを示します。このフラグは受信バッファに未読データが存在するときに1で、受信バッファが空の換言すると何も未読データを含まないときに0です。受信部が禁止される場合 (RXENn=0) 受信バッファが破棄され、その結果としてRXCnフラグは0になります。

**USART制御/状態レジスタB(UCSRnB)でUSART受信完了割り込み許可 (RXCEn)ビット**がセット(1)されると、**全割り込みが許可**されていればRXCnフラグがセット(1)されている限りUSART受信完了割り込みが実行されます。割り込み駆動データ受信が使用されるとき、受信完了割り込みルーチンはRXCnフラグをクリア(0)するためにUSARTデータレジスタ(UDRn)から受信したデータを読み取らなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが継続的に起きます。



## 187.4.受信エラーフラグ

USART受信にはフレーミングエラー (FEn)、データオーバランエラー (DORn)、パリティエラー (UPEn)の3つのエラーフラグがあります。これら全ては **USART制御 状態レジスタ (UCSRnA)** を読むことでアクセスできます。エラーフラグに対する共通点はエラー状態を示しているフレームと共に受信バッファに配置されることです。エラーフラグがバッファされるため、**USARTデータレジスタ (UDRn)** I/O位置を読むことがバッファ読み出し位置を切り替えるので、UCSRnAは受信バッファ(UDRn)の前に読まなければならないかもしれません。エラーフラグに対するその他の共通点はソフトウェアがこのフラグ位置へ書き込みを行うことにより変更できないことです。しかし、将来のUSART機能実装の上位互換性のため、UCSRnAが書かれるとき、全てのフラグは0に設定されなければならないかもしれません。エラーフラグはどれも割り込みを生成できません。

**フレーミングエラー (FEn)フラグ**は受信バッファに格納された次に読み込み可能なフレームの第1ストップビットの状態を示します。FEnフラグはストップビットが正しく (High)として続いたときに0で、ストップビットが不正 (Low)だったときにFEnフラグは1です。このビットは同期外れ状態の検出、フレーム状態検出、規約での操作に使用できます。受信部が最初、第1以外の全ストップビットを無視するため、FEnフラグは **USART制御 状態レジスタC (UCSRnC) のストップビット選択 (USBSn)ビット**設定により影響を及ぼされません。将来のデバイスとの共通性のため、UCSRnAに書くとき、常にこのビットを0に設定してください。

**データオーバランエラー (DORn)フラグ**は受信部バッファ一杯状態のためのデータ消失を示します。データオーバランは受信バッファ(2フレーム)が一杯で、次の新規フレームデータが受信シフトレジスタで待っており、更に次の新規スタートビットが検出されるときに起きます。DORnフラグがセット(1)ならば、最後にUDRnから読んだフレームと次にUDRnから読むフレーム間で1つ以上のシリアルフレームが失われています。将来のデバイスとの共通性のため、UCSRnAに書くとき、常にこのビットに0を書いてください。DORnフラグは受信されたデータがシフトレジスタから受信バッファへ正常に移動されたときにクリア(0)されます。

**パリティエラー (UPEn)フラグ**は受信バッファ内の次のフレームが受信した時にパリティエラーを持っていたことを示します。パリティ検査が許可されていない場合、UPEnフラグは常に0が読めます。将来のデバイスとの共通性のため、UCSRnAに書くとき、常にこのビットを0に設定してください。より多くの詳細については113頁の「パリティビットの計算」と次の「パリティ検査器」をご覧ください。

## 187.5.パリティ検査器

パリティ検査器はパリティ種別上位ビット(**UPMn1**)がセット(1)されると活性(有効)になります。実行されるべきパリティ検査の形式(偶数または奇数)は**UPMn0ビット**によって選択されます。許可されると、パリティ検査器は到着フレーム内のデータビットのパリティを計算し、その結果と受信シリアルフレーム内のパリティビットを比較します。検査の結果は受信データストップビットと共に受信バッファに格納されます。その後パリティエラー (UPEn)フラグはフレームにパリティエラーがあるかを検査するため、ソフトウェアにより読むことができます。

UPEnフラグは受信バッファから読まれるであろう次のフレームが受信した時にパリティエラーを持ち、その時点でパリティ検査が許可されていたUPMn1=1場合にセット(1)されます。このビットはUSARTデータレジスタ(UDRn)が読まれるまで有効です。

## 187.6.受信の禁止

送信部と対照的に、受信部の禁止は即時です。従って受信進行中のデータは失われます。禁止されると換言すると **USART制御 状態レジスタB (UCSRnB) のUSART受信許可 (RXENn)ビット**が0に設定、受信部はもはやRXDnポートピンの標準機能を無効にしません。受信FIFOバッファは受信部が禁止されると破棄されます。バッファ内の残データは失われます。

## 187.7.受信バッファの破棄

受信FIFOバッファは受信が禁止されると破棄、換言すると、バッファは内容を空にされます。未読データは失われます。例えばエラー状態のため、通常動作中にバッファが破棄されなければならない場合、**USART制御 状態レジスタA (UCSRnA) の受信完了 (RXCn)フラグ**がクリア(0)されるまでUSARTデータレジスタ(UDRn) I/O位置を読んでください。次のコード例は受信バッファの破棄方法を示します。

### アセンブリ言語プログラム例

```
USART_Flush: SBIS    UCSRA, RXCn          ;未読データありでスキップ
              RET                               ;未読データなしで復帰
;
              IN      R16, UDRn             ;データ受信
              RJMP    USART_Flush           ;未読データなしまで継続
```

### C言語プログラム例

```
void USART_Flush(void)
{
    unsigned char dummy;                /*一時変数定義 */
    while ( !(UCSRA & (1<<RXCn)) ) dummy=UDRn; /*未読データ読み捨て */
}
```

注: 1頁の「コード例について」をご覧ください。

## 18.8.非同期受信

USARTは非同期データ受信を扱うためのクロック補正とデータ補正部を含みます。クロック補正論理回路は内部的に生成したホーレートクロックをRXDnピンに到着する非同期シリアルフレームに同期化するために使用されます。データ補正論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部のノイズ耐性を改善します。非同期受信動作範囲は、内部ホーレートクロック精度、到着フレーム速度、フレーム長のビット数に依存します。

### 18.8.1.非同期クロック補正

クロック補正論理回路は内部クロックを到着シリアルフレームに同期化します。図18-5は到着フレームのスタートビットの採取手順を図解します。採取速度は標準動作でホーレートの16倍、倍速動作で8倍です。赤帯 **訳注** 原文は水平矢印 )は採取処理のための同期変量を図示します。倍速動作 ( $U2Xn=1$ )を使用するときの広い変量時間に注意してください。採取番号dはRXDn信号がアイドル換言すると、通信の動きなしのときにに行われる採取です。

図 18-5. スタートビットの採取



クロック補正論理回路がRXDn信号線でHigh(アイドル)からLow開始への遷移を検出すると、スタートビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後クロック補正回路は有効なスタートビットが受信されるかを決定するため、標準動作に対して採取8,9,10、倍速動作に対して採取4,5,6図の赤数字 **訳注** 原文は箱枠内 )で示された採取番号を使用します。これら3回の2回以上の採取が論理Highレベルを持つ場合(多数決)このスタートビットはスパイクノイズとして捨てられ、受信部は次のHighからLow遷移を探し始めます。けれども有効なスタートビットが検出されると、クロック補正論理回路は同期化され、データ補正が始められます。この同期化手順は各スタートビット毎に繰り返されます。

### 18.8.2.非同期データ補正

受信部クロックがスタートビットに同期化されるとデータ補正が始められます。データ補正部は標準動作で16段、倍速動作で8段の順列回路を使用します。図18-6はデータビットとパリティビットの採取を示します。各採取は補正部の各段に等しい番号を与えられます。

図 18-6. データビットとパリティビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取ることで行われます。この中央の3採取は図上の赤文字 **訳注** 原文は箱枠内 )の採取番号により強調されます。多数決の手順は次のように行われます。2または全3採取がHighレベルならば受信したビットは論理1が記録されます。2または全3採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDnピンの到着信号に対して低域通過濾波器(ローパスフィルタ)のように働きます。この補正手順はその後完全にフレームが受信されるまで繰り返されます。これには最初の(第1)ストップビットを含みます。受信部がフレームの最初のストップビットだけを使用することに注意してください。

図18-7はストップビットの採取と次のスタートビット開始の可能性を示します。

図 18-7. ストップビットの採取と次のスタートビットの採取



フレーム内の他のビットに対して行われるのと同じ多数決がストップビットにも行われます。ストップビットが論理0値を持つと記録されると **フレーミングエラー (FEn)フラグ**がセット(1)されます。

新規フレームのスタートビットを示すHighからLowへの遷移は多数決に使用した最後のビット後に実現できます。標準動作での最初のLowレベル採取は図18-7のA点で有ります。倍速動作での最初のLowレベルはB点に遅れます。C点は完全な長さのストップビットの終点を示します。この早いスタートビット検出は受信部の動作範囲に影響します。

### 18.3.3. 非同期での動作範囲

受信部の動作範囲は受信したビットレートと内部的に生成したホーレー間の不一致に依存します。送信部が速すぎるまたは遅すぎるビットレートでフレームを送出したとき、内部的に発生した受信部のホーレーが類似した表 18-2 参照 基準周波数を持たない場合、受信部はスタートビットでフレームを同期できません。

次式は到着データレートと内部受信部ホーレー間の比率計算に使用できます。

$$R_{slow} = \frac{(D+1)S}{S-1+D \times S+S_F} \quad R_{fast} = \frac{(D+2)S}{(D+1)S+S_M}$$

- D : データとパリティのビット数 (5~10)  
 S : ビットあたりの採取数 (標準速=16 倍速=8)  
 S<sub>F</sub> : 多数決に使用する最初の採取番号 (標準速=8 倍速=4)  
 S<sub>M</sub> : 多数決に使用する中心の採取番号 (標準速=9 倍速=5)  
 R<sub>slow</sub> : は受信側ホーレーに対して許容できる最低受信ビットレートの比率です。  
 R<sub>fast</sub> : は受信側ホーレーに対して許容できる最高受信ビットレートの比率です。

表 18-2 は許容できる最大受信部ホーレー誤差一覧です。標準速動作により高いホーレー変動許容能力があることに注目してください。

表 18-2. 標準速と倍速での受信部ホーレー推奨最大許容誤差

D	標準速動作 (U2Xn=0)				倍速動作 (U2Xn=1)			
	R <sub>slow</sub> (%)	R <sub>fast</sub> (%)	総合許容誤差 (%)	推奨許容誤差 (%)	R <sub>slow</sub> (%)	R <sub>fast</sub> (%)	総合許容誤差 (%)	推奨許容誤差 (%)
5	93.20	106.67	-6.80~ +6.67	± 3.0	94.12	105.66	-5.88~ +5.66	± 2.5
6	94.12	105.79	-5.88~ +5.79	± 2.5	94.92	104.92	-5.08~ +4.92	± 2.0
7	94.81	105.11	-5.19~ +5.11	± 2.0	95.52	104.35	-4.48~ +4.35	± 1.5
8	95.36	104.58	-4.54~ +4.58	± 2.0	96.00	103.90	-4.00~ +3.90	± 1.5
9	95.81	104.14	-4.19~ +4.14	± 1.5	96.39	103.53	-3.61~ +3.53	± 1.5
10	96.17	103.78	-3.83~ +3.78	± 1.5	96.70	103.23	-3.30~ +3.23	± 1.0

注 : D はデータビット数とパリティビットの合計ビット数です。

訳注 ) 原書は表 18-2 に標準速、表 18-3 に倍速を記載していますが、比較が容易なように表 18-2 として纏めました。

受信部ホーレーの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定のもとで作られました。

受信部ホーレー誤差に対して2つの起こり得る原因があります。受信部のシステムクロック(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。システムクロックを生成するためにクリスタル発振子を使用するときは、ほとんど問題ありませんが、(セラミック)振動子でのシステムクロックは振動子偏差に依存して2つを越えて異なるかもしれません。2つ目の誤り原因はより制御可能です。ホーレート発振器は欲したホーレーを得るためにシステム周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRRn値が使用できます。

## 18.9. マルチプロセッサ通信動作

USART制御/状態レジスタ(UCSRnA)でのマルチプロセッサ通信動作(MPCMnビット)のセット(1)はUSART受信部により受信された到着フレームの選別機能を許可します。アドレス情報を含まないフレームは無視され、受信バッファに格納されません。これは同一シリアルバス経路で通信する複数MCUのシステムで、CPUにより扱われなければならない到着フレーム数を効果的に減らします。送信部はMPCMnビット設定により影響されませんが、マルチプロセッサ通信動作を利用するシステムの一部のときは、違うように使用されなければなりません。

受信部が5~8ビットを含むフレームを受信するために設定されるならば、最初のストップビットはデータまたはアドレス情報を含むフレームかどうかを示します。受信部が9ビットのフレームに設定されるならば、USART制御/状態レジスタB(UCSRnB)の受信第9ビット(RXB8nビット)がアドレスとデータのフレームを識別するために使用されます。フレーム種別、最初のストップまたは第9ビットが1のとき、フレームはアドレスを含みます。フレーム種別ビットが0のとき、そのフレームはデータフレームです。

マルチプロセッサ通信動作はマスタMCUからのデータを多くのスレーブMCUで受信することを可能にします。これはどのMCUがアドレス指定されるかを検出するため、最初にアドレスフレームを調べることにより行われます。特定のスレーブMCUがアドレス指定されたならば、そのMCUは後続するデータフレームを通常のように受信し、一方その他のスレーブMCUは他のアドレスフレームが受信されるまで受信したフレームを無視します。

### 18.9.1. マルチプロセッサ通信の使用法

マスタMCUとして動作するMCUは9ビットデータフレーム形式(UCSZn=7)を使用できます。UCSRnBの送信第9ビット(TXB8nビット)はアドレスフレーム時にセット(1)またはデータフレーム時にクリア(0)されて送信されなければなりません。この場合、スレーブMCUは9ビットデータフレーム形式の使用に設定されなければなりません。

マルチプロセッサ通信動作でデータを交換するために次の手順が使用されるべきです。

すべてのスレーブMCUはマルチプロセッサ通信動作です(UCSRnAのマルチプロセッサ通信動作(MPCMnビット)はセット(1))

マスタMCUはアドレスフレームを送り、全てのスレーブがこのフレームを受信し、これを読みます。スレーブCPUでは通常のようにUCSRnAで受信完了(RXCnフラグ)がセット(1)されます。

各スレーブMCUはUSARTデータレジスタ(UDRn)を読み、選択されたかを判定します。選択された場合はUCSRnAのMPCMnビットをクリア(0)し、そうでなければ非選択の場合はMPCMnビット設定を保ち、次のアドレスフレームを待ちます。

アドレス指定されたMCUは新規アドレスフレームが受信されるまで全データフレームを受信します。MPCMnビットがまだセット(1)されている他のスレーブCPUは、このデータフレームを無視します。

最後のデータフレームがアドレス指定されたMCUにより受信されると、アドレス指定されたMCUはMPCMnビットをセット(1)し、マスタからの新規アドレスフレームを待ちます。以降、手順は からを繰り返します。

5~8ビットデータフレーム形式のどの使用も可能ですが、受信側が使用するnとn+1ビットデータフレーム形式間を切り替えなければならないため非実用的です。これは送信側と受信側が同じデータビット長設定を使用するため、全二重(フルデュプレックス)動作を困難にします。5~8ビットデータフレームが使用される場合、最初のストップビットがフレーム種別を示すために使用されるので、送信部は2ストップビット使用(USBSn=1)に設定されなければなりません。

MPCMnビットをセット(1)またはクリア(0)するために読み/修正/書き(リド/モディファイ/ライト)命令(SBとCBI)を使用してはいけません。MPCMnビットは送信完了(TXCnフラグ)と同じI/O位置を共用しており、SBまたはCB命令を使用すると偶然にクリア(0)されるかもしれません。

**訳注)** ATmega48/88/168ではUCSRnAのI/OアドレスがSB、CB命令適用範囲外のため、上記記述は不適切です。但し、命令の組み合わせにより同様処理を行う場合に対して、上記注意の本意は適切/有効です。



## 18.10. USART用レジスタ

### 18.10.1. USARTデータレジスタ (USART I/O Data Register) UDRn

ビット (\$C6)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDRn
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

同じI/Oアドレスを共用するUSART受信データハッファレジスタとUSART送信データハッファレジスタは、USARTデータレジスタまたはUDRnとして引用しました。送信データハッファレジスタ(TXB)はUDRnレジスタ位置に書かれるデータの転送先です。UDRnレジスタ位置読み込みは受信データハッファレジスタ(RXB)の内容を返します。

5~ 7ビットデータでの上位未使用ビットは送信部により無視され、受信部により0に設定されます。

送信ハッファはUCSRnAで送信データレジスタ空き(UDREN)フラグがセット(1)される時だけ書けます。UDRENフラグがセット(1)されない時にUDRnへ書かれたデータはUSART送信部により無視されます。送信部が許可されて送信ハッファにデータが書かれると、送信部は送信シフトレジスタが空きの時にそのデータを送信シフトレジスタへ設定・移動します。その後データはTXDnピンでシリアル送信されます。

受信ハッファは2段のFIFOから成ります。このFIFOは受信ハッファがアクセスされる毎にその状態を切り替えます。この受信ハッファの動きのため、この位置に読み・修正・書き(リード・モディファイライト命令(SBとCBI)を使用できません。ビット検査(SBCとSBS)命令もFIFOの状態を換えるので、これらの命令を使用するときは注意してください。(※注 適用範囲外命令のため、この注意は不適切です。)

### 18.10.2. USART制御/状態レジスタA (USART Control and Status Register A) UCSRnA

ビット (\$C0)	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREN	FEn	DORn	UPEn	U2Xn	MPCMn	UCSRnA
Read/W rite	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

#### ビット7 - RXCn :USART受信完了フラグ (USART Receive Complete)

このフラグは受信ハッファに未読データがあるときにセット(1)され、受信ハッファが空の換言すると、どんな未読データ含まない時にクリア(0)されます。受信部が禁止されると、受信ハッファが破棄され、その結果RXCnフラグは0になります。RXCnフラグは受信完了割り込みを発生するために使用できます(USART制御/状態レジスタB(UCSRnB)の受信完了割り込み許可(RXCEn)ビットをご覧ください)。

#### ビット6 - TXCn :USART送信完了フラグ (USART Transmit Complete)

このフラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信ハッファ(UDRn)に新規データが現存しない時にセット(1)されます。TXCnフラグは送信完了割り込みが実行されるとき、自動的にクリア(0)されるか、またはこのビット位置に1を書くことによってクリア(0)できます。TXCnフラグは送信完了割り込みを発生できます(UCSRnBの送信完了割り込み許可(TXCEn)ビットをご覧ください)。

#### ビット5 - UDREN :USART送信データレジスタ空きフラグ (USART Data Register Empty)

UDRENフラグは送信ハッファ(UDRn)が新規データを受け取る準備ができていないかどうかを示します。UDRENが1ならばハッファは空で、従って書かれる準備ができています。UDRENフラグは送信ハッファが空き割り込みを発生できます(UCSRnBの送信データレジスタ空き割り込み許可(UDREN)ビットをご覧ください) 送信部が準備ができていることを示すため、セット後のUDRENはセット(1)です。

#### ビット4 - FEn :フレーミングエラーフラグ (Framing Error)

受信ハッファの次データが受信した時にフレーミングエラー換言すると、受信ハッファで次データの最初の(第1)ストップビットがLowだった場合、このビットはセット(1)されます。このフラグは受信ハッファ(UDRn)が読まれるまで有効です。受信したデータのストップビットがHighのとき、FEnフラグは0です。UCSRnAに書くとき、常にこのビットを0に設定してください。

#### ビット3 - DORn :データオーバerrunフラグ (Data OverRun)

このビットはオーバerrun状態が検出されるとセット(1)されます。受信ハッファ(2フレーム分)が一杯で、新規フレームが受信シフトレジスタ内で待機中に新規スタートビットが検出されるとデータオーバerrunが起こります。UCSRnAに書くとき、常にこのビットを0に設定してください。

#### ビット2 - UPEn :パリティエラーフラグ (Parity Error)

受信ハッファの次データが受信した時にパリティエラーがあり、その時点でパリティ検査が許可されていれば(UPEM=1) このビットはセット(1)されます。このフラグは受信ハッファ(UDRn)が読まれるまで有効です。UCSRnAに書くとき、常にこのビットを0に設定してください。

#### ビット1 - U2Xn :倍速許可 (Double the USART Transmission Speed)

このビットは非同期動作でだけ有効です。同期動作を使用するとき、このビットに0を書いてください。

このビットに1を書くことはホルレー分周器の分周値を16から8に減らして事実上、非同期通信の転送速度を倍にします。

#### ビット0 - MPCMn :マルチプロセッサ通信動作 (Multi-Processor Communication Mode)

このビットはマルチプロセッサ通信動作を許可します。MPCMnビットが1を書かれると、USART受信部により受信したアドレス情報を含まない全到着フレームは無視されます。送信部はMPCMn設定に影響されません。より多くの詳細情報については120頁の「マルチプロセッサ通信動作」をご覧ください。

### 18.10.3. USART制御 状態レジスタB (USART Control and Status Register B) UCSRnB

ビット (\$C1)	7	6	5	4	3	2	1	0	
	RXC En	TXC En	UDR En	RXENn	TXENn	UCSZn2	RXB8n	TXB8n	UCSRnB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - RXC En :受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットへの書き込みはUSART制御 状態レジスタA (UCSRnA) の受信完了 (RXCn) フラグでの割り込みを許可します。USART受信完了割り込みはRXC Enビットが1を書かれ、ステータスレジスタ (SREG) で全割り込み許可 (IIFLAG) が1を書かれ、UCSRnAでRXCnフラグがセット(1)される場合だけ生成されます。

ビット6 - TXC En :送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットへの書き込みはUSART制御 状態レジスタA (UCSRnA) の送信完了 (TXCn) フラグでの割り込みを許可します。USART送信完了割り込みはTXC Enビットが1を書かれ、SREGで全割り込み許可 (IIFLAG) が1を書かれ、UCSRnAでTXCnフラグがセット(1)される場合だけ生成されます。

ビット5 - UDR En :送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットへの書き込みはUSART制御 状態レジスタA (UCSRnA) の送信データレジスタ空き (UDRn) フラグでの割り込みを許可します。USART送信データレジスタ空き割り込みはUDR Enビットが1を書かれ、SREGで全割り込み許可 (IIFLAG) が1を書かれ、UCSRnAでUDRnフラグがセット(1)される場合だけ生成されます。

ビット4 - RXENn :受信許可 (Receiver Enable)

このビットへの書き込みはUSART受信部を許可します。受信部は許可されるとRXDnポートの標準ホップ動作を無効にします。受信の禁止は受信ハーフを破棄し、フレーミングエラー (FEn)、オーバラン (OORn)、パリティエラー (UPEn) のフラグを無効にします。

ビット3 - TXENn :送信許可 (Transmitter Enable)

このビットへの書き込みはUSART送信部を許可します。送信部は許可されるとTXDnポートの標準ホップ動作を無効にします。送信の禁止 (TXENn=0書き込み) は、進行中と保留中の送信が完了される換言すると送信シフトレジスタと送信ハーフレジスタが送信されるべきデータを含まないまで有効になりません。禁止したとき、送信部はもはやTXDnポートの標準I/O機能を無効にしません。

ビット2 - UCSZn2 :データビット長選択2 (Character Size)

USART制御 状態レジスタC (UCSRnC) のUCSZn1, 0ビットと組み合わせたUCSZn2ビットは、送受信部で使用するフレームのデータビット数 (Character size) を設定します。

ビット1 - RXB8n :受信データビット8 (Receive Data Bit 8)

RXB8nは9ビットデータでのシリアルフレーム操作時に受信したフレームの第9データビット(ビット8)です。UDRnから下位ビットを読む前に読んでください。

ビット0 - TXB8n :送信データビット8 (Transmit Data Bit 8)

TXB8nは9ビットデータでのシリアルフレーム操作時に送信されるべきデータの第9データビット(ビット8)です。UDRnへ下位ビットを書く前に書いてください。

### 18.10.4. USART制御 状態レジスタC (USART Control and Status Register C) UCSRnC

ビット (\$C2)	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

ビット7:6 - UMSELn1, 0 :USART動作選択 (USART Mode Select)

このビットは表 18-4で示されるようにUSART動作種別を選びます。

表 18-4. USART動作選択

UMSELn1	UMSELn0	動作種別
0	0	非同期動作
	1	同期動作
1	0	予約
	1	マスタSPI (MSPM) (注)

注 : マスタSP動作 (MSPM) 操作の完全な記述については12頁の「USARTのSP動作」をご覧ください。

## ビット54 - UPMn1p : パリティ選択 (Parity Mode)

これらのビットはパリティの発生と検査の許可と種別を設定します。許可した場合、送信部は各フレーム内での送信したデータビットのパリティを自動的に生成して送出します。受信部は到着データからパリティ値を生成し、UPMn設定と比較します。不一致が検出されると、USART 制御 / 状態レジスタ (UCSRnA) でパリティエラー (UPEN) フラグがセット(1)されます。

表 18-5. パリティ選択

UPMn1	UPMn0	パリティ動作
0	0	禁止
0	1	予約
1	0	偶数パリティ許可
1	1	奇数パリティ許可

## ビット3 - USBSn : ストップビット選択 (Stop Bit Select)

このビットは送信部により挿入されるストップビット数を選びます。受信部はこの設定を無視します (訳補 常に第1ストップビットだけが有効)

表 18-6. ストップビット選択

USBSn	ストップビット数
0	1ビット
1	2ビット

## ビット2,1 - UCSZn1p : データビット長選択 (Character Size)

USART 制御 / 状態レジスタ B (UCSRnB) の UCSZn2ビットと組み合わせた UCSZn1,0ビットは、送受信部で使用するフレームのデータビット数 (Character size) を設定します。

表 18-7. データビット長選択

UCSZn2,1p	000	001	010	011	100	101	110	111
データビット数	5ビット	6ビット	7ビット	8ビット	予約	予約	予約	9ビット

## ビット0 - UCPOLn : クロック極性選択 (Clock Polarity)

このビットは同期動作に対してだけ使用されます。非同期動作が使用されるとき、このビットに0を書き込んでください。UCPOLnビットは同期クロック (XCKn) データ出力変更、データ入力採取間の関係を設定します。

表 18-8. XCKクロック極性選択

UCPOLn	送信データ変更 (TXDn <sup>レ</sup> 出力)	受信データ採取 (RXDn <sup>レ</sup> 入力)
0	XCKnの立ち上りエッジ	XCKnの立ち下りエッジ
1	XCKnの立ち下りエッジ	XCKnの立ち上りエッジ

## 18.10.5. USARTボーレートレジスタ (USART Baud Rate Register) UBRRnH, UBRRnL (UBRRn)

ビット (\$C5)	15	14	13	12	11	10	9	8	UBRRnH
	-	-	-	-	UBRR11	UBRR10	UBRR9	UBRR8	
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$C4)	7	6	5	4	3	2	1	0	UBRRnL
	UBRR7	UBRR6	UBRR5	UBRR4	UBRR3	UBRR2	UBRR1	UBRR0	
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## ビット15~ 12 - Res : 予約 (Reserved Bits)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性のため、UBRRnHが書かれるとき、これらのビットは0が書かれなければなりません。

## ビット11~ 0 - UBRR11~ 0 : ボーレート分周値 (USART Baud Rate Register)

USARTのボーレートを含む12ビットレジスタです。UBRRnHがUSARTボーレートの上位4ビットを含み、UBRRnLが下位8ビットを含みます。ボーレートが変更されると、送受信部で進行中の転送は不正にされます。UBRRnL書き込みはボーレート前置分周器の更新を直ちに始めます。

## 18.11. ホール設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も共通して使用される非同期動作のホールは、表 18-9のUBRRn設定を使用することによって生成できます。目的のホールに対して設定誤差 1.5%(標準速:U2X=0) 1.0%(倍速:U2X=1)以上を赤字で示します(訳注 原書の本文は0.5%未満を太字)より高い誤差率でも受け入れ可能ですが、特に長いシリアルフレーム(119頁の非同期での動作範囲)参照で誤差率が高いと、受信部はノイズ耐性が低下します。誤差率は次式を使用して計算されます。

$$\text{誤差率 } \% = \left( \frac{\text{UBRRn設定ホールレート最近似値}}{\text{目的のホールレート}} - 1 \right) \times 100\%$$

表 18-9. Xtal ホール 対 UBRRnH UBRRnL設定 (UBRR=UBRRnH UBRRnL)

ホールレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ホールレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %	UBRR	誤差 %
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注:最高速はUBRR=0 誤差 =0.0%です。以降の周波数は次頁へ続く。

(訳注) 原書では頁割された表毎に表番号 18-9~ 12となっていますが、共通性から纏めて表 18-9としました。  
原書に対して数種の発振周波数を追加しました。



表 18-9 続き).Xtal ホール対 UBRRnH/UBRRnL設定 (UBRR=UBRRnH/UBRRnL)

ホールレート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ホールレート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ホールレート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注:最高速はUBRR=0 誤差 =0.0%です。

## 19. USARTでのSP動作

### 19.1. 特徴

全二重動作、3線同期データ転送  
 マス動作  
 4つ全てのSP転送形式 動作種別 0,1,2,3支援  
 LSBまたはMSB先行データ転送 (データ順設定)  
 順列動作 (ダブルハフフ)  
 高分解能ホーレー発振器  
 高速動作 ( $f_{XCKmax} = f_{CK}/2$ )  
 柔軟な割り込み生成

### 19.2. 概要

USART (Universal Synchronous and Asynchronous Receiver and Transmitter)はマスSP互換動作に設定できます。**USART動作選択 (UMSELn1,0)ビットの1**設定はマスSP (MSPM) 論理回路でのUSARTを許可します。この動作種別でのSP (R) ス制御論理回路はUSART資源を直接制御します。これらの資源には送受信のシフトレジスタとハフフス ホーレー発振器を含みます。ハフフス発生 検査論理回路、データ/クロック補正論理回路、送受信制御論理回路は禁止されます。USART送受信論理回路は普通のSP転送制御論理回路に置き換えられます。けれどもピン制御論理回路と割り込み生成論理回路は両動作種別で全く同じです。

I/Oレジスタ位置は両動作種別で同じです。けれどもMSPM使用時、制御レジスタの一部の機能が変わります。

### 19.3. クロック生成

クロック生成論理回路は送受信部用基準クロックを生成します。USARTのMSPM動作種別については内部クロック生成 換言するとマス動作 だけが支援されます。従って、USARTでのMSPMを正しく動作するために、XCKnピンに対するデータ方向レジスタ (DDR\_XCKn)は1換言すると出力 に設定されなければなりません。なるべくならDDR\_XCKnはUSARTでのMSPMが許可 換言するとTXENnとRXENnが1に設定される前に設定されるべきです。

MSPM動作で使用される内部クロック生成はUSART同期マス動作と同一です。従ってホーレー や UBRRn設定は同じ式を使用して計算できます。表 19-1をご覧ください。

表 19-1. ホーレートレジスタ (UBRRn) 値計算式

動作種別	ホーレー計算式	UBRRn値計算式
同期 マス動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRRn + 1)}$	$UBRRn = \frac{f_{OSC}}{2 \times BAUD} - 1$

注：ホーレーは転送速度 (ビット/秒) で定義されます。

BAUD : ホーレート (bps)

UBRRn : UBRRnHとUBRRnLレジスタ値 (0~ 4095)

fOSC : システム発振器 クロック周波数

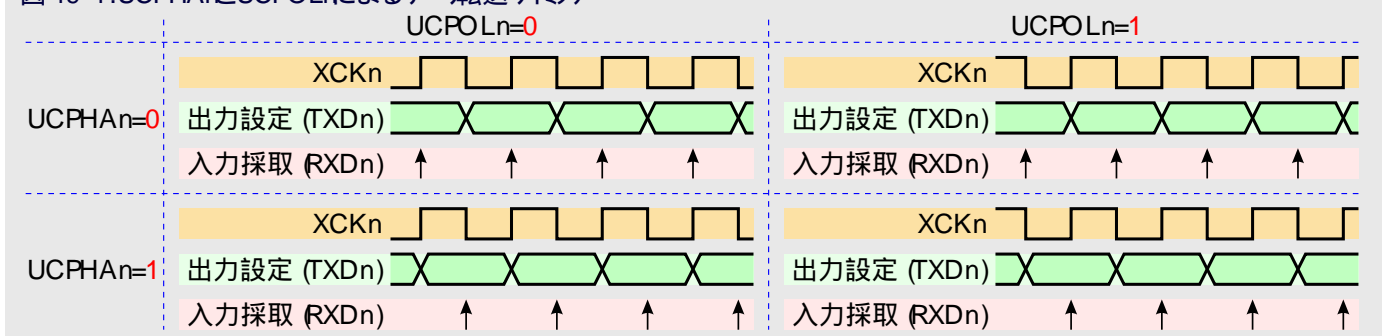
### 19.4. データ転送形式

シリアルデータに関しては**クロック位相 (UCPHAn)**と**クロック極性 (UCPOLn)**制御ビットにより決定されるXCKn (SCK) 位相と極性で4つの組み合わせがあります。このデータ転送タイミング図は図 19-1で示されます。データビットは安定のためデータ信号に対して十分な時間を保証するXCKn信号の反対エッジでシフト出力と入力ラッチが行われます。UCPLnとUCPHAnの機能は表 19-2で要約されます。これらビットのどの変更も送受信両方に対して実行中の通信を不正とすることに注意してください。

表 19-2. UCPLnUCPHAn機能動作

SP動作種別番号	UCPOLn	UCPHAn	XCKn (SCK) 先行エッジ	XCKn (SCK) 後行エッジ
0	0	0	入力採取 立ち上りエッジ	出力設定 立ち下りエッジ
1	0	1	出力設定 立ち上りエッジ	入力採取 立ち下りエッジ
2	1	0	入力採取 立ち下りエッジ	出力設定 立ち上りエッジ
3	1	1	出力設定 立ち下りエッジ	入力採取 立ち上りエッジ

図 19-1. UCPHAnとUCPOLnによるデータ転送タイミング



## 19.5. フレーム形式

MSPMのシリアルフレームは8ビット/1フレームに固定されます。USARTでのMSPM動作は2つの有効なフレーム形式を持ちます。

MSB先行 8ビットデータ

LSB先行 8ビットデータ

フレームは最下位 (LSBまたは最上位 (MSB) のデータビットで始まります。その後次のデータビットが最後の最上位 (MSBまたは最下位 (LSB) データビットまで合計 8ビット続きます。完全なフレームが送信されると、新規フレームが直ちに後続するか、または通信線がアイドル状態 (high) に設定されるでしょう。

USART制御/状態レジスタ (UCSRn) のデータ順選択 (UDORDn) ビットはUSARTでのMSPMによって使用されるフレーム形式を設定します。送受信部は同じ設定を使用します。これらビットの何れかの設定変更が送受信部両方に対して実行中の通信を不正にすることに注意してください。

16ビットデータ通信はUDRnに2バイトデータを書くことによって達せられます。その後のUSART送信完了割り込み (TXCn) は、この16ビット値がシフト出力されてしまったことを示します。

### 19.5.1. USART MSPM初期化

USARTでのMSPM動作は何れかの通信が行えるのに先立ち、初期化されなければなりません。標準的な初期化手順は使用方法に依存する波特率設定、マスタ動作操作 (DDR\_XCKn) の1設定、フレーム形式設定、送受信部許可から成ります。送信部だけが独立して操作できます。割り込み駆動USART操作に関して初期化を行うとき、ステータスレジスタの全割り込み許可 (IC) はクリア (0) される (そして全割り込みが禁止されるべきです)。

注: XCKn出力の初期化を直ちに保証するため、波特率レジスタ (UBRRn) は送信部が許可されるときに0でなければなりません。標準動作のUSART操作と逆に、UBRRnは送信部が許可され、最初の送信が開始される前に、希望する値を書かれなければなりません。この初期化がリセット後直ちに実行されるなら、UBRRnが0にリセットされているため、送信部許可前にUBRRnを0に設定することは必要ありません。

波特率データ転送形式またはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA (UCSRnA) の送信完了 (TXCn) フラグは送信部の全転送完了検査に使用でき、受信完了 (RXCn) フラグは受信バッファ内の未読データの有無検査に使用できます。この目的 (次送信タイミング) にTXCnフラグが使用される場合、各々の送信 (USARTデータレジスタUDRn) が書かれる前にTXCnフラグがクリア (0) されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例はハードウェアを使用する割り込み不許可と仮定します。波特率 (UBRRn) 値は関数の引数として与えられます。アセンブリ言語での波特率引数はR17/R16レジスタに格納されると仮定されます。

#### アセンブリ言語プログラム例

```
USART_Init: CLR    R18                      ;0値取得
             OUT    UBRRnH,R18             ;波特率 設定 (上位バイト)=0
             OUT    UBRRnL,R18             ;波特率 設定 (下位バイト)=0 (クロック停止)
             SBI     XCKn_DDR,XCKn         ;XCKnポートピン出力設定
             LDI     R18,(1<<UMSELn1)|(1<<UMSELn0)|(0<<UCPHA_n)|(0<<UCPOLn)
                                     ;動作種別値を取得
             OUT     UCSRnC,R18            ;MSPMデータ種別 設定
             LDI     R18,(1<<RXEN_n)|(1<<TXEN_n)
                                     ;送受信許可値を取得
             OUT     UCSRnB,R18            ;送受信許可
             OUT     UBRRnH,R17            ;波特率 設定 (上位バイト)
             OUT     UBRRnL,R16            ;波特率 設定 (下位バイト)
             RET                             ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void USART_Init(unsigned int baud)
{
    UBRRn = 0;                          /* 波特率 設定 (クロック停止) */
    XCKn_DDR |= (1<<XCKn);              /* XCKnポートピン出力設定 */
    UCSRnC = (1<<UMSELn1)|(1<<UMSELn0)|(0<<UCPHA_n)|(0<<UCPOLn);
                                     /* MSPMデータ種別 設定 */
    UCSRnB = (1<<RXEN_n)|(1<<TXEN_n);   /* 送受信許可 */
    UBRRn = baud;                       /* 波特率 設定 */
}
```

注: 4頁の「コード例について」をご覧ください。

## 19.6. データ転送

USARTでのMSP動作の使用は送信部が許可されること、換言するとUSART制御/状態レジスタB (UCSRnB)で送信許可 (TXENn)ビットが1に設定される必要があります。送信部が許可されると、TXDnの標準動作は無視され、送信部のシリアル出力としての機能を与えられます。受信部の許可は任意選択で、UCSRnBの受信許可 (RXENn)ビットの設定 (=1)によって行なわれます。受信部が許可されると、RXDnの標準動作は無視され、受信部のシリアル入力としての機能を与えられます。XCKnは両方の場合で転送クロックとして使用されます。

初期化後、USARTはデータ転送を行なう準備が整います。データ転送はUSARTデータレジスタ (UDRn) I/O位置に書くことによって開始されます。送信部が転送クロックを制御するため、これは送受信データの両方の状態についてです。UDRnに書かれたデータはシフトレジスタが新規フレームを送る準備が整ったとき、送信バッファからシフトレジスタへ移されます。

**注:** 送信されたデータバイト数との同期を入力バッファで保つためには、送信された各バイトについて一度、UDRnが読まれなければなりません。入力バッファ操作は通常のUSART動作と同じで、換言すると、オーバーランが起きると、バッファ内の先頭ではなく最後に受信したデータが失われます。これは第1バイト、第2、第3、第4バイトの順で4バイトのデータが送信され、全ての転送が完了される前にDDRnが読めない場合、第1バイトではなく、受信されるべき第3バイトが失われます。

次のコード例はUSART制御/状態レジスタA (UCSRnA)の送信データレジスタ空き (UDREN)フラグのホールドを基準とした簡単なUSARTでのMSP転送関数を示します。この関数が使用されるであろう前に、USARTは初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定され、受信したデータは関数復帰後、同じR16レジスタで利用できます。

この関数は送信されるべき新規データを設定する前に、UDRENの検査により送信バッファが空になるのを単純に待ちます。その後、バッファを読んで値を戻す前に、RXCNフラグの検査により受信バッファにデータが存在するのを待ちます。

### アセンブリ言語プログラム例

```

USART_MSPI: SBIS    UCSRA, UDREn          送信バッファ空きでスキップ
              RJMP    USART_MSPI          送信バッファ空き待機
;
              OUT     UDRn, R16           ;データ送信 送信開始)
USART_SPIR: SBIS    UCSRA, RXCN           受信完了でスキップ
              RJMP    USART_SPIR          受信完了待機
;
              IN      R16, UDRn           受信データ取得
              RET                          呼び出し元へ復帰
    
```

### C言語プログラム例

```

void USART_MSPIM_Transfer(unsigned int data)
{
    while ( !(UCSRA & (1<<UDREN)) );      /*送信バッファ空き待機 */
    UDRn = data;                          /*データ送信 送信開始) */
    while ( !(UCSRA & (1<<RXCN)) );        /*受信完了待機 */
    return UDRn;                          /*受信データ取得 */
}
    
```

**注:** 4頁の「コード例について」をご覧ください。

### 19.6.1. 送受信フラグと割り込み

USARTのMSP動作での受信完了 (RXCN)、送信完了 (TXCN)、送信データレジスタ空き (UDREN)フラグと対応する割り込みは通常のUSART操作と機能的に同一です。けれども受信エラー状態フラグ (FEN, DORn, JPEN)は使用できず、常に0として読まれます。

### 19.6.2. 送受信の禁止

USARTのMSP動作での送受信部の禁止は通常のUSART操作と機能的に同一です。



## 19.7. USARTでのMSP MとSPの比較

USARTでのMSP動作は次に関してSPと完全な互換性があります。

マスタ動作 タイミング図

クロック極性選択 (UCPOLnビット)はSPのSCK極性選択 (CPOLビット)と機能的に同じです。

クロック位相選択 (UCPHAnビット)はSPのSCK位相選択 (CPHAビット)と機能的に同じです。

データ順選択 (UDORDnビット)はSPのデータ順選択 (DORDビット)と機能的に同じです。

けれどもUSARTでのMSP動作がUSART資源を再使用するため、USARTでのMSP動作はSPと比較して多少異なります。加えて制御レジスタビットの差異、マスタ動作だけがUSARTでのMSP動作によって支援されること、2つの部間で異なる次の特質があります。

USARTでのMSP動作は送信部の(ダブル)ハフを含みます。SPはハフを持ちません。

USARTのMSP動作での受信部は追加のハフ段を含みます。

SPの上書き(WCOLビット)はUSARTでのMSP動作に含まれません。

SPの倍速許可(SP2Xビット)は含まれません。しかし、対応するホールドレジスタ(UBRRn)設定によって同じ効果が達せられます。

割り込みタイミングに互換性はありません。

USARTでのMSP動作がマスタ動作だけのため、ピン制御が異なります。

USARTのMSP動作とSPでのピンは表 19-3で示されます。

表 19-3. USARTでのMSP MとSPのピン比較

USART MSP M	SP I	備考
TXDn	MOSI	マスタ出力のみ
RXDn	MISO	マスタ入力のみ
XCKn	SCK	機能的に同一)
該当なし	SS	USARTでのMSP Mで未支援

## 19.8. MSPMでの USART 用レジスタ

以下の節は USART を使用する SP 操作で使用するレジスタを記述します。

### 19.8.1. USART MSPM データレジスタ (USART I/O Data Register) UDRn

MSPM での USART データレジスタ (UDRn) の機能と説明は通常の USART 操作と同一です。12 頁の「USART データレジスタ (UDRn)」をご覧ください。

### 19.8.2. USART MSPM 制御 / 状態 レジスタ A (USART Control and Status Register A) UCSRnA

ビット (\$C0)	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREN	-	-	-	-	-	UCSRnA
Read/W rite	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	1	0	

#### ビット7 - RXCn : USART 受信完了フラグ (USART Receive Complete)

このフラグは受信バッファに未読データがあるときにセット(1)され、受信バッファが空の換言すると、どんな未読データを含まない時にクリア(0)されます。受信部が禁止されると、受信バッファが破棄され、その結果 RXCn フラグは 0 になります。RXCn フラグは受信完了割り込みを発生するために使用できます (USART 制御 / 状態 レジスタ B (UCSRnB) の受信完了割り込み許可 (RXCnEn) をご覧ください)。

#### ビット6 - TXCn : USART 送信完了フラグ (USART Transmit Complete)

このフラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信バッファ (UDRn) に新規データが現存しない時にセット(1)されます。TXCn フラグは送信完了割り込みが実行されるとき、自動的にクリア(0)されるか、またはこのビット位置に 1 を書くことによってクリア(0)できます。TXCn フラグは送信完了割り込みを発生できます (UCSRnB の送信完了割り込み許可 (TXCnEn) をご覧ください)。

#### ビット5 - UDREN : USART 送信データレジスタ空きフラグ (USART Data Register Empty)

UDREN フラグは送信バッファ (UDRn) が新規データを受け取る準備ができているかどうかを示します。UDREN が 1 ならばバッファは空で、従って書かれる準備ができています。UDREN フラグは送信バッファ空き割り込みを発生できます (UCSRnB の送信データレジスタ空き割り込み許可 (UDREN) をご覧ください) 送信部が準備ができていることを示すため、セット後の UDREN はセット(1)です。

#### ビット4~0 - Res : 予約 (Reserved Bits in MSPImode)

MSP 動作時、これらのビットは将来の使用に予約されています。将来のデバイスとの共通性のため、これらのビットは UCSRnA が書かれるとき、0 が書かれなければならないません。

### 19.8.3. USART MSPM 制御 / 状態 レジスタ B (USART Control and Status Register B) UCSRnB

ビット (\$C1)	7	6	5	4	3	2	1	0	
	RXCnEn	TXCnEn	UDREN	RXENn	TXENn	-	-	-	UCSRnB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	1	1	0	

#### ビット7 - RXCnEn : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットへの書き込みは USART 制御 / 状態 レジスタ A (UCSRnA) の受信完了 (RXCn) フラグでの割り込みを許可します。USART 受信完了割り込みは RXCnEn が 1 を書かれ、ステータスレジスタ (SREG) で全割り込み許可 (I) が 1 を書かれ、UCSRnA で RXCn フラグがセット(1)される場合だけ生成されます。

#### ビット6 - TXCnEn : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットへの書き込みは USART 制御 / 状態 レジスタ A (UCSRnA) の送信完了 (TXCn) フラグでの割り込みを許可します。USART 送信完了割り込みは TXCnEn が 1 を書かれ、SREG で全割り込み許可 (I) が 1 を書かれ、UCSRnA で TXCn フラグがセット(1)される場合だけ生成されます。

#### ビット5 - UDREN : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットへの書き込みは USART 制御 / 状態 レジスタ A (UCSRnA) の送信データレジスタ空き (UDREN) フラグでの割り込みを許可します。USART 送信データレジスタ空き割り込みは UDREN が 1 を書かれ、SREG で全割り込み許可 (I) が 1 を書かれ、UCSRnA で UDREN フラグがセット(1)される場合だけ生成されます。

#### ビット4 - RXENn : 受信許可 (Receiver Enable)

このビットへの書き込みは MSPM での USART 受信部を許可します。受信部は許可されると RXDn への標準動作を無効にします。受信の禁止は受信バッファを破棄します。MSPM で受信部だけの許可換言すると RXENn=1 と TXENn=0 は、マスタ動作だけが支援され、送信部が転送クックを制御するため意味を持ちません。

## ビット3 - TXENn 送信許可 (Transmitter Enable)

このビットへの書き込みはUSART送信部を許可します。送信部は許可されるとTXDnレジスタの標準ホールド動作を無効にします。送信の禁止 (TXENn=0書き込み) は、進行中と保留中の送信が完了される換言すると送信シフトレジスタと送信バッファレジスタが送信されるべきデータを含まないまで有効になりません。禁止したとき、送信部はもはやTXDnレジスタの標準I/O機能を無効にしません。

## ビット2~0 - Res:予約 (Reserved Bits in MSPImode)

MSP動作時、これらのビットは将来の使用に予約されています。将来のデバイスとの共通性のため、これらのビットはUCSRnCが書かれるとき、0が書かれなければならないません。

### 19.8.4. USART MSPM制御/状態レジスタC (USART Control and Status Register C) UCSRnC

ビット (\$C2)	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	-	-	-	UDORDn	UCPHAn	UCPOLn	UCSRnC
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

## ビット7:6 - UMSELn1:0:USART動作選択 (USART Mode Select)

このビットは表 19-4で示されるようにUSART動作種別を選びます。通常USART操作の完全な記述については、122頁の「USART制御/状態レジスタ(UCSRnC)」をご覧ください。マスタSP動作 (MSPM) は両UMSELnビットが1に設定される時に許可されます。データ順選択 (UDORDn)、クロック位相選択 (UCPHAn)、クロック極性選択 (UCPOLn) はMSPMが許可されるのと同じ書き込み操作で設定できます。

表 19-4. USART動作選択

UMSELn1	UMSELn0	動作種別
0	0	非同期動作
	1	同期動作
1	0	予約
	1	マスタSPI (MSPM)

## ビット5~3 - Res:予約 (Reserved Bits in MSPImode)

MSP動作時、これらのビットは将来の使用に予約されています。将来のデバイスとの共通性のため、これらのビットはUCSRnCが書かれるとき、0が書かれなければならないません。

## ビット2 - UDORDn:データ順選択 (Data Order)

UDORDnビットが1を書かれるとデータのLSBが最初に転送されます。UDORDnビットが0を書かれるとMSBが最初に転送されます。詳細については127頁の「フレーム形式」節を参照してください。

## ビット1 - UCPHAn:クロック位相選択 (Clock Phase)

このクロック位相選択 (UCPHAn)ビットの設定はデータがXCKnの先行 (先) エッジまたは後行 (後) エッジで採取/設定されるかを決めます。詳細については126頁の「データ転送形式」節を参照してください。

## ビット0 - UCPOLn:クロック極性選択 (Clock Polarity)

クロック極性選択 (UCPOLn)ビットはXCKnクロックの極性を設定します。UCPOLnとクロック位相選択 (UCPHAn)ビットの組み合わせはデータ転送のタイミングを決めます。詳細については126頁の「データ転送形式」節を参照してください。

### 19.8.5. USART MSPMホールドレートレジスタ (USART Baud Rate Register) UBRRnH, UBRRnL (UBRRn)

MSPMでのホールドレートレジスタ (UBRRn)の機能と説明は通常のUSART操作と同一です。123頁の「USARTホールドレートレジスタ (UBRRnH, UBRRnL)」をご覧ください。

## 20. 2線シリアル インターフェイス (TW I:Two-wire Serial Interface, PC)

### 20.1. 特徴

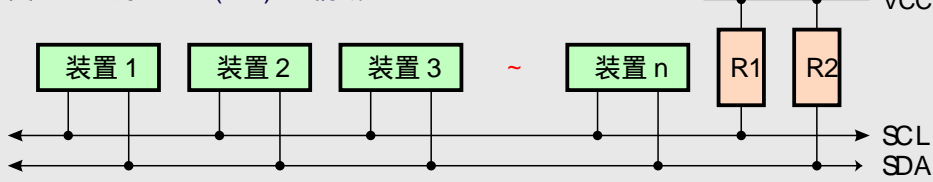
- 2本のバス信号線のみ必要な、単純ながら強力で柔軟な通信 インターフェイス
- マスター動作とスレーブ動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ビットのアドレス空間が 128までの異なるスレーブ アドレスを許容
- 複数マスタの調停支援
- 400kHzまでのデータ転送速度
- 立ち上り/立ち下り (スローレート) 制限された出力駆動回路
- バス信号線のスパイクを排除するノイズ消去回路
- 一斉呼び出しを含む完全に設定変更可能なスレーブ アドレスの支援
- AVRがスリープ動作のとき、アドレス認証 (一致) が起動
- Philips PC規約互換

26頁の **電力削減レジスタ (PRR)** の **PRTWビット** は 2線シリアル インターフェイス部を許可するために **0** を書かれなければなりません。

### 20.2. 2線シリアル インターフェイス バスの定義

2線シリアル インターフェイス (TW I) は代表的なマイクロ コントローラ 応用に対して理想的に適応されます。TW 通信規約は 2本の双方向 バス信号線、データ用 本 (**SDA**) とクロック用 本 (**SCL**) だけを使用して 128個までの異なる装置の相互接続をシステム設計者に許します。バスを実現するために必要とされる外部ハードウェアは、TW バス信号線各々に 1本ずつのプルアップ抵抗だけです。バスに接続した全ての装置は個別のアドレスを持ち、バス衝突を解決する機構は本質的に TW 通信規約で行います。

図 20-1. 2線シリアル (TWI) バス構成



#### 20.2.1. TW用語定義

次の定義は本項で度々使用されます。

表 20-1. TW用語定義

用語	意味
マスタ	送信の開始と終了する装置。マスタは SCL クロックを生成します。
スレーブ	マスタにより指定された装置。
送信装置	バス上にデータを送り出す装置。
受信装置	バスからデータを読み込む装置。

#### 20.2.2. 電氣的な相互接続

図 20-1 で描かれたように、両方のバス信号線はプルアップ抵抗を通して正供給電圧に接続されます。すべての TW 準拠装置のバスドライバはオープンドレインかオープンコレクタです。これはインターフェイスの動作のために重要なワイアードAND機能を実現します。TW バス信号線の **Low** レベルは 1つまたはより多くの TW 装置の **0** 出力時に生成されます。**High** レベルは全 TW 装置が **High-Z** 出力時の出力で、プルアップ抵抗に信号線を **High** へ引き上げさせます。TW バスに接続した全ての AVR デバイスはどのバス動作も許すために、電源が供給されなければならないことに注意してください。

このバスに接続できる装置数は 7ビットのスレーブ アドレス空間と 400pF のバス容量制限によってのみ制限されます。TW の電氣的特性の詳細仕様は 193頁の **「2線シリアル インターフェイス特性」** で与えられます。そこで与えられる 2組の異なる仕様は、1つがバス速度 100kHz 以下に関するもので、もう1つはバス速度 400kHz までに関して有効です。

## 20.3. データ転送とフォーマット

### 20.3.1. ビット転送

TW バスに転送される各データビットはクロック信号線のバスの伴います。データ信号線のレベルはクロック信号線が **High** のときに安定していなければなりません。この規則の例外は **開始条件** と **停止条件** の生成だけです。

図 20-2. データの有効性

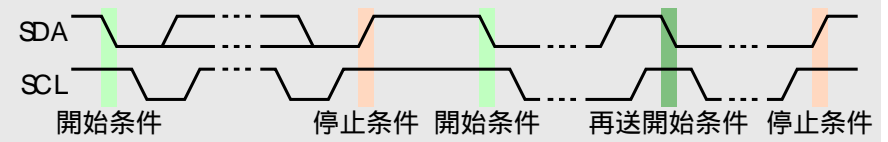




## 203.2. 開始条件と停止条件

マスターがデータ転送の開始と終了を行います。転送はマスターがバスに**開始条件**を起こすと開始され、マスターが**停止条件**を起こすと終了されます。**開始条件**と**停止条件**間はバスが使用中と考えられ、他のマスターはバスの制御を獲得することを試みるべきではありません。**開始条件**と**停止条件**間で新規**開始条件**が起こされると特別な状態が起きます。これは**再送開始条件**として引用され、マスターがバスの制御を手放さずに新規転送を始めたい時に使用されます。**再送開始条件**後、バスは次の**停止条件**まで使用中と考えられます。これは開始動作について全く同じで、従って特記事項を除いて本データシートの残りに対して**開始条件**と**再送開始条件**の両方の記述に**開始条件**が使用されます。右で描かれるように、**開始条件**と**停止条件**はSCL信号線がHighのときのSDA信号線のレベル変更により指示されます。

図 20-3. 開始条件、再送開始条件、停止条件 バス タイミング



## 203.3. アドレス パッケージ形式

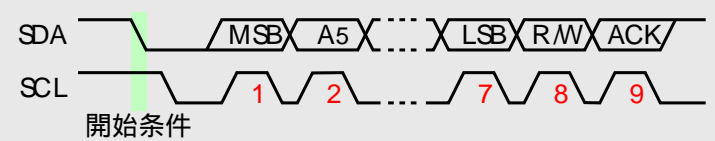
TW バスに送信した全てのアドレスパッケージは7ビットのアドレスビット、1ビットの方向 (Read/Write) 制御ビット、1ビットの応答ビットから成る9ビットです。方向 (RW) ビットがセット(1)されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。スレーフがアドレス指定されたことを認証すると、9番目のSCLサイクルでSDAをLowへ引くことにより確認応答すべきです。アドレス指定されたスレーフが忙しいまたはその他の理由でマスターの要求を扱えない場合、**確認応答 (ACK)** クロックサイクルでSDA信号線をHighのままにすべきです。マスターはその後に**停止条件**または新規転送を始めるために**再送開始条件**を送出できます。スレーフアドレスと方向 (RW) ビットから成るアドレスパッケージは、各々SLA+RまたはSLA+Wと呼ばれます。

アドレスビットの最上位ビット(MSB)が最初に送信されます。スレーフアドレスは設計者により自由に割り当てられますが、アドレス0000 00dは一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全スレーフは確認応答 (ACK) サイクルでSDA信号線をLowにすることにより応答すべきです。一斉呼び出しはマスターがシステム内のそれぞれのスレーフに同じ通信内容を送信したいときに使用されます。一斉呼び出しアドレスに続くW方向が書き込みビットがバスに送信されると、一斉呼び出しに回答する設定の全てのスレーフはACKサイクルでSDA信号線をLowに引き込みます。そして後続のデータパッケージは一斉呼び出しに確認応答した全スレーフにより受信されます。一斉呼び出しアドレスに続くR方向が読み出しビットの送信は、スレーフそれぞれが異なるデータの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

1111 xxx形式の全アドレスは将来の目的のために予約されるべきです (訳補: PC規格のアドレス拡張他)。

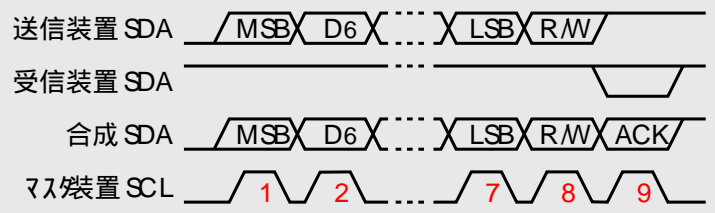
図 20-4. アドレス パッケージ形式



## 203.4. データ パッケージ形式

TW バスに送信した全てのデータパッケージは1バイトのデータと1ビットの応答ビットから成る9ビットです。データ転送中、マスターはクロックと**開始条件**、**停止条件**を生成し、一方受信装置は受信に回答する責任があります。確認応答 (ACK) は受信装置が9番目のSCLサイクル中にSDA信号線をLowに引き込むことにより示されます。受信装置がSDA信号線をHighのままにすると**NACK**を示します。受信装置が最終ハイを受信したとき、または何らかの理由でこれ以上のハイを受信ができないとき、最終ハイ後に**NACK**を送ることにより送信装置へ通知すべきです。データバイトの最上位 (MSB) ビットが最初に送信されます。

図 20-5. データ パッケージ形式

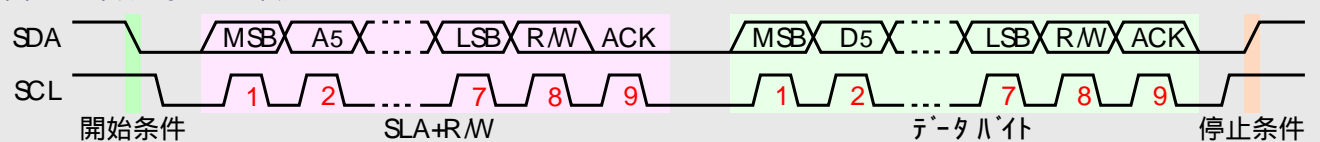


## 203.5. 転送内でのアドレス パッケージとデータ パッケージの組み合わせ

転送は基本的に**開始条件**、SLA+RW、1つ以上のデータパッケージ、**停止条件**から成ります。**開始条件**に続く**停止条件**から成る空の通信内容は規則違反です。SCL信号線のワイアードANDがマスターとスレーフ間のハンドシェイクに使用できることに注目してください。スレーフはSCL信号線をLowに引き込むことによりSCLのLow期間を引き伸ばせます。これはマスターがスレーフに対して速すぎるクロック速度設定、またはスレーフがデータ送信間の処理に追加時間を必要とする場合に有用です。スレーフがSCLのLow期間を延長することは、マスターにより決められるSCLのHigh期間に影響しません。同様にスレーフはSCLのデューティ比 (Low期間) を延長することによりTWデータ転送速度を落とせます。

図 20-6は代表的なデータ転送を示します。様々なデータは応用ソフトウェアにより実装されたソフトウェア規約に依存して、SLA+RWと**停止条件**間に送信できることに注意してください。

図 20-6. 代表的なデータ転送



## 20.4. 複数マスタシステムの調停と同期

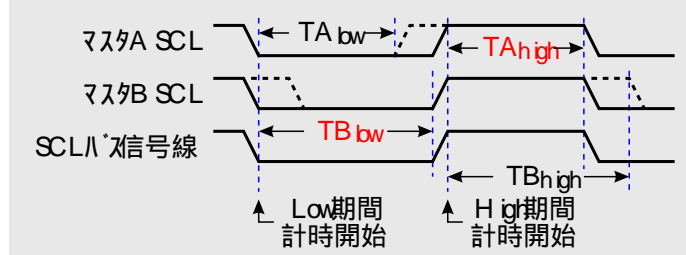
TW 規約は多数マスタのバスシステムを許します。例えば2つ以上のマスタが同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数マスタのシステムでは2つの問題が起こります。

送信を完了するために1つのマスタだけを許す方法が実現されなければなりません。他の全てのマスタは自身が行っているスレーフ選択手順を失った失敗したことに気付く時、送信を止めるべきです。この選択手順は調停 (Arbitration) と呼ばれます。競合するマスタは調停 (スレーフ選択) 手順を失ったことに気付くと、勝ち残ったマスタによりアドレス指定されるかどうかを調べるため、直ちにスレーフ動作へ切り替えるべきです。複数のマスタが同時に送信を始めた事実はスレーフで検知できるべきではありません。換言すると、バスに転送されているデータが不正にはなりません。

違うマスタが異なるSCL周波数を使用するかもしれません。同期確定手順で送信が続行するために、全マスタからのシリアルクロックを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

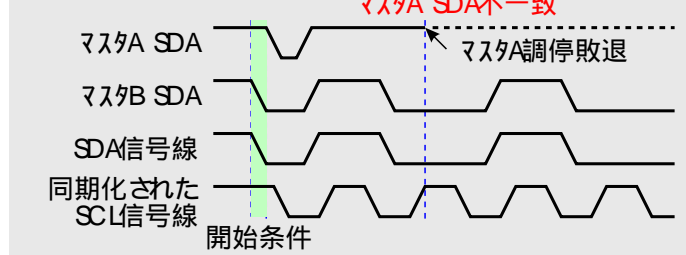
バス信号線のワイアードANDはこれらの問題の両方の解決に使用されます。すべてのマスタからのシリアルクロックはワイアードANDされ、最短High期間のマスタの1つからに等しいHigh期間の合成クロックを生成します。合成クロックのLow期間は最長Low期間のマスタのLow期間に等しくなります。すべてのマスタがSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになるとき、各々SCLのHighとLow経過時間の計時を始めることに注意してください。

図 20-7. 複数マスタ間でのSCL同期化



調停は全てのマスタがデータ出力後にSDA信号線を継続的に監視することにより実行されます。SDA信号線から読んだ値がそのマスタの出力した値と一致しない場合、調停に敗れます。マスタがSDAにHigh値を出力し、同時に他のマスタがLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れたマスタは直ちにスレーフ動作へ移行し、勝ち残ったマスタによりアドレス指定されるかを確認すべきです。SDA信号線はHighのままにすべきですが、敗れたマスタは現在のデータ若しくはアドレスパケットの最後までクロック信号を生成することを許されます。調停は唯一のマスタが残るまで継続され、多くのビットを必要とするかもしれません。多くのマスタが同じスレーフをアドレス指定しようとすると、調停はデータパケットに続くでしょう。

図 20-8. 2つのマスタ間での調停



調停が次の状態間で許されないことに注意してください。

- 再送開始条件とデータビット間
- 停止条件とデータビット間
- 再送開始条件と停止条件間

これらの違法な調停状態を決して起こさないよう保証するのは使用者ソフトウェアの責任です。これは複数マスタシステムでの全てのデータ転送は同じ構成、SLA+R/Wとデータパケットを使用しなければならないことを意味します。言葉を変えると、全ての送信は同じデータパケット数を含まなければならない、さもなければ調停の結果は不定にされます。

**訳補)** 同じデータパケット数とは、或るマスタが最後まで調停を継続し、他のマスタがパケットを残している場合を想定しています。



#### 2054. アドレス一致部

アドレス一致部は受信したアドレスハイが **TW I アドレス レジスタ (TWAR)** の 7 ビットアドレスと一致するかを検査します。TWAR で **一斉呼び出し 検出許可 (TWGCE) レジスタ** が 1 を書かれると、全ての到着アドレスビットは一斉呼び出しアドレスに対しても比較されます。アドレス一致を制御部は通知され、正しい処置を行うことを許します。TW は **TW 制御 レジスタ (TWCR)** の設定によって、そのアドレスへの応答をするかもしれないし、しないかもしれません。アドレス一致部は AVR MCU がマスターによりアドレス指定されると MCU を起動できる **スリープ動作** の一つの時でも、アドレスを比較できます。TW が **ハワーダウン動作** でのアドレス一致で CPU を起動中に他の割り込み (例えば NT0) が起こると、TW は動作を停止し、アイドル状態で復帰します。これが何らかの問題の原因ならば、**ハワーダウン動作** へ移行するときに TW アドレス一致だけが割り込みを許可されることを保証してください。

#### 2055. 制御部

制御部は TW マスターを監視し、TW 制御レジスタ (TWCR) の設定に従った応答を生成します。応用に注意を要求する事象が TW マスターで起こると、**TW 割り込み要求 フラグ (TW NT)** が有効にされます。次のクロックサイクルで、TW 状態レジスタ (TWSR) は事象を示す状態コードで更新されます。TW 割り込み要求フラグが有効にされるときだけ、TWSR は適切な状態情報を含みます。他の全てのとき、TWSR は適切な状態情報が利用できないことを示す特別な状態コードを含みます。TW NT フラグがセット (1) されている限り SCL 信号線は **Low** に保たれます。これは続く TW 送信を許す前に、現在の処理を完了することを応用ソフトウェアに許します。

TW 割り込み要求フラグ (TW NT) は次の場合にセット (1) されます。

開始条件または再送開始条件送信後

SLA+R/W 送信後

アドレスハイ送信後

調停に敗れた後

自身のスレーブアドレスまたは一斉呼び出しによりアドレス指定された後

データハイ受信後

スレーブとして未だアドレス指定されている間の停止条件または再送開始条件受信後

不正な開始条件または停止条件のためバス異常が起きた時



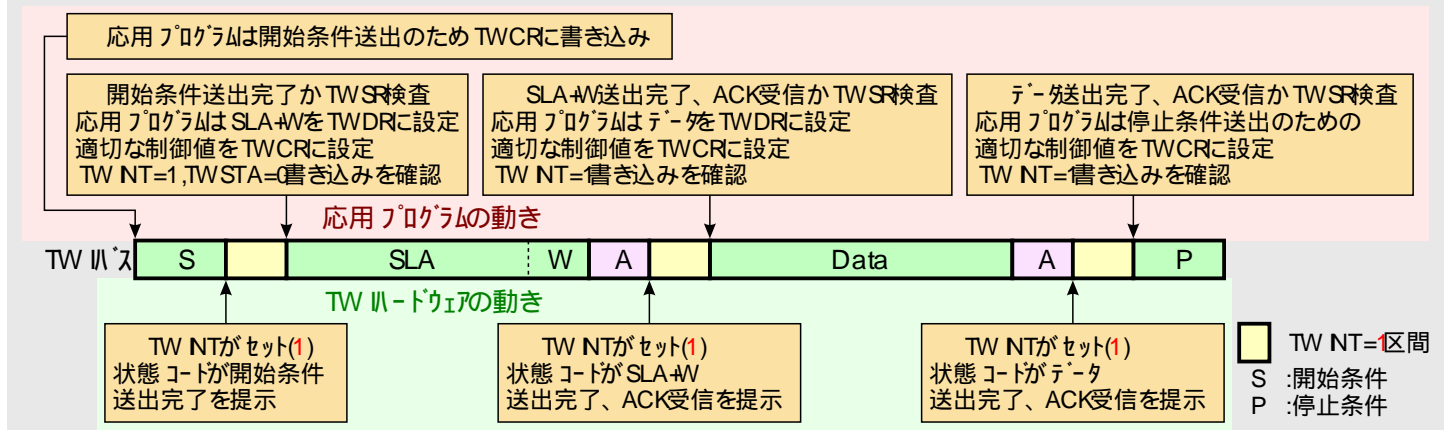
## 20.6. TWの使用法

AVR TW はハイ志向で、割り込みが基本です。割り込みはハイの受信や**開始条件**の送出のような全てのバスの出来事後に起こります。TW は割り込みが基本のため、応用ソフトウェアがTW バイ転送中に他の操作を続行するために開放されます。**ステータスレジスタ (SREG) の全割り込み許可 (Iビット)**と共に**TW 制御レジスタ (TWCR) の TW 割り込み許可 (TW IEビット)**は、TWCR の**TW 割り込み要求フラグ (TW NT) のセット (1)**が割り込み要求を発生すべきかどうかを決めることを応用 (ソフトウェア) に許します。TW IEビットがクリア (0) されると、応用 (ソフトウェア) はTW バスの動きを検知するためにTW NTフラグをポーリングしなければなりません。

TW NTフラグがセット (1) されると、TW は動作を終え、応用 (ソフトウェア) の応答を待ちます。この場合、TW 状態レジスタ (TWSR) はTW バスの現在の状態を示す値を含みます。そして応用ソフトウェアはTWCRとTWDRの操作により、TW が次のTW バスサイクルで何を行うべきかを決定できます。

図 20-10は応用 (ソフトウェア) がTW ハードウェアにどうインターフェースできるかの簡単な例です。この例ではマスタが単一データバイトをスレーフに送信しようします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なコード例も示されます。

図 20-10. 代表的な送信での応用プログラムとTWのインターフェース



TW 送信の最初の段階は**開始条件**を送出することです。これはTW ハードウェアに開始条件送出を命じる特別な値をTWCR内に書くことにより行います。どんな値を書かは後で記述されます。けれども書かれる値においてTW NTビットがセット (1) されることが重要です。TW NTへの書き込みは、このフラグをクリア (0) します。TWCRでTW NTビットがセット (1) されている限りTW はどんな動作も始めません。応用 (ソフトウェア) がTW NTをクリア (0) した後、TW は直ちに**開始条件**の送出を始めます。

開始条件が送出されてしまうと、TWCRでTW NTフラグがセット (1) され、TWSRは**開始条件**が正常に送出されてしまったことを示す状態コードに更新されます。

応用ソフトウェアは**開始条件**が正常に送信されたことを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ソフトウェアはエラー・ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態コードだと仮定すると、応用 (ソフトウェア) はTWDRに**SLA+R**を設定しなければなりません。TWDRがアドレスとデータの両方に使用されることを思い出してください。TWDRが希望した**SLA+R**に設定されてしまった後、TWDRにある**SLA+R**の送信をTW ハードウェアへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書かは後で記述されます。けれども書かれる値においてTW NTビットがセット (1) されることが重要です。TW NTへの書き込みは、このフラグをクリア (0) します。TWCRでTW NTビットがセット (1) されている限りTW はどんな動作も始めません。応用 (ソフトウェア) がTW NTをクリア (0) した後、TW は直ちにアドレスパケットの送信を始めます。

アドレスパケットが送信されてしまうと、TWCRでTW NTフラグがセット (1) され、TWSRはアドレスパケットが正常に送信されたことを示す状態コードに更新されます。この状態コードはスレーフがパケットに回答したかどうかも反映します。

応用ソフトウェアはアドレスパケットが正常に送信され、期待されたACKビット値であることを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ソフトウェアはエラー・ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態コードだと仮定すると、応用 (ソフトウェア) はTWDRに**データ**を設定しなければなりません。その後TWDRにある**データ**パケットの送信をTW ハードウェアへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書かは後で記述されます。けれども書かれる値においてTW NTビットがセット (1) されることが重要です。TW NTへの書き込みは、このフラグをクリア (0) します。TWCRでTW NTビットがセット (1) されている限りTW はどんな動作も始めません。応用 (ソフトウェア) がTW NTをクリア (0) した後、TW は直ちに**データ**パケットの送信を始めます。

データパケットが送信されてしまうと、TWCR内のTW NTフラグがセット (1) され、TWSRはデータパケットが正常に送信されたことを示す状態コードに更新されます。この状態コードはスレーフがパケットに回答したかどうかも反映します。

応用ソフトウェアは**データ**パケットが正常に送信され、期待されたACKビットの値であることを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ソフトウェアはエラー・ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態コードだと仮定すると、応用 (ソフトウェア) は**停止条件**の送出をTW ハードウェアへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書かは後で記述されます。けれども書かれる値においてTW NTビットがセット (1) されることが重要です。TW NTへの書き込みは、このフラグをクリア (0) します。TWCRでTW NTビットがセット (1) されている限りTW はどんな動作も始めません。応用 (ソフトウェア) がTW NTをクリア (0) した後、TW は直ちに**停止条件**の送出を始めます。**停止条件**が送出されてしまった後にTW NTがセット (1) されないことに注意してください。

この例は簡単とはいえ、全ての TW 送信に関係した原理を示しています。これらは次のように要約できます。

TW が動作を終了して応用ソフトウェアの反応を予想するとき、TW NTフラグがセット(1)されます。SCL信号線はTW NTがクリア(0)されるまでLowに引き込まれます。

TW NTフラグがセット(1)されると、使用者は次のTWバスサイクルに関連した値で必要な全てのTWレジスタを更新しなければなりません。例で示されるように、TWDRIは次のTWバスサイクルで送信されるべき値を設定されなければなりません。

必要な全てのTWレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了してしまった後、TWCRが書かれます。TWCR書き込み時、TW NTビットはセット(1)されるべきです。TW NTへの書き込みは、このフラグをクリア(0)します。どんな動作がTWCR設定により指定されても、TWはその(TW NT=0)後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは、例えばインクルードファイルの使用により様々な定義が作成されてしまっている前提であることに注意してください。

	アセンブリ言語 プログラム例	C言語 プログラム例	コメント
	LDI R16, (1<<TWINT)   (1<<TWSTA)   (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)   (1<<TWSTA)   (1<<TWEN);	開始条件送出
	WAIT1: IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	; TW NT=1まで待機 ; 開始条件送出完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	; TW 状態レジスタ値検査 ; 前置分周選択ビットのマスク ; STARTと異なる状態コードで ; エラー処理へ
	LDI R16, SLA_W OUT TWDRI, R16 LDI R16, (1<<TWINT)   (1<<TWEN) OUT TWCR, R16	TWDRI = SLA_W; TWCR = (1<<TWINT)   (1<<TWEN);	; TWDRIにSLA+W設定 ; アドレス送信開始のため ; TWCRのTW NTをクリア(0)
	WAIT2: IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	; TW NT=1まで待機 ; SLA+W送出完了と ; ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	; TW 状態レジスタ値検査 ; 前置分周選択ビットのマスク ; MT_SLA_ACKと違う状態コードで ; エラー処理へ
	LDI R16, DATA OUT TWDRI, R16 LDI R16, (1<<TWINT)   (1<<TWEN) OUT TWCR, R16	TWDRI = DATA; TWCR = (1<<TWINT)   (1<<TWEN);	; TWDRIにデータ設定 ; データ送信開始のため ; TWCRのTW NTをクリア(0)
	WAIT3: IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	; TW NT=1まで待機 ; データ送出完了と ; ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	; TW 状態レジスタ値検査 ; 前置分周選択ビットのマスク ; MT_DATA_ACKと違う状態コードで ; エラー処理へ
	LDI R16, (1<<TWINT)   (1<<TWSTO)   (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT)   (1<<TWSTO)   (1<<TWEN);	停止条件送出

注：4頁の「コード例について」をご覧ください。

## 20.7. 転送種別

TW は 4 つの主な動作種別の 1 つで動けます。これらはマスタ送信装置 (MT)、マスタ受信装置 (MR)、スレーフ送信装置 (ST)、スレーフ受信装置 (SR) と名付けられます。これら種別の多くは同じ応用に使用できます。例えば、TW 方式の EEPROM 内にデータを書くために TW は MT 動作を、EEPROM からデータを読み戻すために MR 動作を使用できます。システム内に他のマスタが存在する場合、それらのいくつかは TW にデータを送信するかもしれず、すると ST 動作が使用されるでしょう。どの動作種別が適正かを決めるのは応用ソフトウェアです。

次項は、これら動作種別の各々を記述します。起こり得る状態コードは各動作種別のデータ伝送詳細図に沿って示されます。これらの図は次の略号を含みます。

S	開始 (START 条件)
Rs	再送開始 (REPEATED START 条件)
R	読み出し指定ビット (SDA=High)
W	書き込み指定ビット (SDA=Low)
A	確認応答 (ACK) ビット (SDA=Low)
Ā	非確認応答 (NACK) ビット (SDA=High)
Data	8 ビットデータバイト
P	停止 (STOP 条件)
SLA	スレーフアドレス

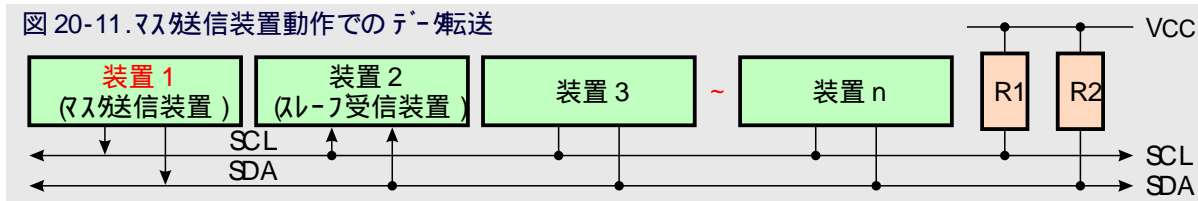
図 20-12 ~ 18 内の楕円 **訳注** 原文は円 は TW 制御レジスタ (TWCR) の TW 割り込み要求フラグ (TW INT) がセット(1)されたことを示すために使用されます。この楕円内の番号は前置分周選択ビットが 0 で遮蔽された TW 状態レジスタ (TWSR) に保持した状態コードを表します。これら位置での動きは TW 転送を継続または完了することを応用 (ソフトウェア) により行われなければなりません。TW 転送はソフトウェアにより TW INT フラグがクリア (0) されるまで一時停止されます。

TW 割り込み要求フラグ (TW INT) がセット(1)されるとき、TW 状態レジスタ (TWSR) の状態コードは適切なソフトウェア動作を決めるために使用されます。各状態コードに対する必要なソフトウェア動作や後続のシリアル転送の詳細は表 20-2 ~ 5 で与えられます。これらの表において前置分周選択ビットが 0 で遮蔽されていることに注意してください。

## 20.7.1. マス送信装置動作

マス送信装置動作では何ハイのデータがスレーフ受信装置へ送信されます (図 20-11 参照)。マス動作へ移行するためには**開始条件**が送出されなければなりません。それに続くアドレスパケットの形式がマス送信装置またはマス受信装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されるとマス送信装置 (**MT**)へ移行し、**SLA+R**が送信されるとマス受信装置 (**MR**)へ移行します。本項で言及する全ての状態コードは**前置分周選択ビット**が**1**か、または**0**で遮蔽されることが前提です。

図 20-11. マス送信装置動作でのデータ転送



**開始条件**は **TWCR** に次の値を書くことにより送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

**TWEN** は 2 線シリアル インターフェイス (TWI) を許可するためにセット (**1**) されなければなりません。 **TWSTA** は **開始条件** を送出するために **1** を書かれねばならず、 **TWNT** は TW NT フラグをクリア (**0**) するために **1** を書かれねばなりません。そして TW は 2 線シリアルバスを検査し、バスが開放になると直ぐに **開始条件** を生成します。 **開始条件** が送出されてしまった後、TW NT フラグがハードウェアによりセット (**1**) され、 **TWSR** の状態コードが \$08 (表 20-2 参照) になります。マス送信装置へ移行するためには、 **SLA+W** が送信されなければなりません。これは **TWDR** に **SLA+W** を書くことにより行います。その後、転送を継続するために TW NT ビットは (**1**) の書き込みによりクリア (**0**) されるべきです。これは **TWCR** に次の値を書くことにより成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

**SLA+W** が送信され、応答ビットが受信されてしまうと、TW NT が再びセット (**1**) され、 **TWSR** の状態コードの数値が利用可能になります。マス動作で可能性のある状態コードは \$18, \$20, \$38 です。これら状態コードの各々に対する適切な動作は表 20-2 で詳述されます。

**SLA+W** が正常に送信されてしまうと、データパケットが送信されるべきです。これは **TWDR** にデータハイを書き込むことにより行われます。 **TWDR** は TW NT が **1** のときにだけ書かれなければなりません。そうでなければ、そのアドレスは破棄され、 **上書きエラー (TWWC フラグ)** が **TWCR** でセット (**1**) されます。 **TWDR** 更新後、転送を継続するために TW NT ビットは (**1**) の書き込みによりクリア (**0**) されるべきです。これは **TWCR** に次の値を書くことにより成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

この手順は最後のハイが送られてしまうまで繰り返され、この転送は**停止条件**または**再送開始条件**を生成することにより終了されます。**停止条件**は **TWCR** に次の値を書くことにより生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	1	X	1	0	X

**再送開始条件**は **TWCR** に次の値を書くことにより生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

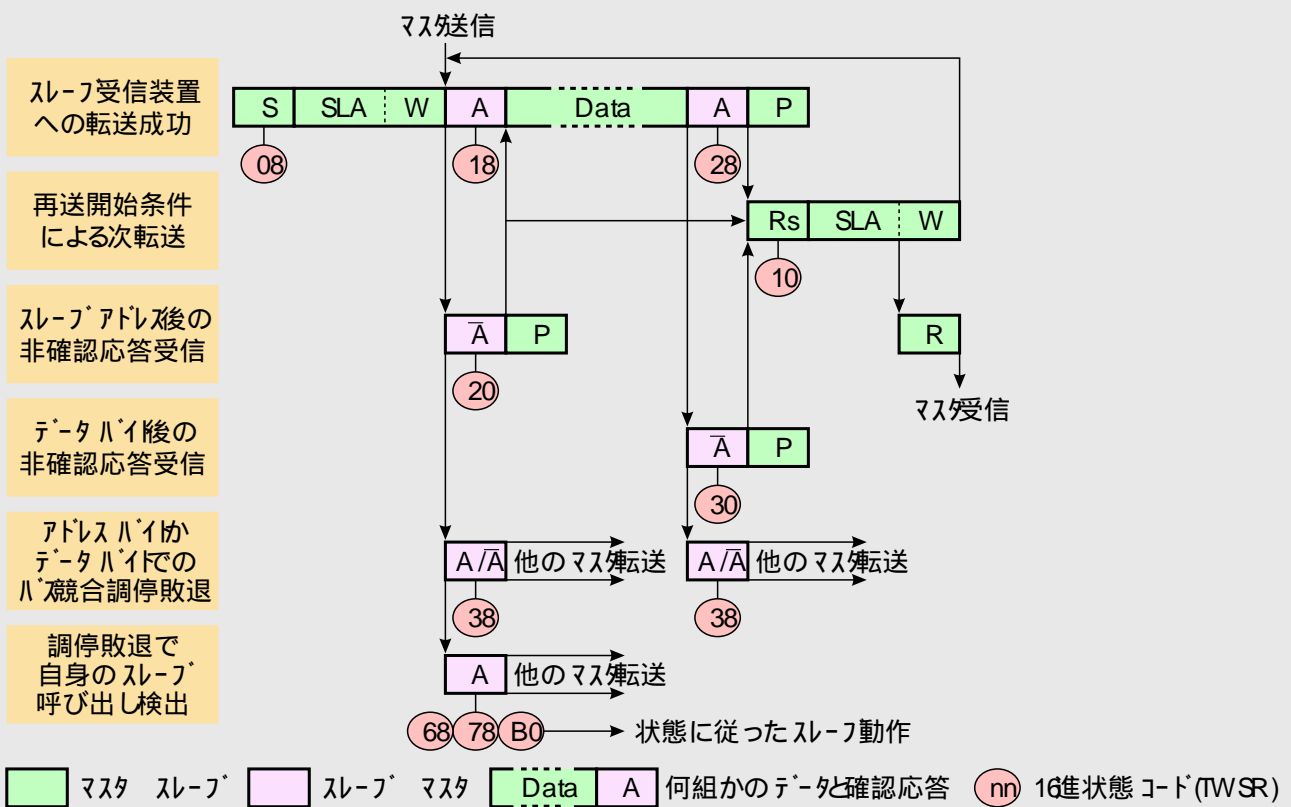
**再送開始条件** 状態コード \$10 後、2 線シリアル インターフェイスは**停止条件**を送出せずに再び同じスレーフまたは新しいスレーフにアクセスできます。 **再送開始条件** はマスがバスの制御を失わずにマス送信装置、マス受信装置間を切り替えることを可能にします (訳注 原文ではスレーフも含まれていますが、基本動作に対して不適切なため削除しました)。



表 20-2. マスタ送信装置動作の状態コード 注：TWSRの前置分周選択ビットは0の前提)

状態コード (TWSR)	直前の動作と バスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、マス受信動作へ移行
\$18	SLA+W送信 ACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$20	SLA+W送信 NACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$28	データハイ送信 ACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$30	データハイ送信 NACK受信	データ設定	0	0	1	X	データ送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$38	SLA+W, データハイで バス競合調停敗退	なし	0	0	1	X	バス開放、未指定スレーフ動作へ移行
			1	0	1	X	バス開放時に開始条件送信

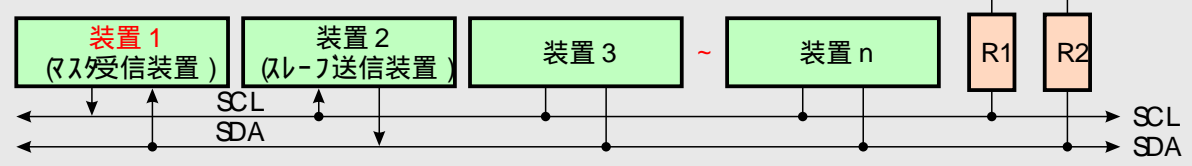
図 20-12. マスタ送信装置動作の形式と状態



## 207.2. マス受信装置動作

マス受信装置動作では何ハイのデータがスレーフ送信装置から受信されます (図 20-13 参照)。マス動作へ移行するためには**開始条件**が送出されなければなりません。それに続くアドレスパケットの形式がマス送信装置またはマス受信装置のどちらへ移行すべきかを決めます。**SLA+R**が送信されるとマス送信装置 (**MT**)へ移行し、**SLA+W**が送信されるとマス受信装置 (**MR**)へ移行します。本項で言及する全ての状態コードは**前置分周選択ビット**が **0**、または **0**で遮蔽されることが前提です。

図 20-13. マス受信装置動作でのデータ転送



**開始条件**は **TWCR**に次の値を書くことにより送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

**TWEN**は2線シリアルインターフェース(TWI)を許可するためにセット(**1**)されなければなりません。**TWSTA**は**開始条件**を送出するために **1**を書かれねばならず、**TWNT**はTWNTフラグをクリア(**0**)するために **1**を書かれねばなりません。そしてTWは2線シリアルバスを検査し、バスが開放になると直ぐに**開始条件**を生成します。**開始条件**が送出されてしまった後、TWNTフラグがハードウェアによりセット(**1**)され、**TWSR**の状態コードが\$08 (表 20-3 参照) になります。マス受信装置へ移行するためには、**SLA+R**が送信されなければなりません。これは**TWDR**に**SLA+R**を書くことにより行います。その後、転送を継続するためにTWNTビットは (**1**)の書き込みによりクリア(**0**)されるべきです。これはTWCRに次の値を書くことにより成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

**SLA+R**が送信され、応答ビットが受信されてしまうと、TWNTが再びセット(**1**)され、**TWSR**の状態コードの数値が利用可能になります。マス動作で可能性のある状態コードは\$38, \$40, \$48です。これら状態コードの各々に対する適切な動作は表 20-3 で詳述にされます。

ハードウェアによりTWNTフラグがセット(**1**)されると、受信したデータがTWDRから読めます。この手順は最後のハイが受信されてしまうまで繰り返されます。最後のハイが受信されてしまった後、マス受信装置は最後に受信したデータハイ後の**NACK**送信によりスレーフ送信装置へ通知すべきです。この転送は**停止条件**または**再送開始条件**を生成することにより終了されます。**停止条件**はTWCRに次の値を書くことにより生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	1	X	1	0	X

**再送開始条件**はTWCRに次の値を書くことにより生成されます。

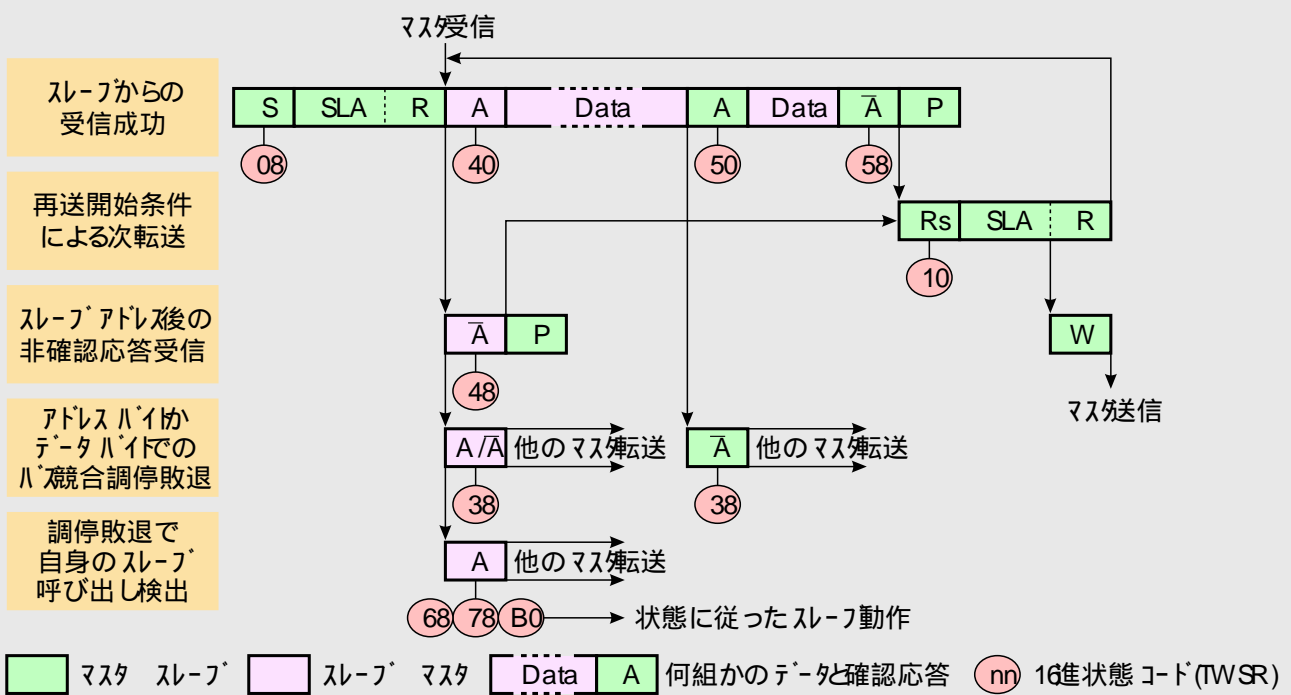
ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

**再送開始条件** 状態コード\$10後、2線シリアルインターフェースは**停止条件**を送出せずに再び同じスレーフまたは新しいスレーフにアクセスできます。**再送開始条件**はマスがバスの制御を失わずにマス送信装置、マス受信装置間を切り替えることを可能にします (訳注 原文ではスレーフも含まれていますが、基本動作に対して不適切なため削除しました)。

表 20-3. マスタ受信装置動作の状態コード 注：TWSRの前置分周選択ビットは00の前提

状態コード (TWSR)	直前の動作と バスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、マスタ送信動作へ移行
\$38	SLA+Rで調停敗退 またはNACK受信	なし	0	0	1	X	バス開放、未指定スレーフ動作へ移行
			1	0	1	X	バス開放時に開始条件送信
\$40	SLA+R送信 ACK受信	なし	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$50	データハイ受信 ACK応答	データ取得	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$58	データハイ受信 NACK応答	データ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0

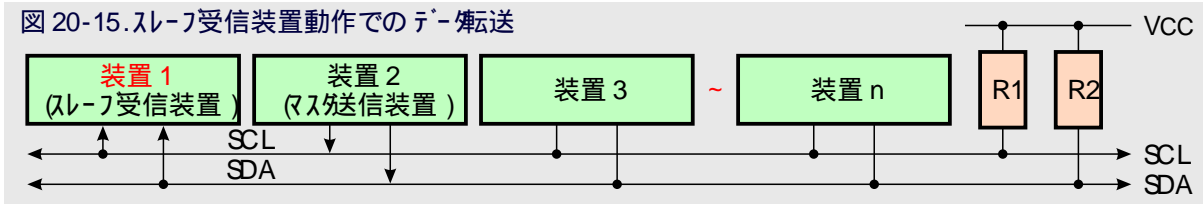
図 20-14. マスタ受信装置動作の形式と状態



### 20.7.3. スレーフ受信装置動作

スレーフ受信装置動作では何ハイのデータがマスタ送信装置から受信されます (図 20-15 参照)。本項で言及する全ての状態コードは前置分周選択ビットが 0、または 0 で遮蔽されることが前提です。

図 20-15. スレーフ受信装置動作でのデータ転送



スレーフ受信装置動作を始めるには TWAR と TWCR が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身のスレーフアドレス							1/0

上位 7 ビットはマスタによってアドレス指定される時に 2 線シリアル インターフェイスが応答するアドレスです。最下位 (TWGCE) ビットがセット (1) されるなら、TW は一斉呼び出し (\$00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	0	1	0	0	0	1	0	X

TWEN は 2 線シリアル インターフェイス (TWI) を許可するために 1 を書かれなければなりません。TWEA は装置自身のスレーフアドレスまたは一斉呼び出しアドレスの確認応答 (ACK) を許可するために 1 を書かれなければなりません。TWSTA と TWSTO は 0 を書かれなければなりません。

TWAR と TWCR が初期化されてしまうと、TW は自身のスレーフアドレスまたは許可ならば一斉呼び出しアドレスとそれに続くデータ方向ビットによりアドレス指定されるまで待機します。方向ビットが 0 (W) ならば TW はスレーフ受信装置で動作し、さもなければ (1 (R) ならば) スレーフ送信装置へ移行されます。自身のスレーフアドレスと W ビットが受信されてしまった後、TWNT フラグがセット (1) され、TWSR から有効な状態コードが読めます。この状態コードは適切なソフトウェア動作を決めるために使用されます。各状態コードに対して行うべき適切な動作は表 20-4 で詳述されます。スレーフ受信装置動作は TW がマスタ動作の間で調停に敗れた場合にも移行されるかもしれません。(状態コード \$68, \$78 参照)

転送中に TWEA ビットがリセット (0) されると、TW は次に受信したデータハイ後の SDA に非確認応答 (NACK) (SDA=High) を返します。これはスレーフがこれ以上受信できないことを示すために使用できます。TWEA が 0 の間中、TW は自身のスレーフアドレスに応答しませんが、2 線シリアルバスは未だ監視され、アドレス認証は TWEA のセット (1) により何時でも再開できます。これは TWEA ビットが TW を 2 線シリアルバスから一時的に隔離するために使用できることを意味します。

アイドル動作を除くスリープ動作では TWI のクロックシステムが OFF にされます。TWEA ビットがセット (1) されていると、このインターフェイスはクロック元として 2 線シリアルバスクロック (SCL) を使用することにより、自身のスレーフアドレスと一斉呼び出しに未だ確認応答できます。その後データハイがスリープ動作から起動し、TW は起動中から TWNT フラグが (書き込みにより) クリア (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

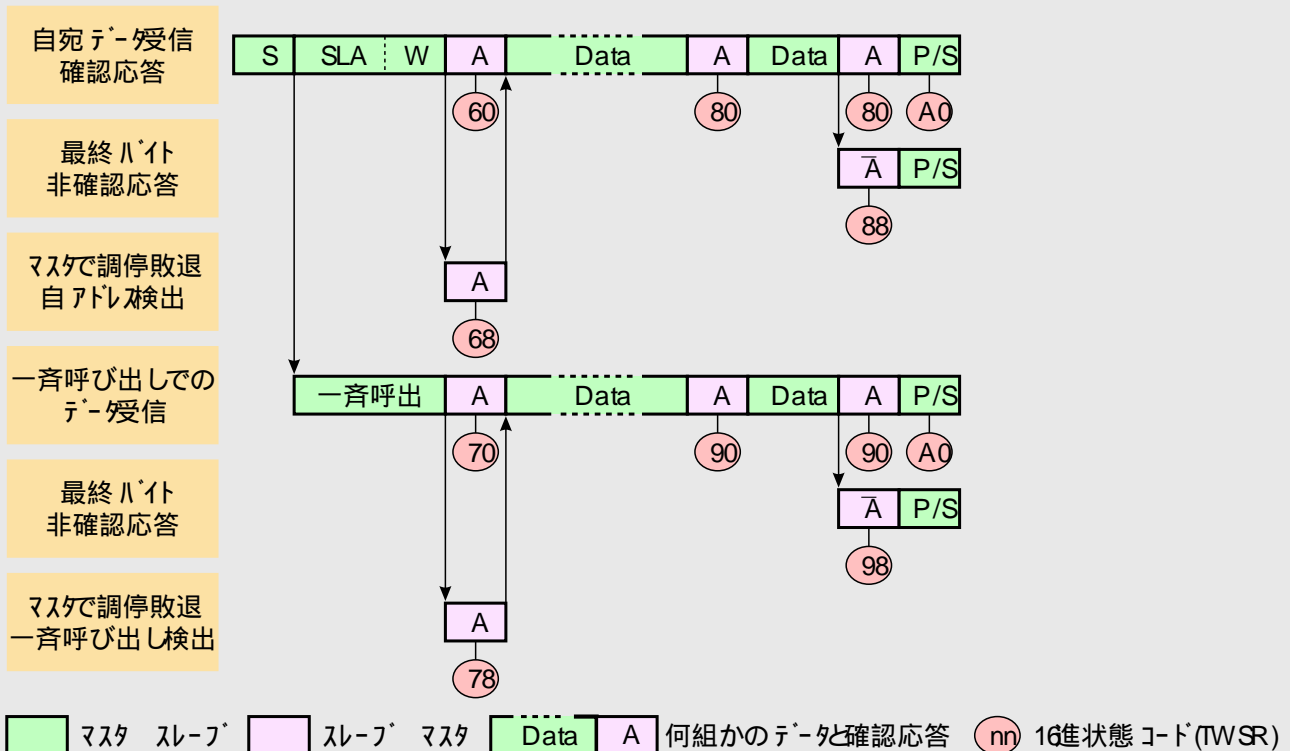
これらのアイドル動作を除くスリープ動作から起動すると、2 線シリアルインターフェイスデータレジスタ (TWDR) はバスで渡す最後のハイを反映しないことに注意してください。



表 20-4. スレーフ受信装置動作の状態コード 注：TWSRの前置分周選択ビットは0の前提）

状態コード (TWSR)	直前の動作と バスの状態	ソフトウェアの応答				TWCR設定によるハードウェア動作	
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$60	自宛 SLA+W受信 ACK応答	なし	X	0	1	0	マスタ受信、NACK応答
			X	0	1	1	マスタ受信、ACK応答
\$68	マスタでの SLA+R/Wで 調停敗退 / 自宛 SLA+W 受信 / ACK応答	なし	X	0	1	0	マスタ受信、NACK応答
			X	0	1	1	マスタ受信、ACK応答
\$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	マスタ受信、NACK応答
			X	0	1	1	マスタ受信、ACK応答
\$78	マスタでの SLA+R/Wで 調停敗退 / 一斉呼び 出し受信 / ACK応答	なし	X	0	1	0	マスタ受信、NACK応答
			X	0	1	1	マスタ受信、ACK応答
\$80	自宛 マスタハイ受信 ACK応答	マスタ取得	X	0	1	0	マスタ受信、NACK応答
			X	0	1	1	マスタ受信、ACK応答
\$88	自宛 マスタハイ受信 NACK応答	マスタ取得	0	0	1	0	未指定 スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定 スレーフ動作へ移行、応答対応
			1	0	1	0	未指定 スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定 スレーフ動作へ移行、応答対応 バス開放で開始条件送信
\$90	一斉呼び出しのマスタ ハイ受信 / ACK応答	マスタ取得	X	0	1	0	マスタ受信、NACK応答
			X	0	1	1	マスタ受信、ACK応答
\$98	一斉呼び出しのマスタ ハイ受信 NACK応答	マスタ取得	0	0	1	0	未指定 スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定 スレーフ動作へ移行、応答対応
			1	0	1	0	未指定 スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定 スレーフ動作へ移行、応答対応 バス開放で開始条件送信
\$A0	自指定中の 停止条件または 再送開始条件検出	なし	0	0	1	0	未指定 スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定 スレーフ動作へ移行、応答対応
			1	0	1	0	未指定 スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定 スレーフ動作へ移行、応答対応 バス開放で開始条件送信

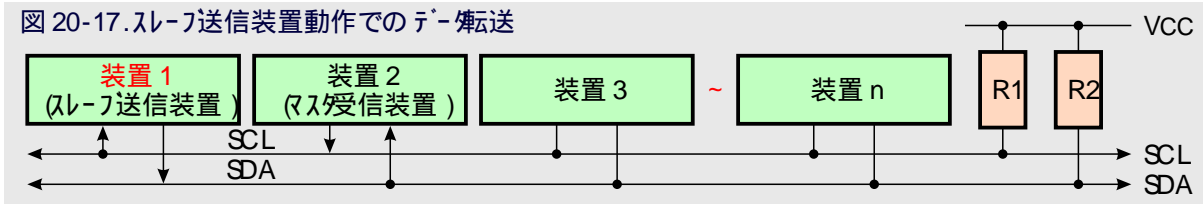
図 20-16. スレーフ受信装置動作の形式と状態



## 20.7.4. スレーフ送信装置動作

スレーフ送信装置動作では何ハイのデータがマス送信装置へ送信されます (図 20-17 参照)。本項で言及する全ての状態コードは前置分周選択ビットが 0 の、または 0 で遮蔽されることが前提です。

図 20-17. スレーフ送信装置動作でのデータ転送



スレーフ送信装置動作を始めるには TWAR と TWCR が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身のスレーフアドレス							1/0

上位 7 ビットはマス外によってアドレス指定される時に 2 線シリアル インターフェイスが応答するアドレスです。最下位 (TWGCE) ビットがセット (1) されるなら、TW は一斉呼び出し (\$00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

TWEN は 2 線シリアル インターフェイス (TWI) を許可するために 1 を書かれなければなりません。TWEA は装置自身のスレーフアドレスまたは一斉呼び出しアドレスの確認応答 (ACK) を許可するために 1 を書かれなければなりません。TWSTA と TWSTO は 0 を書かれなければなりません。

TWAR と TWCR が初期化されてしまうと、TW は自身のスレーフアドレスまたは許可ならば一斉呼び出しアドレスとそれに続くデータ方向ビットによりアドレス指定されるまで待機します。方向ビットが 1 (R) ならば TW はスレーフ送信装置で動作し、さもなければ (0 (W) ならば) スレーフ受信装置へ移行されます。自身のスレーフアドレスと R ビットが受信されてしまった後、TWINT フラグがセット (1) され、TWSCR から有効な状態コードが読めます。この状態コードは適切なソフトウェア動作を決めるために使用されます。各状態コードに対して行うべき適切な動作は表 20-5 で詳述されます。スレーフ送信装置動作は TW がマス動作の間で調停に敗れた場合にも移行されるかもしれません。(状態コード \$B0 参照)

転送中に TWEA ビットが 0 を書かれると、TW は転送の最後のハイを送信します。マス受信装置が最終ハイ後に ACK または NACK のどちらを送信するかによって状態 \$C0 か \$C8 へ移行します。TW はアドレス指定されていないスレーフ動作に切り替えられ、マス転送を続ける場合、そのマスを無視します。従ってマス受信装置はシリアルデータとして全て 1 を受信します。スレーフが最後のハイを送信 (TWEA が 0 で、マスからの NACK を予測したとしても、マスが ACK 送信により追加データハイを要求すると状態 \$C8 へ移行します。

TWEA が 0 の間中、TW は自身のスレーフアドレスに回答しませんが、2 線シリアルバスは未だ監視され、アドレス認証は TWEA のセット (1) により何時でも再開できます。これは TWEA ビットが TW を 2 線シリアルバスから一時的に隔離するために使用できることを意味します。

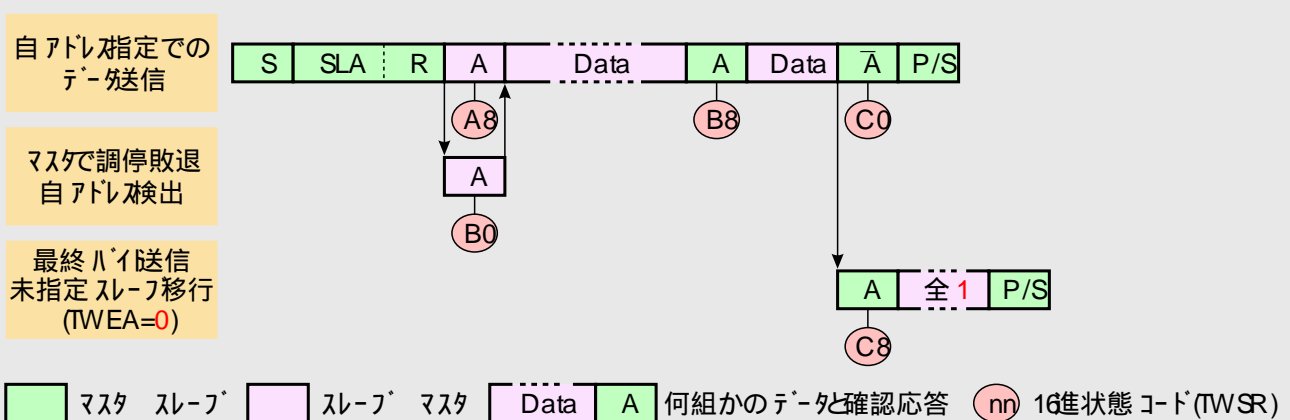
アイドル動作を除くスリープ動作では TW のクロックシステムが OFF にされます。TWEA ビットがセット (1) されていると、このインターフェイスはクロック元として 2 線シリアルバスクロック (SCL) を使用することにより、自身のスレーフアドレスと一斉呼び出しに未だ確認応答できます。その後データハイがスリープ動作から起動し、TW は起動中から TWINT フラグが (書き込みにより) クリア (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらのアイドル動作を除くスリープ動作から起動すると、2 線シリアルインターフェイスデータレジスタ (TWDR) はバスで渡す最後のハイを反映しないことに注意してください。

表 20-5. スレーフ送信装置動作の状態コード (注: TWSRの前置分周選択ビットは0の前提)

状態コード (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$A8	自宛 SLA+R受信 ACK応答	データ指定	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B0	マスタでのSLA+RWで 調停敗退/自宛SLA+ R受信/ACK応答	データ指定	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B8	データハイ送信 ACK受信	データ指定	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$C0	データハイ送信 NACK受信	なし	0	0	1	0	未指定スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定スレーフ動作へ移行、応答対応
			1	0	1	0	未指定スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーフ動作へ移行、応答対応 バス開放で開始条件送信
\$C8	最終データハイ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定スレーフ動作へ移行、応答対応
			1	0	1	0	未指定スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーフ動作へ移行、応答対応 バス開放で開始条件送信

図 20-18. スレーフ送信装置動作の形式と状態



## 20.7.5. その他の状態

定義したTW状態に従わない2つの状態コードがあります。表 20-6をご覧ください。

状態 \$F8はTW割り込み要求フラグ(TWNT)がセット(1)されたため、適切な情報が利用できないことを示します。これは他の状態間でTWIがシリアル転送に関係しないときに起きます。

状態 \$00は2線シリアルバス転送中にバス異常が起きたことを示します。バス異常はフルマスタ形式の不正な位置で開始(START条件または停止(STOP)条件)が起きるときに発生します。このような不正位置の例はアドレスハイ、データハイ、確認応答(ACK)ビットのシリアル転送中です。バス異常が起きるとTWNTがセット(1)されます。バス異常から回復するには、停止(STOP)条件生成許可(TWSTO)ビットがセット(1)され、TWNTが論理書き込みによりクリア(0)されなければなりません。これはTWをアドレス指定されていないスレーフ動作にさせ、TWSTOビットをクリア(0)させます(TWCRの他のビットは影響されません)。SDAとSCL信号進は開放され、停止条件は送出されません。

表 20-6. その他の状態コード (注: TWSRの前置分周選択ビットは0の前提)

状態コード (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$F8	適切な状態情報なし TWNT=0	なし	-	-	-	-	待機または現在の転送続行
\$00	不正な開始条件/停止 条件でのバス異常	なし	0	1	1	X	停止条件を送出せずにバスを開放 TWSTO=0

## 20.7.6. 各種 TW 動作種別の組み合わせ

いくつかの場合で、望んだ動作を満たすために各々の TW 動作種別は組み合わせられなければなりません。例えばシリアル EEPROM からのデータ読み出しを考えてください。一般的に、このような転送は次の段階を含みます。

転送が開始されなければなりません。

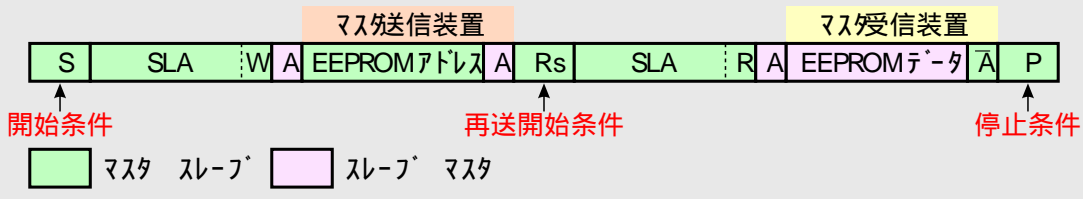
EEPROM は読み出すべき場所を指示されなければなりません。

読み出しが実行されなければなりません。

転送が終了されなければなりません。

データがマスタからスレーフへとその逆の両方向へ転送されることに注意してください。マスタはどの場所を読みたいかをスレーフに指示しなければならず、マスタ送信装置動作の使用を必要とします。その後データはスレーフから読まねばならず、マスタ受信装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。マスタはこれら全ての段階中にバス制御を保持しなければならず、この手順は排他的 非分断 操作として行われるべきです。複数マスタシステムでこの原則に違反すると、他のマスタと段階間で EEPROM 内のデータポイントを変更するかもしれず、元のマスタは不正なデータ位置を読むでしょう。このような転送方向の切り替えは、アドレスバイトの送信とデータの受信間で再送開始条件を送出することにより成し遂げられます。再送開始条件後もマスタはバスの占有権を保持します。次の図は、この転送の流れを示します。

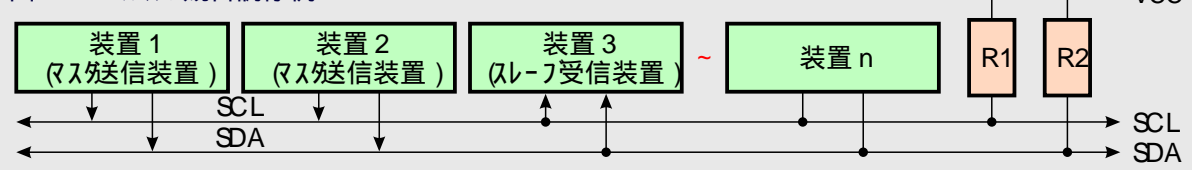
図 20-19. シリアル EEPROM アクセスでの各種 TW 動作種別の組み合わせ



## 20.8. 複数マスタシステムでのバス競合と調停

複数のマスタが同じバスに接続されると、それらの一つまたはそれ以上により同時に送信が開始されるかもしれません。TW はマスタの一つが転送を続けることを許され、手順内でデータが失われないような方法で、このような状態が扱われることを標準で保証します。2つのマスタがスレーフ受信装置へデータを送信を試みる場合の調停状況の例は以下で図示されます。

図 20-20. バスの競合調停例



以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

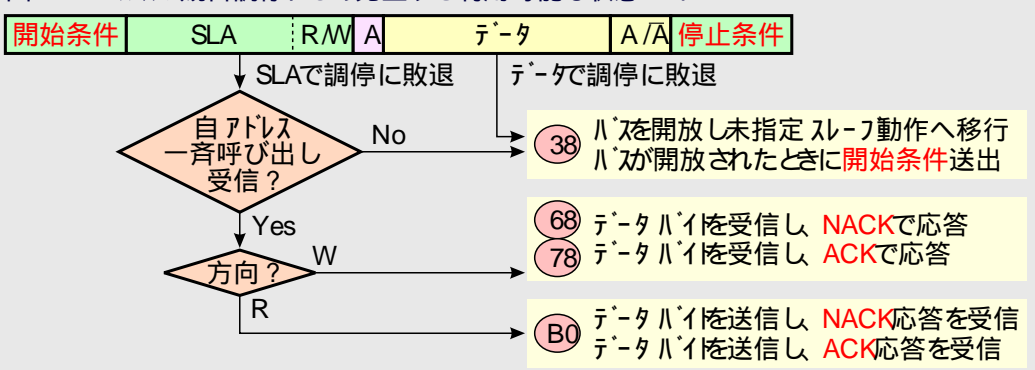
複数のマスタが同じスレーフに全く同じ通信を実行する場合。この場合、スレーフもマスタのどれもがバスの衝突について知りません。

複数のマスタが異なるデータまたは方向ビット (RW) で同じスレーフをアクセスする場合。この場合、RW ビットまたはデータビットのどちらかで調停が起きます。他のマスタが SDA に 0 を出力する間に 1 を出力しようとするマスタが調停に敗れます。敗れるマスタは応用ソフトウェアの処置によって未指定スレーフ動作に切り替えるか、またはバスが開放になるまで待って新規開始条件を送出します。

複数のマスタが異なるスレーフをアクセスする場合。この場合、SLA ビット内で調停が起きます。他のマスタが SDA に 0 を出力する間に 1 を出力しようとするマスタが調停に敗れます。SLA 内で調停に敗れるマスタは勝つマスタによりアドレス指定されるかを確認するため、スレーフ動作に切り替えます。アドレス指定されると、RW ビットの値によってスレーフ受信装置 (SR 動作) またはスレーフ送信装置 (ST 動作) へ切り替えます。アドレス指定されないならば、応用ソフトウェアの処置によって未指定スレーフ動作に切り替えるか、またはバスが開放になるまで待って新規開始条件を送出します。

これは図 20-21 で要約されます。利用可能な状態コードは楕円 (訳注 原文は円) で与えられます。

図 20-21. バスの競合調停により発生する利用可能な状態コード





## 20.9. TW用レジスタ

### 20.9.1. TWビットレートレジスタ (TW Bit Rate Register) TWBR

ビット (\$B8)	7	6	5	4	3	2	1	0	
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - TWBR7~0 : TWビットレート選択 (TW Bit Rate Register)

TWBRはビットレート発生器用の分周値を選びます。ビットレート発生器はマスタ動作でSCLクロック周波数を生成する周波数分周器です。ビットレートの計算については135頁の「ビットレート発生器」をご覧ください。

### 20.9.2. TW制御レジスタ (TW Control Register) TWCR

ビット (\$B0)	7	6	5	4	3	2	1	0	
	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

TWCRはTW動作の制御に使用されます。TWの許可、バス上に開始条件を印加することによるマスタのアクティベーション開始、受信装置の応答生成、停止条件の生成、バスにデータを送出するためのTWデータレジスタ(TWDR)への書き込み中のバスの一時停止制御に使用されます。TWDRがアクセス不能の間にTWDRへ書き込もうとする場合の上書きエラーを示します。

ビット7 - TWNT : TW割り込み要求フラグ (TW Interrupt Flag)

このビットはTWが現在の作業を終了し、応用ソフトウェアの応答が予測されるとき、ハードウェアによりセット(1)されます。TW制御レジスタ(TWCR)のTW割り込み許可(TWE)ビットとステータスレジスタ(SREG)の全割り込み許可(IF)ビットがセット(1)されていると、MCUはTW割り込みベクタへ飛びます。TWNTフラグがセット(1)の間中、SCLのLow期間は引き伸ばされます。TWNTフラグは論理1書き込みによりソフトウェアでクリア(0)されなければなりません。このフラグが割り込みルーチンを実行するとき、自動的にクリア(0)されないことに注意してください。このフラグのクリア(0)はTW動作を始めるので、このフラグをクリア(0)する前にTWアドレスレジスタ(TWAR)、TWデータレジスタ(TWDR)、TW状態レジスタ(TWSR)への全てのアクセスが完了していなければならないことに注意してください。

ビット6 - TWEA : 確認応答 (ACK許可) (TW Enable Acknowledge Bit)

TWEAビットは確認応答(ACKバース)の生成を制御します。TWEAビットが1を書かれ、次の条件に合致すると、TWバスにACKバースが生成されます。

- 装置が自分用のスレーフアドレスを受信した場合。
- TWアドレスレジスタ(TWAR)の一斉呼び出し検出許可(TWGCE)ビットがセット(1)されているときに一斉呼び出しを受信した場合。
- マスタ受信装置またはスレーフ受信装置動作でデータハイを受信した場合。

TWEAビットに0を書くことにより装置は一時的かつ仮想的に線シリアルバスから切り離されることができます。アドレス認証はその後に再びTWEAビットへ1を書くことにより再開できます。

ビット5 - TWSTA : 開始 (START条件生成許可) (TW I START Condition Bit)

線シリアルバスのマスタになることを欲するとき、応用はTWSTAビットに1を書きます。TWハードウェアはバスが利用可能かを検査し、開放ならばバスに開始条件を生成します。しかし、バスが未開放の場合、TWは停止条件が検出されるまで待ち、その後にバスマスタ権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまう時、ソフトウェアによりクリア(0)されなければなりません。

ビット4 - TWSTO : 停止 (STOP条件生成許可) (TW I STOP Condition Bit)

マスタ動作でTWSTOビットに1を書くことは線シリアルバスに停止条件を生成します。停止条件がバスで実行されると、TWSTOビットは自動的にクリア(0)されます。スレーフ動作でのTWSTOビットのセット(1)はエラー状態からの回復に使用できます。これは停止条件を生成しませんが、TWは明確に指定されていないスレーフ動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

ビット3 - TWWC : TW止書きエラーフラグ (TW I Write Collision Flag)

TW割り込み要求フラグ(TWNT)が0のときにTWデータレジスタ(TWDR)への書き込みを試みると、このTWWCフラグがセット(1)されます。このフラグはTWNTが1の時のTWDR書き込みによりクリア(0)されます。

ビット2 - TWEN : TW動作許可 (TW Enable Bit)

TWENビットはTW動作を許可し、TWインターフェースを活性(有効)にします。TWENが1書かれると、TWはSCL、SDAピンに接続したI/Oピンを制御できるようになり、スライクフィルタとスレーブ制限器を許可します。このビットが0書かれると、TWがOFFにされ、どんな進行中の動作にも関係なく、全てのTW送信が終了されます。

ビット1 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読まれます。

ビット0 - TWE : TW割り込み許可 (TW Interrupt Enable)

このビットが1書かれ、ステータスレジスタ(SREG)の全割り込み許可(IF)ビットがセット(1)されていると、TW割り込み要求フラグ(TWNT)が1である限りTW割り込み要求が活性に発生されます。

### 209.3. TW状態レジスタ (TWI Status Register) TWSR

ビット (\$B9)	7	6	5	4	3	2	1	0	
	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	TWSR
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	1	1	1	1	1	0	0	0	

ビット7~ 3 - TWS7~ 3 :TW状態 (TWI Status)

これら5ビットはTW論理回路と2線シリアルバスの状態を反映します。各種状態コードは本項の後ろで記述されます。TWSRから読む値は5ビットの状態コードと2ビットの前置分周値の両方を含むことに注意してください。応用設計者は状態ビットを検査するとき、前置分周器ビットを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いて、このデータシート内で使用されます。

ビット2 - Res :予約 (Reserved Bit)

このビットは予約されており常に0として読まれます。

ビット1,0 - TWPS1,TWPS0 :TW前置分周器選択 (TWI Prescaler Bits)

これらのビットは読み書きでき、ビットレートの前置分周器を制御します。

ビットレートを計算するには135頁の「ビットレート発生器」をご覧ください。TWPS1~0の値は、この式で使用されます。

表 20-7. TWIビットレート前置分周器選択

TWPS1	TWPS0	分周値
0	0	1
0	1	4
1	0	16
1	1	64

### 209.4. TWIデータレジスタ (TWI Data Register) TWDR

ビット (\$BB)	7	6	5	4	3	2	1	0	
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

送信動作でのTWDRは送信されるべき次のバイトを含みます。受信動作でのTWDRは最後に受信したバイトを含みます。TWDRはTWがバイトをシフトする手順でない間に書き込み可能です。これはTW制御レジスタ(TWCR)のTW割り込み要求フラグ(TWNT)がハードウェアによりセットされると起きます。最初のTW割り込みが起こる前にデータレジスタ(TWDR)は使用者により初期化できないことに注意してください。TWDRのデータはTWNTが安定してセットされている限り持続します。データがシフト出力される間、バスのデータが同時にシフト入力されます。TW割り込みによるスリープ動作からの起動後を除いて、TWDRは常にバスに現れる最後のバイトを含みます。この例外の場合のTWDRの内容は不定です。バス転送中に失敗した場合のマスターからスリープへの移行でもデータは失われません。確認応答(ACK)ビットの扱いはTW論理回路により自動的に制御され、CPUはACKビットを直接的にアクセスできません。

ビット7~ 0 - TWD7~ 0 :TWIデータ (TWI Data)

これら8ビットは送信されるべき次のデータバイトまたは2線シリアルバスで最後に受信したデータバイトを構成します。

### 209.5. TWI(スレーブ)アドレスレジスタ (TWI (Slave) Address Register) TWAR

ビット (\$BA)	7	6	5	4	3	2	1	0	
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

TWARはスレーブの送受信装置として設定したときにTWが応答する7ビットスレーブアドレス(TWAR上位7ビット)に設定されるべきで、マスター動作では必要とされません。複数マスターのシステムでは、他のマスターによりスレーブとしてアドレス指定され得るマスターで、TWARは設定されなければなりません。

TWARの最下位ビット(TWGCE)は一斉呼び出しアドレス(\$00)認証の許可に使用されます。これらは受信したシリアルアドレスでスレーブアドレスと許可ならば一斉呼び出しアドレスを捜す関連アドレス比較器です。一致が見つかったら割り込み要求が生成されます。

ビット7~ 1 - TWA6~ 0 :TWIスレーブアドレス (TWI (Slave) Address)

これら7ビットはTW部のスレーブアドレスを構成します。

ビット0 - TWGCE :一斉呼び出し検出許可 (TWI General Call Recognition Enable Bit)

セット(1)ならば、このビットは2線シリアルバスを伝って与えられる一斉呼び出しの認証検出を許可します。

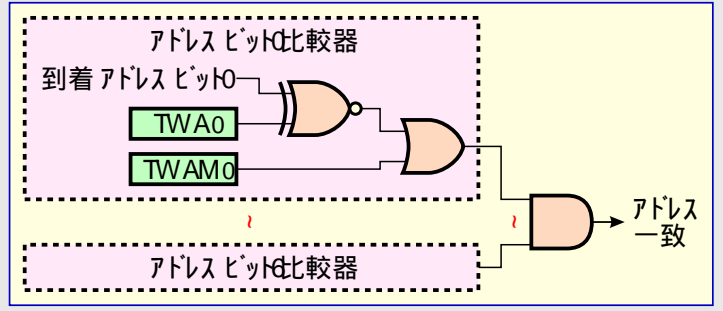
## 20.9.6. TWI (スレーブ) アドレス マスクレジスタ (TWI (Slave) Address Mask Register) TWAMR

ビット (\$BD)	7	6	5	4	3	2	1	0	
	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	-	TWAMR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	1	1	1	1	1	1	1	0	

ビット7～ 1 - TWAM6～ 0 :TWIスレーブ アドレス遮蔽 (TWI (Slave) Address Mask)

TWAMRは7ビットのスレーブ アドレス マスクを格納できます。TWAMR内の各ビットはTWI(スレーブ)アドレス レジスタ(TWAR)内の対応するアドレス ビットを遮蔽 禁止 します。マスク ビットが 1に設定されると、その後アドレス一致論理回路は到着 アドレス ビットとTWAR内の対応ビット間の比較を無視します。図 20-22はアドレス一致論理回路を詳細に示します。

図 20-22. TW アドレス一致論理 構成図



ビット0 - Res :予約 (Reserved Bit)

このビットは使用されず、常に 0として読まれます。

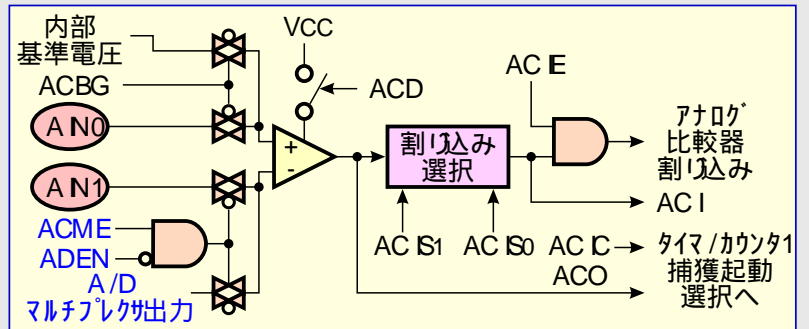
## 21. アナログ比較器

### 21.1 概要

アナログ比較器は非反転入力  $AN0$  と反転入力  $AN1$  の入力値を比較します。非反転  $AN0$  の電圧が反転  $AN1$  の電圧より高いとき、**ACSRBのアナログ比較器出力 (ACO) ビット** がセット(1)されます。この比較器の出力はタイマ/カウンタの捕獲 (キャプチャ機能を起動するために設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の立ち上り 立ち下り またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図 21-1 で示されます。

ADC入力 (A/Dマルチプレクサ出力) の使用を可能にするには、26頁の「電力削減レジスタ (PRR)」の **PRADC** ビットが論理 0 書き加えられることで電力削減を禁止されなければなりません。

図 21-1. アナログ比較器部構成図



注：A/Dマルチプレクサ出力については表 21-1 をご覧ください。  
アナログ比較器ピン配置については 2 頁の「ピン配置」と 52 頁の表 12-9. を参照してください。

### 21.2. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるために ADC7~0 のどれかを選択することができます。A/D変換のマルチプレクサはこの入力選択に使用され、従ってこの機能を利用するために A/D変換部が OFF 動作禁止 にされなければなりません。ADCSR の **アナログ比較器マルチプレクサ許可 (ACME) ビット** がセット(1)され、A/D変換部が OFF (ADCSRA の **ADEN** ビットが 0) にされていれば、表 21-1 で示されるように **ADMUX** の **チャンネル選択 (MUX2~0) ビット** はアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACME がクリア (0) または **ADEN** がセット(1)されると、 $AN1$  がアナログ比較器への反転入力に印加されます。

表 21-1. アナログ比較器反転入力選択

ACME	ADEN	MUX2~0	アナログ比較器反転入力	備考
0	x	x x x	$AN1$	
1	1	x x x	$AN1$	
	0	0 0 0	ADC0	
		0 0 1	ADC1	
		0 1 0	ADC2	
		0 1 1	ADC3	
		1 0 0	ADC4	
		1 0 1	ADC5	
		1 1 0	ADC6	TQFP, QFN/MLF32 パッケージのみ
		1 1 1	ADC7	

### 21.3. アナログ比較器用レジスタ

#### 21.3.1. A/D変換制御/状態レジスタ B (ADC Control and Status Register B) ADCSRB

ビット (\$7B)	7	6	5	4	3	2	1	0	
	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	ADCSR B
Read/W rite	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット 6 - ACME : アナログ比較器マルチプレクサ許可 (Analog Comparator Multiplexer Enable)

このビットが論理 1 書き加えられ、A/D変換部が OFF (ADCSRA の **ADEN** ビットが 0) にされると、A/D変換のマルチプレクサはアナログ比較器への反転入力を選択します。このビットが論理 0 書き加えられると、 $AN1$  がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については次の「アナログ比較器入力選択」をご覧ください。



## 21.3.2. アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	ACD	ACBG	ACO	ACI	ACE	ACC	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

### ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理 1 を書かれると、アナログ比較器への電力が OFF にされます。このビットはアナログ比較器を OFF にするために何時でもセット (1) できます。これは通常動作やアイドル動作で電力消費を削減します。ACD ビットを変更するとき、ACSR で **アナログ比較器割り込み許可 (ACE ビット)** をクリア (0) することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるときに割り込みが起こります。

### ビット6 - ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットがセット (1) されると、内部基準電圧 (公称 1.1V) が、アナログ比較器への非反転入力に取って代わります。このビットがクリア (0) されると、AN0 がアナログ比較器の非反転入力に印加されます。内部基準電圧がアナログ比較器入力として使用されるとき、電圧の安定に一定時間を必要とします。安定 待機をしない場合、最初は不正値を与えるかもしれません。29 頁の **内部基準電圧** をご覧ください。

### ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接 ACO に接続されます。この同期化は 1~2 クロック サイクルの遅延をもたらします。

### ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事が ACSR の **アナログ比較器割り込み条件 (ACIS1 ACIS0 ビット)** により定義した割り込み方法で起動するときにセット (1) されます。ACSR のアナログ比較器割り込み許可 (ACE ビット) がセット (1) され、**ステータスレジスタ (SREG) の全割り込み許可 (IFL ビット)** がセット (1) されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理を実行すると、AC はハードウェアによりクリア (0) されます。代わりに、このフラグへ論理 1 を書くことによっても AC はクリア (0) されます。

### ビット3 - ACE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACE ビットが論理 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (IFL ビット) がセット (1) されていると、アナログ比較器割り込みが活性 (有効) にされます。論理 0 を書かれると、この割り込みは禁止されます。

### ビット2 - ACC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

論理 1 を書かれると、このビットはアナログ比較器により起動されるタイマ/カウンタの捕獲 (キャプチャ) 機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ捕獲割り込みの **ノイズ除去機能** と **エッジ選択機能** を利用させる **捕獲入力前置論理回路** へ直接的に接続されます。論理 0 を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ捕獲割り込みを起動するには、**タイマ/カウンタ割り込みマスクレジスタ (TMSK1) の捕獲割り込み許可 (CE1 ビット)** がセット (1) されなければなりません。

### ビット1,0 - ACIS1, ACIS0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを起動する比較器のどの出来事かを決めます。各種設定は表 21-2 で示されます。

ACIS1 ACIS0 ビットを変更するとき、ACSR でアナログ比較器割り込み許可 (ACE ビット) をクリア (0) することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更されるときに割り込みが起き得ます。

表 21-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	予約
1	0	比較器出力の立ち下りエッジ
1	1	比較器出力の立ち上りエッジ

## 21.3.3. デジタル入力禁止レジスタ1 (Digital Input Disable Register 1) DIDR1

ビット	7	6	5	4	3	2	1	0	
\$7F	-	-	-	-	-	-	AN1D	AN0D	DIDR1
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### ビット7~2 - Res : 予約 (Reserved)

これらのビットは使用されず、常に 0 として読めます。

### ビット1,0 - AN1D, AN0D : AN1, AN0 デジタル入力禁止 (AN1, AN0 Digital Input Disable)

このビットが論理 1 を書かれると、AN1/0 ピンのデジタル入力バッファが禁止されます。このビットがセット (1) されると、対応するポート入力レジスタのビット (PNx) は常に 0 として読みます。AN1/0 ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされないとき、デジタル入力バッファでの消費電力を削減するため、このビットは論理 1 を書かれるべきです。



A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はAREFピンへの電圧-1LSBを表します。A/Dチャネル選択レジスタ(ADMUX)の基準電圧選択(REFS1, REFS0)ビットへの書き込みにより、任意でAVCCまたは内部1.1V基準電圧がAREFピンに接続できます。従ってこの内部基準電圧はノイズ耐性を改善するためにAREFピンで外部コンデンサによりテカッパ(ノイズ結合減少)ができます。

アナログ入力チャネルはADMUXのチャネル選択(MUX3~0)ビットへの書き込みにより選択されます。GNDと固定基準電圧(1.1V内蔵基準電圧(VBG))だけでなく、どのADC入力ピン(ADC7~0)先がA/D変換器のシングルエンド入力として選択できます。A/D変換部はA/D変換制御/状態レジスタ(ADCSRA)のA/D許可(ADEN)ビットのセット(1)により動作が許可されます。基準電圧と入力チャネルの選択はADENがセット(1)されるまで実施しません。ADENがクリア(0)されているとA/D変換部は電力を消費しないので、電力を節約するスリープ動作へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH, ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットをセット(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを超える精度が必要とされない場合はADCHを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH, ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH, ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH, ADCLへのA/D変換器アクセスが再び許可されます。

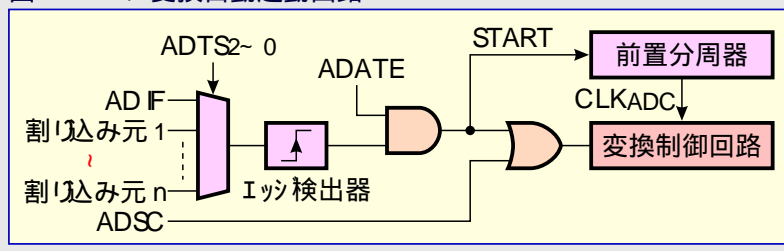
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

## 22.3. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことにより開始されます。このビットは変換が進行中である限り1に留まり、変換が完了されるとハードウェアによりクリア(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元により自動的に起動できます。自動起動はA/D変換制御/状態レジスタ(ADCSRA)のA/D変換自動起動許可(ADATE)ビットのセット(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定により選択されます。起動元の一覧についてはADTSビットの記述をご覧ください。選択した起動信号上に立ち上りエッジが起きると、A/D変換用前置分周器がリセット、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だセット(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の立ち上りエッジが起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(1)ビットがクリア(0)でも、割り込み要求フラグがセット(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグはクリア(0)されなければなりません。

図 22-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使用することは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取変換とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)がクリア(0)されるかどうかに関らず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことにより単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使用できます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

変換はA/D変換ノイズ低減機能の使用によっても開始され得ます。この機能はアイドルスリープ動作とA/D変換ノイズ低減スリープ動作中に変換を許可します。詳細については158頁の「ノイズ低減機能」をご覧ください。**訳注**: 共通性から2行追加)



## 22.4. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るために 50~ 200kHz の入力 クロック周波数を必要とします。10ビットより低い分解能が必要とされる場合、A/D変換器への入力 クロック周波数は、より高い採取速度を得るために 200kHzより高くできます。

A/D変換部は 100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換 クロック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御 /状態レジスタ (ADCSRA) の A/Dクロック選択 (ADPS2~ 0) レジスタにより設定されます。前置分周器はADCSRAで A/D許可 (ADENレジスタ) のセット(1) によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENレジスタがセット(1) される限り走行を維持し、ADENが0のとき、継続的にリセットされます。

ADCSRAの A/D変換開始 (ADSCレジスタ) のセット(1) によりシングル エントリの変換を起動すると、その変換は直後の変換 クロックの立ち上がりエッジで始まります。

通常の変換は 1変換 クロック サイクルで行われます。A/D変換部がONされる (ADCSRA) のADEN=1後の最初の変換はアナログ回路を初期化するために 25変換 クロック サイクルで行われます。

内部基準電圧がA/D変換器への入力として使用されると、電圧の安定に一定時間を必要とします。安定 待機をしない場合は初回変換後の最初の読み込み値は不正になるかもしれません。

実際のサンプル&ホールド保持開始点は通常変換の開始後 1.5変換 クロック サイクル、初回変換の開始後 13.5変換 クロック サイクルで行われます。変換が完了すると、結果がA/Dデータレジスタ (ADCH、ADCL) に書かれ、ADCSRAの A/D変換完了割り込み要求フラグ (ADIF) がセット(1) されます。単独変換動作 (ADSC=0) では同時にADCSRAの A/D変換開始 (ADSC) レジスタがクリア(0) されます。その後ソフトウェアは再びADSCをセット(1) でき、新規変換は変換 クロックの最初の立ち上がりで開始されます。

自動起動が使用されると、前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作では、サンプル&ホールドは起動要因となる信号の立ち上がり後、変換 クロック サイクルで採取が行われます。同期化論理回路 (エッジ検出器) に対して、追加の 3CPUクロック サイクルが使用されます。

連続変換動作 (ADFR=1) では変換完了後直ちに新規変換が開始され、一方ADSCは 1に留まります。変換時間の概要については次ページの表 22-1をご覧ください。

図 22-3. A/D変換前置分周器部構成

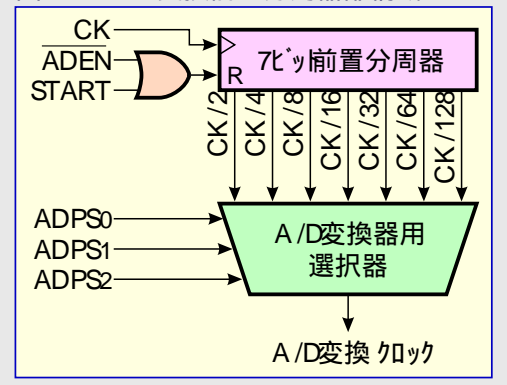


図 22-4. 初回変換タイミング (単独変換動作)

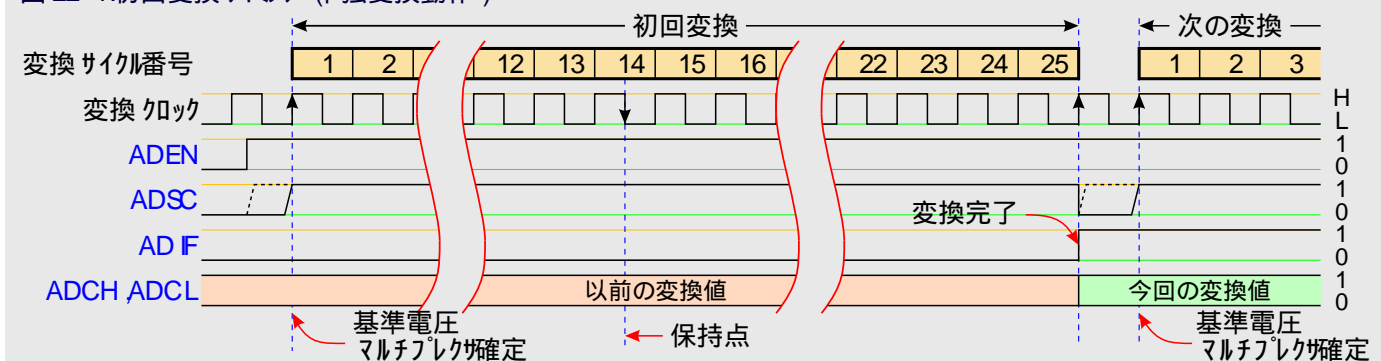


図 22-5. 通常変換タイミング (単独変換動作)

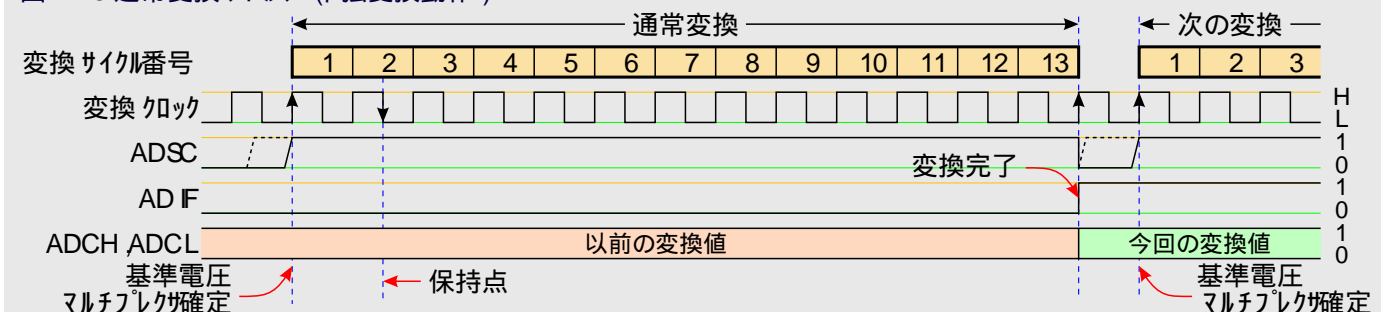




図 22-6 通常変換 タイミング (自動起動変換動作)

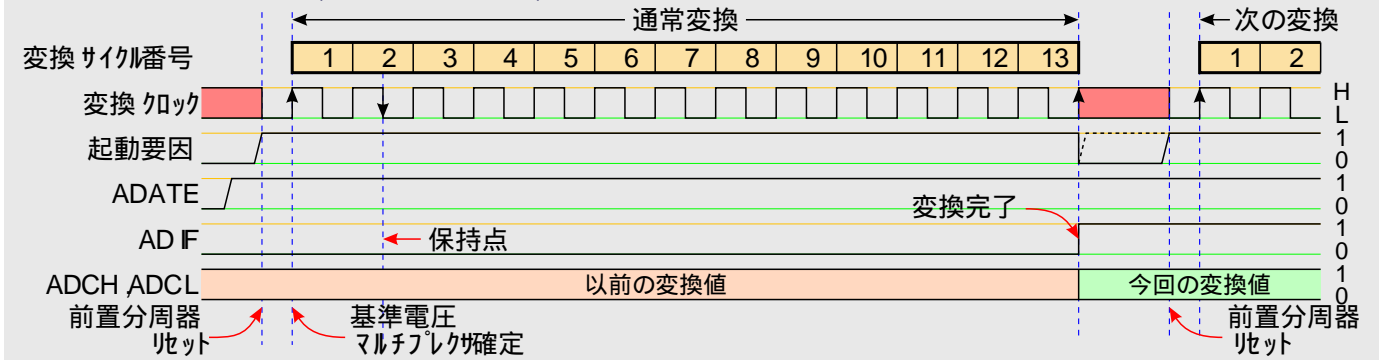


図 22-7 連続変換動作 タイミング

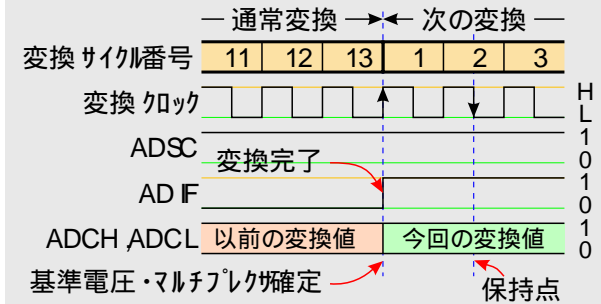


表 22-1.A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングル エンド入力通常変換	1.5	13
自動起動変換	2	13.5

注: 変換時間を除く各値は変換開始からの変換 クロック数です。

## 22.5. チャネル変更と基準電圧選択

A/Dチャネル選択レジスタ (ADMUX) のチャネル選択 (MUX3~0) レジスタと基準電圧選択 (REFS1~0) レジスタは CPU がランダムにアクセスするための一時レジスタを通して単独ハッパされます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うことを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了 (ADCSRA の ADIF=1 前の最後の変換 クロックサイクルで再開します。ADCSRA の変換開始 (ADSC) レジスタが書かれた後の次の変換 クロックの立ち上がりエッジで変換が始まることに注意してください。従って使用者は ADSC 書き込み後、変換 クロック サイクル 経過 まで新しいチャネルまたは基準電圧選択値を ADMUX に書かないことを推奨されます。

自動起動が使用される場合、起動要因の正確な時間は確定できません。変換が新規設定により影響されるように制御するには、ADMUX の更新時に特別な注意が払われなければなりません。

ADCSRA の A/D 許可 (ADEN) と A/D 変換自動起動許可 (ADATE) の両方が 1 が書かれると、何時でも割り込みが起き得ます。この期間で ADMUX が変更されると、使用者は次の変換が旧設定または新設定どちらを基準にされるかを知ることができません。ADMUX は次の方法で安全に更新できます。

ADEN または ADATE がクリア (0) されているとき。

変換開始後、最低 変換 クロック サイクル 経過後の変換中。

変換後から、変換起動元として使用した割り込み フラグがクリア (0) される直前まで。

これら条件の 1 つで ADMUX を更新すると、新設定は次の A/D 変換に影響を及ぼします。

### 22.5.1. A/D 入力チャネル

チャネル選択を変更するとき、使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択は ADCSRA への 1 書き込み後、変換 クロック サイクルで変更されるかもしれませんが、とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択は ADCSRA への 1 書き込み後、変換 クロック サイクルで変更されるかもしれませんが、とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後チャネル選択を変更することです。既に次の変換が自動的に開始されているため、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

## 22.5.2. A/D変換基準電圧

このA/D変換用の基準電圧 (VREF) はA/D変換に対する変換範囲を示します。VREFを超えるシングル エンド入力 チャンネルは\$3FFで打ち切るコードに帰着します。VREFはAVCC、内部 1.1V基準電圧、外部 AREFピン<sup>1</sup>のどれかとして選択できます。

AVCCは受動型スイッチを通してA/D変換部に接続されます。内部 1.1V基準電圧は内蔵基準 (バンドギャップ) 電圧 (V<sub>BG</sub>) から内部増幅器を通して生成されます。どちらの場合でも外部 AREFピン<sup>1</sup>は直接的にA/D変換部へ接続され、AREFピン<sup>1</sup>とGND間にコンデンサを接続することにより、基準電圧はノイズ耐性をより高められます。VREF 電圧 は高入力 インピーダンス電圧計とAREFピン<sup>1</sup>で測定することもできます。VREFは高インピーダンス出力で、容量性負荷のみがシステム内で接続されるべきであることに注意してください。

使用者がAREFピン<sup>1</sup>に接続された固定電圧源にするならば、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使用してはいけません。外部電圧がAREFピン<sup>1</sup>に印加されないなら、使用者は基準電圧選択としてAVCCと内部 1.1V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

## 22.6. ノイズ低減機能

このA/D変換部はCPUコアと他の周辺 I/Oが誘導したノイズを削減するためにスリープ動作中の変換を可能にするノイズ低減機能が特徴です。この機能はA/D変換ノイズ低減動作とアイドル動作で使用できます。この機能を使用するには次の手順が使用されるべきです。

A/D変換部が許可 (ADEN=1) され、変換中でない (ADSC=0) ことを確認してください。単独変換動作が選択 (ADSC=0) され、且つA/D変換完了割り込みが許可 (ADIF=1) されていない必要があります。

A/D変換ノイズ低減またはアイドル動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。

A/D変換完了前に他の割り込みが起これなければ、A/D変換完了割り込みはCPUを起動し、A/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換ノイズ低減動作を除く他のスリープ動作へ移行するとき、A/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このようなスリープ動作へ移行する前にADENへ0を書くことが推奨されます。

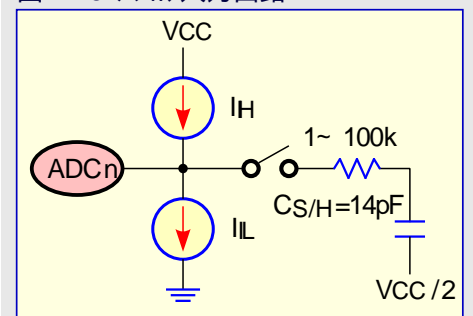
### 22.6.1. アナログ入力回路

シングル エンド入力 チャンネルのアナログ回路は図 22-8で図示されます。ADC<sub>n</sub>に印加したアナログ信号源はそのチャンネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャンネルが選択されると、アナログ信号源は直列抵抗 (入力経路の合成抵抗) を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね 10kΩ 若しくはそれ以下の出力 インピーダンスのアナログ信号用に最適化されています。このようなアナログ信号源が使用されるならば、採取時間は無視してもよいでしょう。より高いインピーダンスのアナログ信号源が使用される場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するためにアナログ信号源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低インピーダンスアナログ信号源だけを使用することが推奨されます。

特定できない信号の渦からの歪を避けるために、ナイキスト周波数 ( $f_{ADC}/2$ ) より高い信号成分は、どのチャンネルに対しても存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器 (ローパス フィルタ) で高い周波数成分を取り除くことが推奨されます。

図 22-8. アナログ入力回路



## 22.6.2. アナログノイズ低減技術

デバイス内外のデジタル回路がアナログ測定に精度に影響を及ぼすかもしれないEMを発生します。精密な変換精度が必要な場合、次の技法を適用することによりノイズレベルが低減できます。

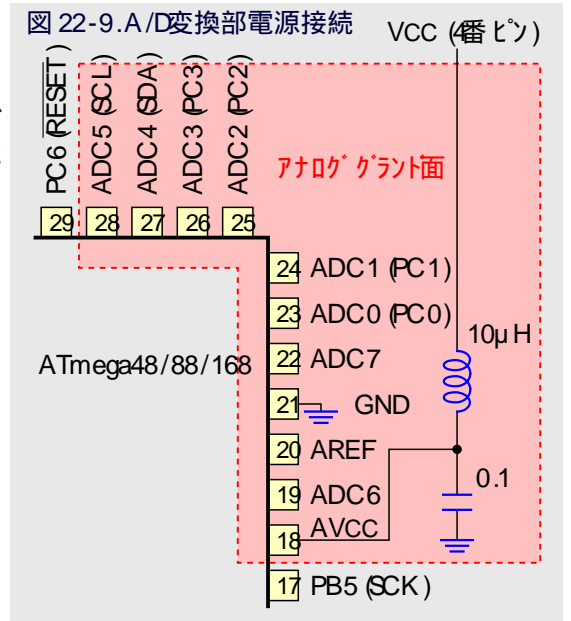
アナログ信号経路を可能な限り最短にしてください。アナログ信号線がアナログGND面上を走ることに注意し、高速スイッチングデジタル信号線から充分離すことを守ってください。

デバイスのAVCCピンは図22-9で示されるようにLC濾波器を経由してデジタル供給電圧(VCC)に接続されるべきです。

CPUからの誘導ノイズを低減するために、A/D変換のノイズ低減機能を使用してください。

何れかのADC0~3ポートピンがデジタル出力として使用される場合、これらは変換進行中に切り替わらないことが重要です。けれども2線シリアルインターフェース(ADC4とADC5の使用はADC4とADC5の変換にのみ影響し、他のADCチャンネルには影響しません。

**訳注** 図22-9は原図に対し修正され、ピン名は部分的に省略されています。



## 22.6.3. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を $2^n$ で直線的に変換します。最低値コードは0として読み、最高値コードは $2^n-1$ として読みます。

以下の各種パラメータは理想状態からの偏差を表します。

オフセット誤差 - 図22-10.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5LSB)と比較した偏差です。理想値は0LSBです。

利得誤差 - 図22-11.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

積分性非直線誤差(NL) - 図22-12.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

差動非直線誤差(DNL) - 図22-13.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に $\pm 0.5LSB$ です。

絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は $\pm 0.5LSB$ です。

図22-10. オフセット誤差

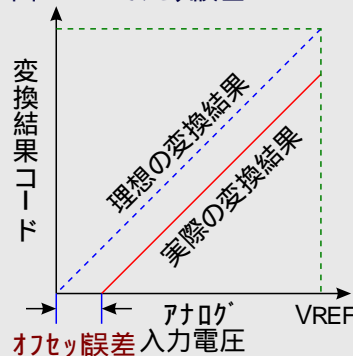


図22-11. 利得誤差

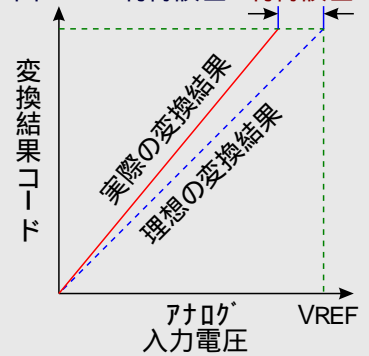


図22-12. 積分性非直線誤差

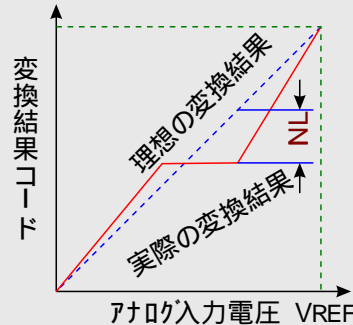
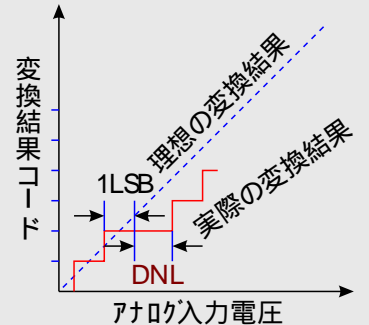


図22-13. 差動非直線誤差



## 22.7. A/D変換の結果

変換完了(ADF=1)後、変換結果はA/Dレジスタ(ADCH, ADCL)で得られます。

シングルエンド入力変換での結果は右式で示されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

$V_{IN}$ は選択した入力ピンの電圧で、 $V_{REF}$ は選択した基準電圧です(160頁の表22-2と表22-3をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。

## 22.8. A/D変換用レジスタ

### 22.8.1. A/Dチャネル選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット (\$7C)	7	6	5	4	3	2	1	0	
	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - REFS1,REFS0 :基準電圧選択 (Reference Select Bits 1,0)

これらのビットは表 22-2で示されるようにA/D変換器の基準電圧を選びます。これらのビットが変換中に変更されると、その変更はこの変換が完了する (ADCSRAのADIF=1) まで実施しません。AREFピンに外部基準電圧が印加される場合、内部の基準電圧が使用されてはいけません。

表 22-2. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFピンの外部基準電圧 (AVCCと内部1.1V基準電圧は切り離されます。)
0	1	AVCC 内部1.1V基準電圧は切り離されますが、AREFにテカッパ用コンデンサが接続できます。)
1	0	予約
1	1	内部1.1V基準電圧 (AVCCは切り離されますが、AREFにテカッパ用コンデンサが接続できます。)

ビット5 - ADLAR :左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書き込んでください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については162頁の「A/Dデータレジスタ」をご覧ください。

ビット3,2,1,0 - MUX3,MUX2,MUX1,MUX0 :A/Dチャネル選択 (Analog Channel Select Bits 3~0)

これらのビットの値はA/D変換器に接続されるアナログ入力を選びます。詳細については表 22-3をご覧ください。これらのビットが変換中に変更される場合、その変更はこの変換が完了する (ADCSRAのADIF=1) まで実施しません。

表 22-3. アナログ入力チャネル選択

MUX3~0	0000	0001	0010	0011	0100	0101	0110	0111	1000~1101	1110	1111
アナログ入力チャネル	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	(ADC6)	(ADC7)	予約	1.1V	0V
備考	PC0	PC1	PC2	PC3	PC4	PC5	ADC6	ADC7		VBG	GND

(訳注) PD PとQFN/MLF28パッケージは6チャネルのため、ADC6,7はありません。

### 22.8.2. A/D制御/状態レジスタ (ADC Control and Status Register A) ADCSRA

ビット (\$7A)	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ADEN :A/D許可 (ADC Enable)

このビットに1を書くことはA/D変換部動作を許可します。0を書くことによりA/D変換部は電源がOFFにされます。変換が進行中にA/D変換部をOFFにすることは、その変換を途中終了します。

ビット6 - ADSC :A/D変換開始 (ADC Start Conversion)

単独変換動作では各変換を始めるために、このビットへ1を書き込んでください。連続変換動作では最初の変換を始めるために、このビットへ1を書き込んでください。A/D変換部が許可される (ADEN=1) と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は通常の13に代わって25変換クロックサイクルで行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

ビット5 - ADATE :A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが1を書かれるとA/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の立ち上がりエッジで変換を開始します。この起動元はA/D変換制御/状態レジスタB (ADCSRB) のA/D変換起動要因選択 (ADTS2~0) ビット設定により選択されます。



## ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dレジスタが更新されると、このフラグがセット(1)されます。ステータスレジスタ(SREG)の全割り込み許可(IF)ビットとA/D変換完了割り込み許可(ADIF)ビットがセット(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行するとき、ADIFはハードウェアによりクリア(0)されます。代わりに、このフラグに論理1を書くことによってADIFはクリア(0)されます。ADCSRAで読み・変更・書き(リード・モディファイ・ライトを行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI/CBI命令が使用される場合にも適用されます。**訳注** アドレス範囲外のため、本行は不適切です。)

## ビット3 - ADSC : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(IF)ビットがセット(1)されていると、A/D変換完了割り込みが活性に許可されます。このビットがクリア(0)されると、この割り込みは禁止されます。**訳注** 共通性のため本行追加)

## ビット2,1,0 - ADPS2,ADPS1,ADPS0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはXTALシステム周波数とA/D変換部への入力クロック間の分周値を決めます。

表 22-4. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

## 22.8.3. A/D変換制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット (\$7B)	7	6	5	4	3	2	1	0	
	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	ADCSRB
Read/W rite	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## ビット7,5~3 - Res : 予約 (Reserved Bits)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、ADCSRBが書かれるとき、このビットは0が書かれなければなりません。

## ビット2~0 - ADTS2,ADTS1,ADTS0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタ(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビット値はどの起動元がA/D変換を起動するのを選択します。ADATEがクリア(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの立ち上りエッジにより起動されます。クリア(0)されている起動元からセット(1)されている起動元への切り替えが、起動信号上に立ち上りエッジを生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットがセット(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグがセット(1)されていても、起動事象を引き起こしません。

表 22-5. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ比較A一致
1	0	0	タイマ/カウンタ0オーバーフロー
1	0	1	タイマ/カウンタ比較B一致
1	1	0	タイマ/カウンタ1オーバーフロー
1	1	1	タイマ/カウンタ捕獲要求

## 22.8.4. A/Dコンバータレジスタ (ADC Data Register) ADCH ADCL (ADCD)

<b>ADLAR=0時</b>								
ビット (\$79)	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	ADC9	ADC8
Read/W rite	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット (\$78)	7	6	5	4	3	2	1	0
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/W rite	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
<b>ADLAR=1時</b>								
	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
	7	6	5	4	3	2	1	0
	ADC1	ADC0	-	-	-	-	-	-

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DコンバータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ビットを超える精度が必要とされない場合、ADCHを読むことで用が足ります。さもなければADCLが先に、その後ADCHが読まれなければなりません。

A/Dチャネル選択レジスタ (ADMUX) の左揃え選択 (ADLAR) ビットとA/Dチャネル選択 (MUX3~0) ビットは本レジスタから結果を読む方法に影響を及ぼします。ADLARがセット(1)されると結果は左揃えにされます。ADLARがクリア(0)されていると既定の結果は右揃えにされます。

ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは15頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

## 22.8.5. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) D DR0

ビット (\$7E)	7	6	5	4	3	2	1	0
	-	-	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
Read/W rite	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ビット7:6 - Res : 予約 (Reserved Bits)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、D DR0が書かれるとき、このビットは0が書かれなければなりません。

ビット5~0 - ADC5D~ADC0D : ADC5~0 デジタル入力禁止 (ADC5~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnDのデジタル入力バッファが禁止されます。このビットがセット(1)されると、対応するポート入力レジスタのビット(PNx)は常に0として読みます。アナログ信号がADCnDに印加され、そのピンからのデジタル入力が必要とされないとき、デジタル入力バッファでの消費電力を削減するため、そのビットは論理1を書かれるべきです。

ADCピンのADC6とADC7はデジタル入力バッファを持たず、従ってデジタル入力禁止ビットの必要がないことに注意してください。

## 23. デバグWRE内蔵デバグシステム

### 23.1. 特徴

完全なプログラムの流れ制御  
RESETピンを除くデジタルとアナログ両方でのチップ全機能のイミュレート  
実時間 (リアルタイム) 動作  
シンボリックデバグ支援 (アセンブリ及びC言語または他の高位言語)  
無制限数のプログラム中断点 (ブレークポイント: ソフトウェア中断点使用)

邪魔しない動作  
実デバイスと同じ電気的特性  
自動設定システム  
高速動作  
不揮発性メモリのプログラミング

**23.2. 概要** デバグWRE内蔵デバグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための体線の双方向インターフェースを使用します。

### 23.3. 物理インターフェース

デバグWRE許可 (DWEN) ピンがプログラム (0) され、ロックビットが非プログラム (1) にされると対象デバイス内のデバグWREシステムが活性 (有効) にされます。RESETポートピンはフルアップ許可のANDタイ (オープンドレイン) 双方向 I/Oピンとして設定され、対象デバイスとイミュレータ間の通信路になります。

図 23-1 はイミュレータと許可したデバグWREでの対象MCUとの接続の図を示します。システムクロックはデバグWREにより影響を及ぼされず、常にCKSELピンを選択したクロックです。

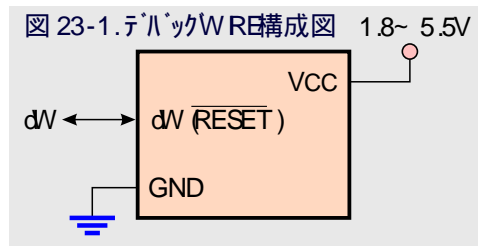
デバグWREが使用されるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。

dW / RESET 線のフルアップ抵抗は 10k より小さくしてはなりません。この抵抗はデバグWRE機能の必要条件ではありません。

RESETピンのVCCへの直接的な接続では動作しません。

RESETピンに挿入したコンデンサはデバグWRE使用時、切断されなければなりません。

すべての外部抵抗は切断されなければなりません。



### 23.4. ソフトウェア中断点 (ブレークポイント)

デバグWREはAVRのBREAK命令によりプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリでBREAK命令を挿入します。BREAK命令で置換した元の命令は保存されます。プログラム実行が継続されるとき、プログラムメモリから継続される前に保存した命令が実行されます。一時停止 (ブレーク) はプログラムにBREAK命令を置くことにより手動で挿入できます。

フラッシュメモリは中断点の変更される度に書き換えされなければなりません。これはデバグWREインターフェースを通してAVR Studioにより自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバグ目的に使用したデバイスは最終顧客へ出荷すべきではありません。

### 23.5. デバグWREの制限

デバグWRE通信 (dW) ピンは物理的に外部抵抗 (RESET) と同じピンに配置されます。従ってデバグWREが許可されると、外部抵抗元が支援されません。

デバグWREシステムはSP部とシステムクロックを共用します。従って電力削減レジスタ (PRR) のPRSPビットはデバグ時にセット (1) されてはなりません。PRSPビットのセット (1) はデバグWRE部へのクロックを禁止し、デバイスの固着を引き起こすかもしれません。

プログラム (0) にしたDWENピンは全スリープ動作でクロックシステムのいくつかの部分の走行を許可します。これはスリープ間中の消費電力を増加します。従ってDWENピンはデバグWREが使用されない場合、禁止されるべきです。

### 23.6. デバグWREに関連する I/Oメモリ内のレジスタ

次項はデバグWREで使用するレジスタを記述します。

#### 23.6.1. デバグWRE データレジスタ (debugWRE Data Register) DWDR

ビット	7	6	5	4	3	2	1	0	
\$-- (\$--)	(MSB)							(LSB)	DWDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバグへの通信チャネルを提供します。このレジスタはデバグWREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使用できません。

## 24. フラッシュメモリの自己プログラミング - ATmega48

### 24.1. 概要

ATmega48では書き込み中の読み出し可能 (Read-While-Write) の支援と独立したブートロータ領域がありません。

本デバイスはMCU自身によりプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム) コードを読み、またはプログラムメモリからコードを読むために、利用可能なデータインターフェースと関連する規約のどれもが使用できます。

プログラムメモリはページ単位形式で更新されます。ページ一時バッファへ格納したデータでページを書く前に、そのページは消去されなければなりません。ページ一時バッファはSPM命令使用時毎の 8 語 (ワード) で満たされ、このバッファはページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段 1 (ページ消去前の一時バッファ格納)

ページ一時バッファを満たしてください。

ページ消去を実行してください。

ページ書き込みを実行してください。

手段 2 (ページ消去後の一時バッファ格納)

ページ消去を実行してください。

ページ一時バッファを満たしてください。

ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は (例えばページ一時バッファに保存されなければならない) 後で改めて書かれます。手段 1 を使用する場合、初めにページを読み、必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効果的な読み-修正-書き (リード-モディファイ-ライト) 機能をデバイスが提供します。手段 2 が使用される場合、ページが既に消去されているため、格納中の旧データを読み出すことができません。ページ一時バッファはランダム手順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。

#### 24.1.1. SPM命令によるページ消去の実行

ページ消去を実行するには、Zレジスタにアドレスを設定し、SPM命令制御状態レジスタ (SPMCSR) に '00000011' を書き、SPMCSR書き込み後 4クロックサイクル内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZレジスタのPCPAGEに書かれなければならない。この操作中、Zレジスタの他のビットは無視されます。

ページ消去中、CPUは停止されます。

#### 24.1.2. ページ一時バッファの設定 (ページ設定)

命令語 (ワード) をページ一時バッファに書くには、Zレジスタにアドレス R1R0 にデータを設定し、SPMCSRに '00000001' を書き、SPMCSR書き込み後 4クロックサイクル内にSPM命令を実行してください。ZレジスタのPCWORDの内容は一時バッファのデータのアドレスに使用されます。一時バッファはページ書き込み操作後、またはSPMCSRのRWWSRELEビット (=1) 書き込みにより自動的に消去されます。システムリセット後も消去されています。一時バッファを消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

#### 24.1.3. ページ書き込みの実行

ページ書き込みを行うためには、Zレジスタにアドレスを設定し、SPMCSRに '00000101' を書き、SPMCSR書き込み後 4クロックサイクル内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZレジスタのPCPAGEに書かれなければならない。この操作中、Zレジスタの他のビットは0を書かれなければならない。

ページ書き込み中、CPUは停止されます。

## 24.2. 自己プログラミング中のフラッシュメモリのアドレス指定

Zレジスタ (レジスタ) はSPM命令でのアドレス指定に使用されます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため (18頁の表 26-9参照) プログラム カンタアドレス ポインタは2つの違う領域を持つように扱われます。1つの領域は下位側ビットから成り、ページ内のワードをアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図 24-1 で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するためにZレジスタを使用します。この命令はフラッシュメモリのハイ単位をアドレス指定するため、Zレジスタの最下位ビット Z0 も使用されます。



ビット 15 1 0

ZPCMSB ZPAGMSB

Zレジスタ 0

PCMSB PAGEMSB

プログラムカウンタ PCPAGE PCWORD

フラッシュメモ内のページアドレス

プログラムメモリ

ページ

ページ内のワードアドレス

ページ

命令語 (ワード)

PCWORD (PAGEMSB ~ 0)

\$00

\$01

\$02

...

PAGEEND

注: 図内で使用した各変数は 18 頁の表 26-9 で一覽されます。

EEPROM書き込み動作がフラッシュメモリの全リトウェアプログラミングを妨げることに注意してください。リトウェアからのヒューズとロックビット読み出しもEEPROM書き込み動作中、妨げられます。使用者は **EEPROM制御レジスタ (EECR) の EEPROM プログラム許可 (EEPE) ビット** を検査し、**SPM 命令制御状態レジスタ (SPMCSR) の書き前に、このビットがクリア (0) されていることを確認することが推奨されます。**

ソフトウェアからヒューズとロックビットの両方を読むことが可能です。ロックビットを読むためには、[Zボインタ](#)に \$0001を設定し、SPMCSRのSELFPRGENとフートロックビット設定 (BLBSET) ビットをセット(1)してください。SELFPRGENとBLBSETビットがSPMCSRに設定された後3CPUサイクル内にLPM命令が実行されると、ロックビットの値は転送先レジスタに格納されます。SELFPRGENとBLBSETビットはロックビット読み出しの完了で、または3CPUサイクル内にLPM命令が実行されないか、または4CPUサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。SELFPRGENとBLBSETビットがクリア(0)されると、LPMは命令セット手引書で記述されるように動作します。

ヒューズ下位ビットを読む手順は上記のロックビット読み出しと同様です。ヒューズ下位ビットを読み出すためには、ZEPインタに \$0000を設定し、SPMCSRのSELFPRGENとBLBSETビットをセット(1)してください。SELFPRGENとBLBSETビットがSPMCSRに設定された後3CPUサイクル内にLPM命令が実行されると、以下で示されるようにヒューズ下位ビット(FLB)の値は転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については、179頁の表 26-7を参照してください。

同様に、ヒューズ上位ビットを読むためにはZB<sup>1</sup>インタに\$0003を設定してください。SELFPRGENとBLBSETビットがSPMCSRでセット(1)された後3サイクル内にLPM命令が実行されると、以下で示されるようにヒューズ上位ビット(FHB)の値は転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については179頁の表26-6を参照してください。

同様に、拡張ヒューズビットを読むためにはZポイントに \$0002を設定してください。SELFPRGENとBLBSETビットがSPMCSRでセット(1)された後3サイクル内にLPM命令が実行されると、以下で示されるように拡張ヒューズビット(EFB)の値は転送先レジスタに格納されます。拡張ヒューズビットの配置と詳細な記述については179頁の表 26-4を参照してください。

プログラム (0) されたヒューズとロック ビットは 0 として読めます。非プログラム (0) にされたヒューズとロック ビットは 1 として読めます。

### 24.2.3. フラッシュメモリデータ化けの防止

低VCCの期間中、正しく動作するCPUとフラッシュメモリに対して供給電圧が低すぎるために、フラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使用する基板段階の装置と同じで、同じ設計上の解決法が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態により起こされます。1つ目として、フラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計により容易に避けられます (1つは必須)。

不十分な供給電源電圧の期間中、AVR RESETを活性 (Low) に保ってください。これは動作電圧が検出電圧と一致するならば、内部低電圧検出器 (BOD) を許可することにより行えます。そうでなければ外部低VCCリセット保護回路が使用できます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。

低VCCの期間中、AVRコアをパワーダウンスリープ動作に保ってください。これはCPUが命令の復号と実行を試みることを防ぎ、SPMCSRに従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

### 24.2.4. SPM命令使用時のフラッシュメモリ用プログラミング書き込み時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使用されます。表 24-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表 24-1. SPM命令によるフラッシュメモリのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み)	3.7ms	4.5ms

注: MinとMaxの時間は項目の個別操作毎に対してです。

## 24.2.5. アセンブリ言語による簡単なブートローダ例 - ATmega48

ATmega48ではRWW/SBビットが常に0として読まれることに注意してください。それでも書き中読み可 (Read-While-Write) を支援するデバイスとの互換性を保証するため、コード例で示されるように、このビットを検査することが推奨されます。

このルーチンはRAMからフラッシュメモリへ1ページのデータを書きます。RAM内の最初のデータ位置はYレジスタにより指示され、フラッシュメモリ内の最初のデータ位置はZレジスタにより指示されます。エラー処理は含まれません。使用レジスタはR0,R1,TMP,CNTL,CNTH,SPMCで、レジスタの保存と復帰はこのルーチンに含まれず、レジスタ使用はコード量を犠牲にすれば最適化できます。割り込みが禁止される前提です。

ページ内データが256バイト以下の場合にはカウンタ位が不要になります。また関連する命令も変更となります。これらの部分を赤字で示します (訳注 本行は以下のプログラム補正に対応して追加しました)

ラベル	命令	コメント
	.EQU	PGSZB = PAGESIZE*2
	.ORG	SMALLBOOTSTART
		; PGSZBはページ内のバイト数です。(PAGESIZEはワード数)
		;
WRPG:	LDI	SPMC, (1<<PGERS)+(1<<SELFPRGEN)
	RCALL	SPMJ
		; [ページ消去]
		; ページ消去 SPMCSR値を取得
		; ページ消去
		; [RWW領域読み出し再許可]
		; RWW領域読み出し許可 SPMCSR値を取得
		; RWW領域読み出し許可
		; [RAMからフラッシュページ一時バッファへ転送]
		; バイトカウンタを初期化
		; 削除)
		; RAM上の下位データ取得 (ページ内進行)
		; RAM上の上位データ取得 (ページ内進行)
		; ページ一時バッファ書き込み SPMCSR値を取得
		; 対応ワードデータをページ一時バッファに設定
		; ページ一時バッファポインタ進行
		; カウンタ減数 (SUBI)
		; 指定バイト数分継続
		; [ページ書き込み]
		; ページ一時バッファ先頭にポインタ復帰
		; 削除)
		; フラッシュ書き込み SPMCSR値を取得
		; フラッシュメモリページ書き込み
		; [RWW領域読み出し再許可]
		; RWW領域読み出し許可 SPMCSR値を取得
		; RWW領域読み出し許可
		; [読み戻し照合 (任意)]
		; バイトカウンタを初期化
		; 削除)
		; RAMデータ先頭にポインタ復帰
		;
		; フラッシュメモリから1バイト取得 (ページ内進行)
		; RAMから1バイトデータ取得 (ページ内進行)
		; 値一致でスキップ
		; 不一致でエラー処理へ
		;
		; カウンタ減数 (SUBI)
		; 指定バイト数分継続
		; [RWW領域へ復帰]
		; SPM命令制御 状態レジスタ値を取得
		; RWW領域ヒッチでスキップ
		; レジスタ呼び出し元へ復帰
		; [RWW領域読み出し再許可]
		; RWW領域読み出し許可 SPMCSR値を取得
		; RWW領域読み出し許可
		; RWW領域レジスタまで待機へ
		; [SPM命令実行サブルーチン]
		; SPM命令制御 状態レジスタ値を取得
		; 操作可能 直前のSPM完了でスキップ
		; 操作可まで待機
		;
		; ステータスレジスタ値を保存
		; 全割り込み禁止
		; EEPROMプログラミング中以外でスキップ
		; EEPROMプログラミング完了まで待機
		;
		; SPM動作指定
		; 対応 SPM動作実行
		; ステータスレジスタ値を復帰
		; 呼び出し元へ復帰

## 24.3.自己プログラミング用レジスタ - ATmega48

### 24.3.1. SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはプログラムメモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	SPM E	RWWSB	-	RWWSRE	BLBSET	PGWRT	PGERS	SELFPRGEN	SPMCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPM E : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPM Eビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(1)ビットがセット(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRの自己プログラミング許可(SELFPRGEN)ビットがクリア(0)されている限り実行されます。EEPROM書き込みとSPM命令の間、本割り込みは生成されません。

ビット6 - RWWSB : R/W領域ビジー (Read-While-Write Section Busy)

このビットは書き中読み可(Read-While-Write)を支援するデバイスとの互換用です。ATmega48では常に0として読みます。

ビット5 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

ビット4 - RWWSRE : R/W領域読み出し許可 (Read-While-Write Section Read Enable)

ATmega48での本ビットの機能はATmega88/168での機能のサブセットです。ページー時ハフアを満たしている間にRWWSREビットが1を書かれると、ページー時ハフアは消去され、データは失われます。

ビット3 - BLBSET : フォトリックビット設定 (Boot Lock Bits Set)

ATmega48での本ビットの機能はATmega88/168での機能のサブセットです。SPMCSRでBLBSETとSELFPRGENがセット(1)された後の3クロックサイクル内のLPM命令は(ZポイントのZdにより)ヒューズビットまたはロックビットのどちらかを転送先レジスタに読みます。詳細については165頁の「ソフトウェアからのヒューズビットとロックビットの読み出し」をご覧ください。

ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令は一時ハフアに格納したデータでページ書き込みを実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ全体の書き込み動作中、CPUは停止されます。

ビット1 - PGERS : ページ消去 (Page Erase)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令はページ消去を実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ全体の消去中、CPUは停止されます。

ビット0 - SELFPRGEN : 自己プログラミング許可 (Self Programming Enable)

このビットは次の4クロックサイクル間SPM命令を許可します。本ビットがRWWSRE、BLBSET、PGWRT、PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SELFPRGENだけが書かれると、続くSPM命令はZポイントでアドレス指定したページー時ハフアへR1、R0の値を格納します。Zレジスタの最下位ビットは無視されます。SELFPRGENビットはSPM命令の完了、または4クロックサイクル内にSPM命令が実行されない場合自動的にクリア(0)されます。ページ消去とページ書き込み中、SELFPRGENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。



## 25. フォトリソグラフィ 書き込み中読み出し可能な自己プログラミング) - ATmega88/168

### 25.1. 特徴

書き込み中読める (Read-While-Write)自己プログラミング  
柔軟性のあるフォトリソグラフィ メモリ容量  
高い安全性 柔軟な保護用の独立したフォトリソグラフィビット)  
ビット毎に選択用の独立したヒューズ  
最適化されたページ容量 (注1)  
効率的なコードアルゴリズム  
効率的な読み 変更 書き (リード モテファイ ライト 支援

注1: ページはプログラミング中に使用される多数のバイトから成るフラッシュメモリの区画です (180頁の表 26-9参照) このページ構成は通常動作に影響を及ぼしません。

### 25.2. 概要

フォトリソグラフィ支援はMCU自身によりプログラムコードのダウンロードとアップロード用の真の書き込み中の読み出しが可能な機構を提供します。この特徴はフラッシュメモリに常駐するフォトリソグラフィプログラムを使用するMCUによって制御される、柔軟性のある応用ソフトウェア更新を許します。フォトリソグラフィプログラムはフラッシュメモリ内にコードを書き(プログラム) コードを読み、またはプログラムメモリからコードを読むために、利用可能なデータインターフェースと関連する規約のどれもが使用できます。フォトリソグラフィ領域内のプログラムコードはフォトリソグラフィメモリを含め、フラッシュメモリ全体に書くための能力を持ちます。従ってフォトリソグラフィは自身をも変更でき、この機能がそれ以上必要とされないならば、そのコードから自身を消去することもできます。フォトリソグラフィメモリの容量はヒューズで設定可能で、フォトリソグラフィは個別に設定可能な組の独立したフォトリソグラフィビットを持ちます。これは異なる保護レベルを選択することの独特な柔軟性を使用者に与えます。

### 25.3. フラッシュメモリの応用領域とフォトリソグラフィ領域

フラッシュメモリは応用領域とフォトリソグラフィ領域の2つの主要な領域で構成されます (図 25-2参照) 各領域の容量は 176頁の表 25-6と図 25-2で示されるようにBOOTSZヒューズにより設定されます。これら2つの領域は個別のロックビットの組を持つため、異なる保護レベルを持てます。

#### 25.3.1. 応用領域

応用領域は応用コードを格納するために使用されるフラッシュメモリの領域です。応用領域用保護レベルは応用フォトリソグラフィビット(フォトリソグラフィビット0)により選択できます (174頁の表 25-2参照) 応用領域から実行されるとき、SPM命令が禁止されるため、応用領域はどんなフォトリソグラフィコードも決して格納し得ません。

#### 25.3.2. フォトリソグラフィ領域 (BLS)

応用領域が応用コード格納用に使用されるのに対して、SPM命令はBLSから実行するときだけプログラミングを始められるので、フォトリソグラフィソフトウェアはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのフラッシュメモリをアクセスできます。フォトリソグラフィ領域用保護レベルはフォトリソグラフィロックビット(フォトリソグラフィビット1)により選択できます (174頁の表 25-3参照)。

### 25.4. フラッシュメモリの書き込み中に読み出し可能な領域と不能な領域

どちらのアドレスがプログラミングされるかによって、CPUが書き込み中の読み出しを支援するか、フォトリソグラフィソフトウェアが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZヒューズにより設定可能な2つの領域に加え、フラッシュメモリは書き込み中読み出し可能な(RWW)領域と書き込み中読み出し不能な(NRWW)領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は170頁の図 25-2と176頁の表 25-7で与えられます。この2つの領域間の主な違いを次に示します。

RWW領域側に配置されたページを消去または書くとき、NRWW領域はその動作中、読むことができます。

NRWW領域側に配置されたページを消去または書くとき、その全ての動作中、CPUは停止されます。

フォトリソグラフィソフトウェア動作中、使用者ソフトウェアがRWW領域側に配置されるどのコードも決して読めないことに注意してください。書き込み中読み出し可能な領域」という記述は、プログラミング消去または書き込みされる領域としての引用で、フォトリソグラフィソフトウェアが更新中に実際に読まれる領域ではありません。

(訳補) 上の記述はNRWW領域からRWW領域をプログラミングするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をプログラミングすると、NRWW領域のプログラムは通常通り動作する(即ち読める)ので、プログラミングされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

#### 25.4.1. 書き込み中読み出し可能 (RWW)領域

ブートローダ ソフトウェア更新がRWW領域側のページをプログラミングする場合、フラッシュメモリからコードを読むことが可能ですが、NRWW領域に配置されるコードだけです。プログラミング実行中、このソフトウェアはRWW領域が決して読まれないことを保証しなければなりません。使用者ソフトウェアがプログラミング中に例えば、CALL、JMP、LPM系命令または割り込みによりRWW領域側に配置されるコードを読もうとすると、そのソフトウェアは未知の状態へ行き着くかもしれません。これを避けるため、割り込みは禁止またはブートローダ領域へ移動のどちらかにされるべきです。ブートローダ領域は常にNRWW領域に配置されます。SPM命令制御/状態レジスタ(SPMCSR)のRWW領域ビット(RWWSB)は、RWW領域が読み出しに対して妨げられている限り論理1として読めます。プログラミングが完了した後、RWW領域に配置したコードを読む前に、RWWSBはソフトウェアによってクリア(0)されなければなりません。RWWSBをクリア(0)する方法の詳細については177頁の「SPM命令制御/状態レジスタ(SPMCSR)」をご覧ください。

#### 25.4.2. 書き込み中読み出し不能 (NRWW)領域

NRWW領域に配置したコードはブートローダ ソフトウェアがRWW領域内のページを更新するときに読むことができます。ブートローダ コードがNRWW領域を更新するとき、全てのページ消去またはページ書き込み動作中、CPUが停止されます。

表 25-1 書き込み中読み出し可能機能

プログラミング中にZボインタで指定される領域	プログラミング中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図 25-1.RWW領域とNRWW領域の関係

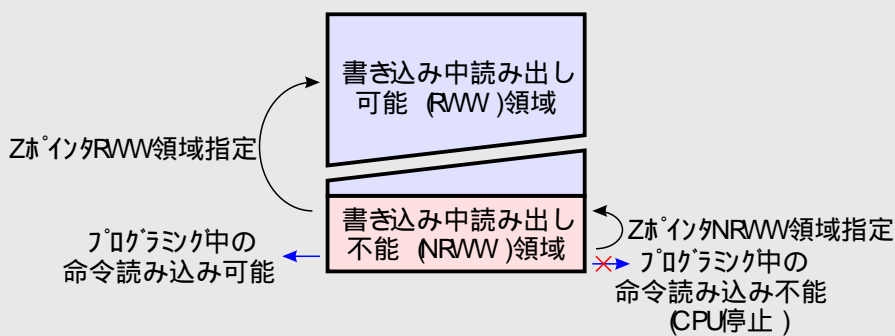
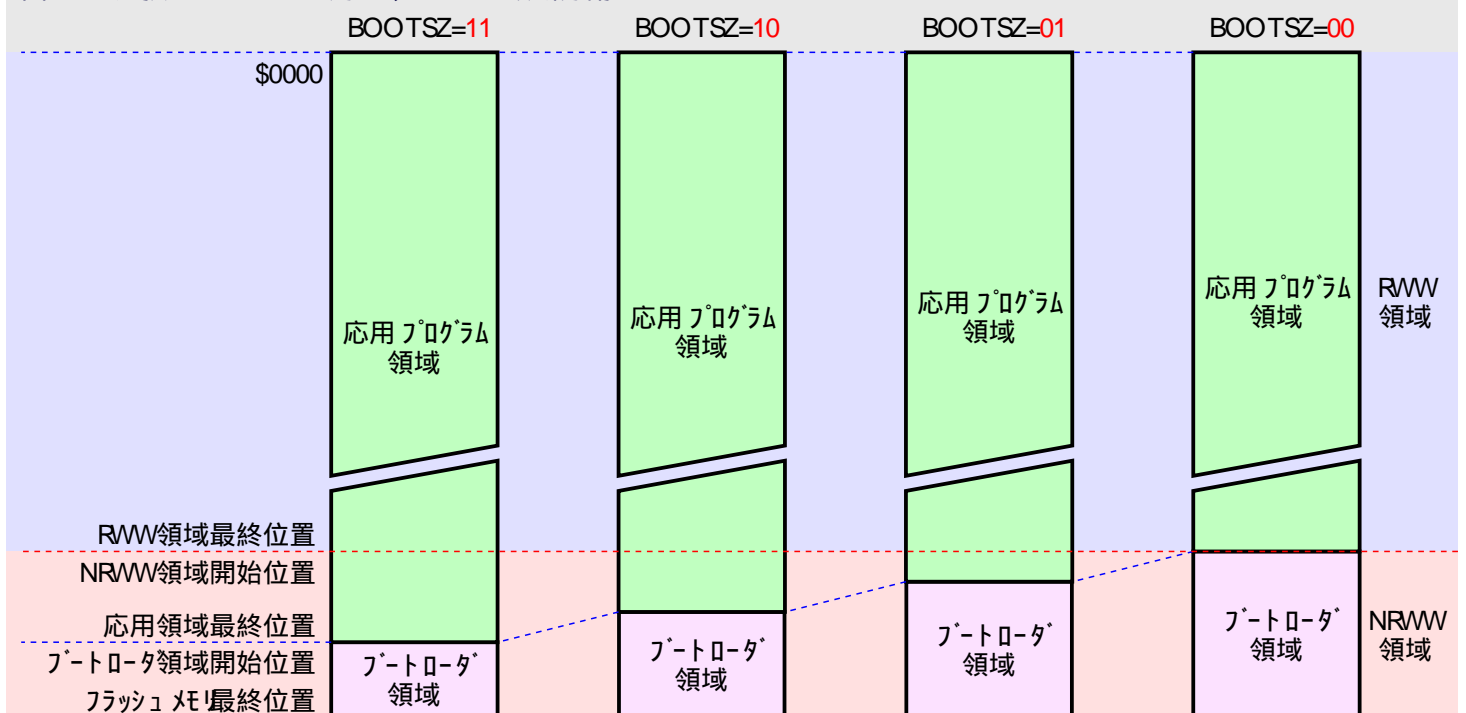


図 25-2 選択によるプログラム用フラッシュメモリの領域分割



注: 図内の各パラメータについては176頁の表 25-6で与えられます。

## 25.5. ブートローダ ロック ビット

ブートローダ能力が必要とされないならば、フラッシュメモリ全体がアプリケーション用に利用可能です。ブートローダは個別に設定可能な独立した2組のブートロックビットを持ちます。これは異なる保護レベルを選択することの独特な柔軟性を使用者に与えます。

使用者は以下を選択できます。

- MCUにより更新するソフトウェアからフラッシュメモリ全体を保護
- MCUにより更新するソフトウェアからフラッシュメモリのブートローダ領域だけ保護
- MCUにより更新するソフトウェアからフラッシュメモリの応用領域だけ保護
- フラッシュメモリ全体で更新するソフトウェアを許可

より多くの詳細については表 25-2と表 25-3をご覧ください。ブートロックビットはソフトウェアとシリアルまたはパラレルのプログラミング動作で設定(0)できますが、これらのビットはチップ消去コマンドによってのみクリア(1)できます。一般書き込み禁止 (LB動作種別 2)はSPM命令によるフラッシュメモリのプログラミングを制御しません。同様に、試みられるとすれば、一般読み書き禁止 (LB動作種別 3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。【**注**】一般LBはLPM/SPM命令に関して無関係の意)

表 25-2 応用領域に対する保護種別 (0=プログラム 1=非プログラム)

BLB0動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令が応用領域をアケスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。【 <b>注</b> 】
4	0	1	ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。【 <b>注</b> 】

【**注**】BLB02=0で、割り込みベクタがブートローダ領域に配置されていると、応用領域での実行時、割り込みが禁止されます。

表 25-3. ブートローダ領域に対する保護種別 (0=プログラム 1=非プログラム)

BLB1動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令がブートローダ領域をアケスすることに対して制限はありません。
2	1	0	SPM命令はブートローダ領域に書くことを許されません。
3	0	0	SPM命令によるブートローダ領域への書き込みと、応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。【 <b>注</b> 】
4	0	1	応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。【 <b>注</b> 】

【**注**】BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートローダ領域での実行時、割り込みが禁止されます。

## 25.6. ブートローダ プログラムへの移行

ブートローダへの移行は応用プログラムから分岐 (Jumpまたは呼び出し Call)により行います。これはUSARTやSPIインターフェース経由で受信したコマンドのような起点により始められるかもしれませんが、代わりに、リセットベクタがリセット後にブートローダ領域開始アドレスを指示するためにブートリセット(BOOTRST)ヒューズがプログラム(0)できます。この場合、ブートローダはリセット後に開始されます。アプリケーションコードが設定された書かれた後、このプログラム(ブートローダ)はアプリケーションコードの実行を始めることができます。このヒューズがMCU自身により変更できないことに注意してください。これは一旦ブートリセットヒューズがプログラム(0)されると、リセットベクタは常にブートローダリセットを指示し、このヒューズはシリアルプログラミングまたはパラレルプログラミングインターフェースを通してのみ変更できることを意味します。

表 25-4. ブートリセットヒューズ (0=プログラム 1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセットベクタ)	
0	ブートローダリセット	ブートローダ開始アドレス (176頁の表 25-6参照)
1	応用リセット	\$0000

## 25.7. 自己プログラミング中のフラッシュメモリのアドレス指定

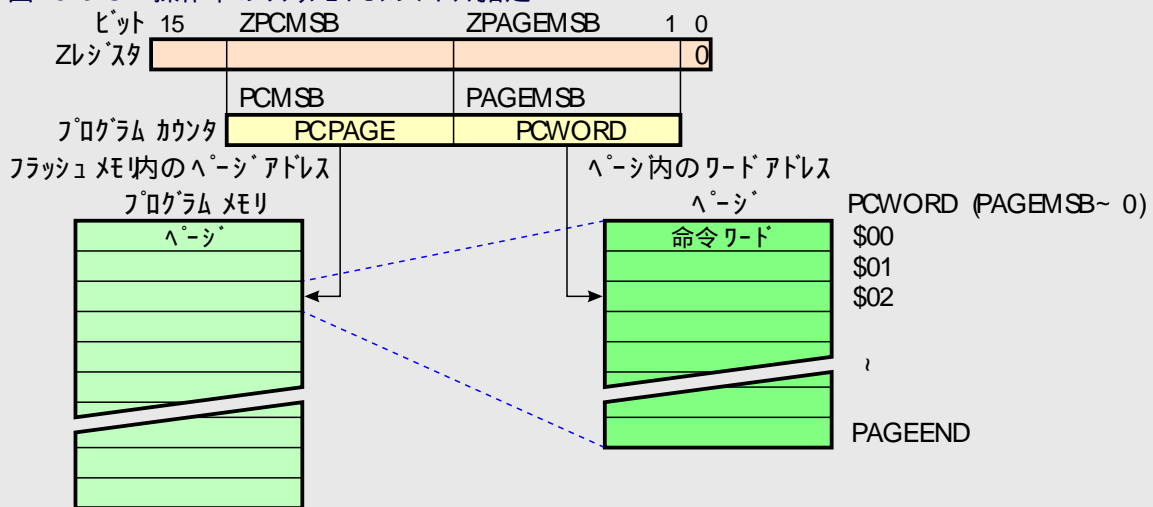
ZポイントレジスタはSPM命令でのアドレス指定に使用されます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(180頁の表 26-9参照) プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように扱われます。1つの領域は下位側ビットから成り、ページ内のワードをアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは図 25-3で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってブートローダソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。一旦プログラミング操作が開始されると、このアドレスはラッチされ、Zポイント以外の操作に使用できません。

Zポイントを使用しないSPM操作はブートローダロックビット設定だけです。この操作でZレジスタの内容は無視され、無効です。LPM命令もアドレスを格納するためにZポイントを使用します。この命令はフラッシュメモリのハイ単位をアドレス指定するため、Zポイントの最下位ビット(Z0)も使用されます。

図 25-3.SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使用した各変数は 176頁の表 25-8で一覧されます。  
PCPAGEとPCWORDは 180頁の表 26-9で一覧されます。 (訳注 共通性から追加)

## 25.8. フラッシュメモリの自己プログラミング

プログラムメモリはページ単位形式で更新されます。ページ一時バッファへ格納したデータでページを書く前に、そのページは消去されなければなりません。ページ一時バッファはSPM命令使用時毎の語(ワード)で満たされ、このバッファはページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時バッファ格納)

- ページ一時バッファを満たしてください。
- ページ消去を実行してください。
- ページ書き込みを実行してください。

手段2 (ページ消去後の一時バッファ格納)

- ページ消去を実行してください。
- ページ一時バッファを満たしてください。
- ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は例えばページ一時バッファに保存されなければならない、その後改めて書かれます。手段1を使用する場合、初めにページを読み、必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効果的な読み-修正-書き(リード-モディファイ-ライト)機能をブートローダは提供します。手段2が使用される場合、ページが既に消去されているため、格納中の旧データを読みすることができません。ページ一時バッファはランダム手順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。アセンブリ言語でのコード例については、175頁の「アセンブリ言語による簡単なブートローダ例」をご覧ください。



### 25.8.1. SPM命令によるページ消去の実行

ページ消去を実行するには、**Zポインタ**にアドレスを設定し、**SPM命令制御 状態レジスタ (SPMCSR)**に **X0000011**を書き、SPMCSR書き込み後 4クロックサイクル内に**SPM命令**を実行してください。R1とR0のデータは無視されます。ページアドレスは**ZポインタのPCPAGE**に書かれなければならないません。この操作中、Zポインタの他のビットは無視されます。

**RWW領域**のページ消去 : ページ消去中、NRWW領域は読めます。

**NRWW領域**のページ消去 : ページ消去中、CPUは停止されます。

### 25.8.2. ページ一時バッファの設定 (ページ設定)

命令語 **ワート**を (ページ一時バッファ) 書くには、Zポインタにアドレス R1 R0にデータを設定し、SPMCSRに **00000001**を書き、SPMCSR書き込み後 4クロックサイクル内に**SPM命令**を実行してください。ZポインタのPCWORDの内容は一時バッファのデータのアドレスに使用されます。一時バッファはページ書き込み操作後、またはSPMCSRの**RWWSEL**ビット書き込みにより自動的に消去されます。システム リセット後も消去されています。一時バッファを消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

### 25.8.3. ページ書き込みの実行

ページ書き込みを行うためには、Zポインタにアドレスを設定し、SPMCSRに **X0000101**を書き、SPMCSR書き込み後 4クロックサイクル内に**SPM命令**を実行してください。R1とR0のデータは無視されます。ページアドレスは (Zポインタの) PCPAGEに書かれなければならないません。この操作中、Zポインタの他のビットは **0**を書かれなければならないません。

**RWW領域**のページ書き込み : ページ書き込み中、NRWW領域は読めます。

**NRWW領域**のページ書き込み : ページ書き込み中、CPUは停止されます。

### 25.8.4. SPM操作可割り込みの使用法

**SPM操作可割り込み**が許可されると、SPMCSRのSELFPRGENビットがクリア (0)されているときにSPM操作可割り込みが継続的に発生します。これはソフトウェアでSPMCSRをポーリングする代わりに、この割り込みが使用できることを意味します。SPM操作可割り込みを使用するとき、割り込みが読み出しに対して防がれる時にRWW領域をアクセスすることを避けるために、割り込みベクタはポートロータ領域 (BLS)へ移動されるべきです。割り込みベクタの移動法は **33頁の「割り込み」**で記述されます。

### 25.8.5. ポートロータ領域更新中の考慮

**ポートロックビット11 (BLB11)**が非プログラム (1)にされたままとすることにより、使用者がポートロータ領域に更新されることを許す場合、特別な注意が求められるべきです。ポートロータ自身への予期せぬ書き込みはポートロータ全体を不正にし得るし、更にソフトウェアの更新が不可能になるかもしれません。ポートロータ自体を変更することが必要ないならば、内部ソフトウェアのどの変更からもポートロータを保護するため、ポートロックビット11 (BLB11)をプログラム (0)することが推奨されます。

### 25.8.6. 自己プログラミング中のRWW領域読み込みの防止

自己プログラミング中 (ページ消去もページ書き込みも) RWW領域は読み出しに対して常に防がれます。使用者ソフトウェアそれ自身が自己プログラミング操作中、この領域がアドレス指定されることを防止しなければならないません。SPMCSRの**RWWSEL**はRWW領域がビジーである限りセット (1)されます。自己プログラミング中の割り込みベクタテーブルは **33頁の「割り込み」**で記述されるようにポートロータ領域 (BLS)へ移動されるべきか、または割り込みが禁止されなければならないません。プログラミングが完了した後にRWW領域をアドレス指定する前に、使用者ソフトウェアは**RWWSELの書き込み**によりRWWSELをクリア (0)しなければならないません。例については **175頁の「アセンブリ言語による簡単なポートロータ例」**をご覧ください。

### 25.8.7. SPM命令によるポートロータロックビットと一般ロックビットの設定

ポートロータロックビットと一般ロックビットをクリア (0)するには、希望したデータをR0に設定し、SPMCSRに **X0001001**を書き、SPMCSR書き込み後 4クロックサイクル内に**SPM命令**を実行してください。

ビット	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	LB2	LB1

フラッシュメモリのアクセスに影響を及ぼすポートロータロックビットの各種設定法については **表 25-2**と**表 25-3**をご覧ください。

R0のビット5~0がクリア (0)される場合、SPMCSRで**SELFPRGEN**と**ポートロックビット設定 (BLBSET)**ビットがセット (1)された後 4クロックサイクル内に**SPM命令**が実行されると、対応するロックビットがプログラム (0)されます。この操作中、Zポインタは関係ありませんが、将来との共通性のため、(ロックビット読み出しに使用されるのと同じ) \$0001でZポインタを設定することが推奨されます。将来との共通性のため、ロックビット書き込み時、R0のビット7は **1**に設定することも推奨されます。ロックビットをプログラミングするとき、この操作中、全てのフラッシュメモリは読むことができます。

## 25.8.8. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズとロックビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前に、このビットがクリア(0)されているのを確認することが推奨されます。

## 25.8.9. ソフトウェアからのヒューズビットとロックビットの読み出し

ソフトウェアからヒューズとロックビットの両方を読めます。ロックビットを読むにはZボインタに\$0001を設定し、SPMCSRのSELFPRGENとフートロックビット設定(BLBSET)ビットをセット(1)してください。SELFPRGENとBLBSETビットがSPMCSRに設定された後3CPUサイクル内にLPM命令が実行されると、ロックビットの値は転送先レジスタに格納されます。SELFPRGENとBLBSETビットはロックビット読み出しの完了で、または3CPUサイクル内にLPM命令が実行されないか、または4CPUサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。SELFPRGENとBLBSETビットがクリア(0)されると、LPMは命令セーフ引書で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズ下位ビットを読む手順は上記のロックビット読み出しと同様です。ヒューズ下位ビットを読み出すためには、Zボインタに\$0000を設定し、SPMCSRのSELFPRGENとBLBSETビットをセット(1)してください。SELFPRGENとBLBSETビットがSPMCSRに設定された後3CPUサイクル内にLPM命令が実行されると、以下で示されるようにヒューズ下位ビット(FLB)の値は転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については179頁の表26-7を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位ビットを読むためにはZボインタに\$0003を設定してください。SELFPRGENとBLBSETビットがSPMCSRでセット(1)された後3サイクル内にLPM命令が実行されると、以下で示されるようにヒューズ上位ビット(FHB)の値は転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については179頁の表26-6を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ヒューズビットを読むとき、Zボインタに\$0002を設定してください。SELFPRGENとBLBSETビットがSPMCSRでセット(1)された後3サイクル内にLPM命令が実行されると、以下で示されるように拡張ヒューズビット(EFB)の値は転送先レジスタに格納されます。拡張ヒューズビットの配置と詳細な記述については179頁の表26-5を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	EFB2	EFB1	EFB0

プログラム(0)されたヒューズとロックビットは0として読めます。非プログラム(0)にされたヒューズとロックビットは1として読めます。

## 25.8.10. フラッシュメモリデータ化けの防止

低VCCの期間中、正しく動作するCPUとフラッシュメモリに対して供給電圧が低すぎるために、フラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使用する基板段階の装置と同じで、同じ設計上の解決法が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態により起こされます。1つ目として、フラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計により容易に避けられます(1つは必須)

そのシステムでフートローダ更新が必要ない場合、どんなフートローダソフトウェア更新も防ぐためにフートローダロックビットをプログラム(0)してください。

不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するならば、内部低電圧検出器(BOD)を許可することにより行えます。そうでなければ外部低VCCリセッ保護回路が使用できます。書き込み操作進行中にリセッが起ると、その書き込み動作は供給電源電圧が充分であれば完了されます。

低VCCの期間中、AVRコアをパワーダウンスリーフ動作に保ってください。これはCPUが命令の復号と実行を試みることを防ぎ、SPMCSRに従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

## 25.8.11. SPM命令使用時のフラッシュメモリ用プログラミング書き込み時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使用されます。表25-5はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表 25-5. SPM命令によるフラッシュメモリのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、ロックビット書き込み)	3.7ms	4.5ms

注: MinとMaxの時間は項目の個別操作毎に対してです。

## 25.8.12. アセンブリ言語による簡単なブートローダ例 - ATmega88, ATmega168

このルーチンはRAMからフラッシュメモリへ1ページのデータを書きます。RAM内の最初のデータ位置はレジスタ外により指示され、フラッシュメモリ内の最初のデータ位置はレジスタ外により指示されます。エラー処理は含まれません。このルーチン少なくともSPMサブルーチンはブートローダ領域側に配置されなければなりません。NRWW領域側のコードだけが自己プログラミング(ページ消去とページ書き込み)中に読めます。使用レジスタはR0, R1, TMP, CNTL, CNTH, SPMCRで、レジスタの保存と復帰はこのルーチン内に含まれず、レジスタ使用はコード量を犠牲にすれば最適化できます。割り込みテーブルがブートローダ領域に移動されるか、割り込みが禁止されるかどうかは前提です。

ページ内データが256バイト以下の場合はカウンタ上位が不要になります。また関連する命令も変更となります。これらの部分を赤字で示します **訳注** 本行は以下のプログラム補正に対応して追加しました)

ラベル	命令	コメント
	.EQU PGSZB = PAGE_SIZE*2	; PGSZBはページ内のバイト数です。(PAGE_SIZEはワード数)
	.ORG SMALLBOOTSTART	;
VRPG:	LDI SPMC, (1<<PGSZB)+(1<<SELFPRGEN)	; [ページ消去]
	CALL SPMU	; ページ消去 SPMCSR値を取得
		; ページ消去
		; [RWW領域読み出し再許可]
	LDI SPMC, (1<<RWWRE)+(1<<SELFPRGEN)	; RWW領域読み出し許可 SPMCSR値を取得
	CALL SPMU	; RWW領域読み出し許可
		; [RAMからフラッシュページ一時バッファへ転送]
	LDI CNTL, LOW(PGSZB)	; バイトカウンタを初期化
	LDI CNTH, HIGH(PGSZB)	; 削除)
WLP:	LD R0, Y+	; RAM上の下位データを取得 (ポインタ進行)
	LD R1, Y+	; RAM上の上位データを取得 (ポインタ進行)
	LDI SPMC, (1<<SELFPRGEN)	; ページ一時バッファ書き込み SPMCSR値を取得
	CALL SPMU	; 対応ワードデータをページ一時バッファに設定
	ADIW ZH, 2	; ページ一時バッファポインタ進行
	SBIR CNTH, CNTH, 2	; カウンタを減数 (SUBI)
	BRNE WLP	; 指定バイト数分継続
		; [ページ書き込み]
	SUBI ZL, LOW(PGSZB)	; ページ一時バッファ先頭にポインタを復帰
	SBCI ZH, HIGH(PGSZB)	; 削除)
	LDI SPMC, (1<<PGWRT)+(1<<SELFPRGEN)	; フラッシュ書き込み SPMCSR値を取得
	CALL SPMU	; フラッシュメモリページ書き込み
		; [RWW領域読み出し再許可]
	LDI SPMC, (1<<RWWRE)+(1<<SELFPRGEN)	; RWW領域読み出し許可 SPMCSR値を取得
	CALL SPMU	; RWW領域読み出し許可
		; [読み戻し照合 (任意)]
	LDI CNTL, LOW(PGSZB)	; バイトカウンタを初期化
	LDI CNTH, HIGH(PGSZB)	; 削除)
	SUBI YL, LOW(PGSZB)	; RAMデータ先頭にポインタを復帰
	SBCI YH, HIGH(PGSZB)	;
RLP:	LPM R0, Z+	; フラッシュメモリから1バイト取得 (ポインタ進行)
	LD R1, Y+	; RAMから1バイトデータを取得 (ポインタ進行)
	OPSE R0, R1	; 値一致でスキップ
	JMP ERROR	; 不一致でエラー処理へ
;		;
	SBIR CNTH, CNTH, 1	; カウンタを減数 (SUBI)
	BRNE RLP	; 指定バイト数分継続
		; [RWW領域へ復帰]
RTN:	IN TMP, SPMCSR	; SPM命令制御状態レジスタ値を取得
	SBRB TMP, RWWRE	; RWW領域ヒートでスキップ
	RET	; レジスタで呼び出し元へ復帰
;		; [RWW領域読み出し再許可]
	LDI SPMC, (1<<RWWRE)+(1<<SELFPRGEN)	; RWW領域読み出し許可 SPMCSR値を取得
	CALL SPMU	; RWW領域読み出し許可
	RJMP RTN	; RWW領域レジスタまで待機へ
		; [SPM命令実行サブルーチン]
SPMU:	IN TMP, SPMCSR	; SPM命令制御状態レジスタ値を取得
	SBRB TMP, SELFPRGEN	; 操作可能直前のSPM完了でスキップ
	RJMP SPMU	; 操作可能まで待機
;		;
	IN TMP, SREG	; ステータスレジスタ値を保存
	CLI	; 全割り込み禁止
WAIT:	SBRB EECR, EEPRE	; EEPROMプログラミング中以外でスキップ
	RJMP WAIT	; EEPROMプログラミング完了まで待機
;		;
	OUT SPMCSR, SPMC	; SPM動作指定
	OUT SREG, TMP	; 対応SPM動作実行
	RET	; ステータスレジスタ値を復帰
		; 呼び出し元へ復帰

**訳注**) ATmega88では上記のCALL, JMP命令をRCALL, RJMP命令に置換してください。



### 25.8.13. ATmega88/168用 ブートローダのパラメータ

自己プログラミングの記述で使したパラメータは表 25-6~ 8で与えられます。

表 25-6 応用領域とブートローダ領域の分割設定 (ATmega88/ATmega168)

BOOTSZ1	BOOTSZ0	ブートローダ領域		アドレス範囲		
		容量 (ワード)	ページ数	応用プログラム領域	ブートローダプログラム領域	ブートリセットアドレス
1	1	128	4/2	\$0000~ \$0F7F/\$1F7F	\$0F80/\$1F80~ \$0FFF/\$1FFF	\$0F80/\$1F80
1	0	256	8/4	\$0000~ \$0EFF/\$1EFF	\$0F00/\$1F00~ \$0FFF/\$1FFF	\$0F00/\$1F00
0	1	512	16/8	\$0000~ \$0DFF/\$1DFF	\$0E00/\$1E00~ \$0FFF/\$1FFF	\$0E00/\$1E00
0	0	1024	32/16	\$0000~ \$0BFF/\$1BFF	\$0C00/\$1C00~ \$0FFF/\$1FFF	\$0C00/\$1C00

注 : 各種 BOOTSZ ビット設定は図 25-2 で示されます。

訳注 ) 原書の表 25-6 (ATmega88) と表 25-9 (ATmega168) は表 25-6 として纏めました。

表 25-7. RWW 領域と NRWW 領域の範囲 (ATmega88/ATmega168)

領域	ページ数	アドレス範囲
書き込み中読み出し可能 (RWW) 領域	96/112	\$0000/\$0000~ \$0BFF/\$1BFF
書き込み中読み出し不能 (NRWW) 領域	32/16	\$0C00/\$1C00~ \$0FFF/\$1FFF

注 : これら2つの領域についての詳細に関しては、170頁の「書き込み中読み出し可能 (RWW) 領域」と「書き込み中読み出し不能 (NRWW) 領域」をご覧ください。

訳注 ) 原書の表 25-7 (ATmega88) と表 25-10 (ATmega168) は表 25-7 として纏めました。

表 25-8 図 25-3 で使用した各変数説明とZポイントの配置 (ATmega88/ATmega168)

変数名	対応値		意味
	PC	Zポイント (注)	
PCMSB	PC11/12		プログラム カウンタの最上位ビット (プログラム カウンタは 12/13ビット PC11/12~ 0)
PAGEMS	PC4/5		1ページ内に使用されるワードアドレスの最上位ビット (ページ内の 32/64ワードには 5/6ビット PC4/5~ が必要)
ZPCMSB		Z12/13	PCMSBに配置される対応するZレジスタ内のビット (Zが使用されないため、ZPCMSB=PCMSB+1)
ZPAGEMS		Z5/6	PAGEMSに配置される対応するZレジスタ内のビット (Zが使用されないため、ZPAGEMS=PAGEMS+1)
PCPAGE	PC11/12~ 5/6	Z12/13~ 6/7	プログラム カウンタ ページ アドレス : ページ消去とページ書き込み用のページ選択
PCWORD	PC4/5~ 0	Z5/6~ 1	プログラム カウンタ ワード アドレス : 一時バッファ格納用ワード選択 (ページ書き込み操作中は 0 でなければなりません。)

注 : Z15~ 13/14 : 常に無視されます。

Z0 : すべての SPM 命令に対して 0 であるべきで、LPM 命令に対するハイ選択です。

自己プログラミング中の Zポイントの使用については 172頁の「自己プログラミングにおけるフラッシュメモリのアドレス指定」をご覧ください。

訳注 ) 原書の表 25-8 (ATmega88) と表 25-11 (ATmega168) は表 25-8 として纏めました。



## 25.9. フォトリソグラフィ関係レジスタ - ATmega88, ATmega168

### 25.9.1. SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはフォトリソグラフィ動作を制御するために必要とされる制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	SPM E	RWWSB	-	RWWSRE	BLBSET	PGWRT	PGERS	SELFPRGEN	SPMCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPM E : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPM Eビットが1を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)されているなら、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRの自己プログラミング許可 (SELFPRGEN)ビットがクリア(0)されている限り実行されます。

ビット6 - RWWSB : R/W領域ビジー (Read-While-Write Section Busy)

R/W領域に自己プログラミング(ページ消去またはページ書き込み)操作が開始されると、RWWSBがハードウェアによりセット(1)されます。RWWSBビットがセット(1)されるとR/W領域はアクセスできません。自己プログラミングが完了された後にRWWSREビットが1を書かれると、このRWWSBビットはクリア(0)されます。同様に、ページ設定操作が開始されるとRWWSBビットは自動的にクリア(0)されます。

ビット5 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

ビット4 - RWWSRE : R/W領域読み出し許可 (Read-While-Write Section Read Enable)

R/W領域に自己プログラミング(ページ消去またはページ書き込み)すると、RWWS領域はRWWSBがハードウェアによってセット(1)され読み出しに対して防がれます。RWWS領域を再許可するために使用者ソフトウェアは自己プログラミングが完了 (SELFPRGENがクリア(0))されるまで待たねばなりません。その後、RWWSREビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令がRWWS領域を再許可します。ページ消去またはページ書き込みでフラッシュメモリがビジー中 (SELFPRGEN=1) RWWS領域は再許可できません。フラッシュメモリが設定されている間にRWWSREビットが書かれると、フラッシュメモリ設定操作は失敗し、設定したデータは失われます。

ビット3 - BLBSET : フォトリソグラフィビット設定 (Boot Lock Bits Set)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令はR0のデータに従った一般ロックとフォトリソグラフィビットを設定します。R0のデータとZポインタのアドレスは無視されます。BLBSETビットはロックビットの設定完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。

SPMCSRでBLBSETとSELFPRGENがセット(1)された後の3クロックサイクル内のLPM命令は(ZポインタのZdによって)ヒューズビットまたはロックビットのどちらかを転送先レジスタに読みます。詳細については174頁の「ソフトウェアからのヒューズビットとロックビットの読み出し」をご覧ください。

ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令は一時バッファに格納したデータでページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。RWWS領域がアドレス指定されると、ページ全体の書き込み動作中、CPUは停止されます。

ビット1 - PGERS : ページ消去 (Page Erase)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令はページ消去を実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。RWWS領域がアドレス指定されると、ページ全体の消去中、CPUは停止されます。

ビット0 - SELFPRGEN : 自己プログラミング許可 (Self Programming Enable)

このビットは次の4クロックサイクル間SPM命令を許可します。このビットがRWWSRE、BLBSET、PGWRT、PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます (上の記述をご覧ください)。SELFPRGENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時バッファへR1 R0の値を格納します。Zレジスタの最下位ビットは無視されます。SELFPRGENビットはSPM命令の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ消去とページ書き込み中、SELFPRGENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

## 26. メモリプログラミング

### 26.1. プログラム メモリとデータメモリ用ロックビット

ATmega88/168は非プログラム(1)のままか表 26-2で一覧される付加機能を得るためにプログラム(0)できる6つのロックビットを提供します。このロックビットはチップ消去コマンドでのみ1に消去できます。

ATmega48は独立したフートロータ領域を持ちません。SELFPRGENヒューズがプログラム(0)されると、SPM命令はフラッシュメモリ全体に対して許可され、さもなければ禁止されます。

表 26-1. ロックビットハイの内容

名称	ビット番号	意味	既定値 (注1)
-	7	フートロータ領域に対する保護用フートロックビット	1 (非プログラム)
-	6		1 (非プログラム)
BLB12 (注2)	5		1 (非プログラム)
BLB11 (注2)	4		1 (非プログラム)
BLB02 (注2)	3	応用領域に対する保護用フートロックビット	1 (非プログラム)
BLB01 (注2)	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用ロックビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注1: 0はプログラム, 1は非プログラムを意味します。

注2: ATmega88/168のみです。

表 26-2. ロックビットの保護種別

メモリロックビット			保護種別
LB 種別	LB2	LB1	シリアル、パラレル、またはデバッグWRE経由プログラミングに対する保護
1	1	1	メモリロック機能は機能しません。
2	1	0	フラッシュ、EEPROM、ヒューズビットのプログラミング書き込み機能が禁止されます。(注1)
3	0	0	LB種別2と同様、更に照合読み出しも禁止されます。(注1)
LB0種別	BLB02	BLB01	(注4) フラッシュメモリの応用プログラム領域に対する保護
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、フートロータ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	フートロータ領域でのLPM命令による応用領域からの読み込みが許されません。(注2)
LB1種別	BLB12	BLB11	(注4) フラッシュメモリのフートロータプログラム領域に対する保護
1	1	1	LPM, SPM命令がフートロータ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はフートロータ領域に書くことを許されません。
3	0	0	SPM命令によるフートロータ領域への書き込みと、応用領域でのLPM命令によるフートロータ領域からの読み込みが許されません。(注3)
4	0	1	応用領域でのLPM命令によるフートロータ領域からの読み込みが許されません。(注3)

注: 0はプログラム, 1は非プログラムを意味します。

注1: ロックビットを書く前にヒューズビットを書いてください。デバッグWREは全面的に禁止されます。

注2: BLB02=0で、割り込みベクタがフートロータ領域に配置されていると、応用領域での実行時、割り込みが禁止されます。

注3: BLB12=0で、割り込みベクタが応用領域に配置されていると、フートロータ領域での実行時、割り込みが禁止されます。

注4: BLBnnビットによる保護はATmega88/168のみです。

訳注) 原書の表 26-2と表 26-3は表 26-2として纏めました。

## 26.2.ヒューズ・ビット

ATmega48/88/168には3つのヒューズ・ビットがあります。表 26-4~ 7は全てのヒューズの概略機能とヒューズ・ビット内でどのように配置されるかを示します。ヒューズはプログラムされると論理 0として読まれることに注意してください。

表 26-4. ATmega48拡張ヒューズ・ビット一覧

名称	ビット	意味	既定値
-	7~ 1		1 (非プログラム)
SELFPRGEN	0	自己プログラミング機能許可。	1 (非プログラム)自己プログラミング不許可

表 26-5. ATmega88/168拡張ヒューズ・ビット一覧

名称	ビット	意味	既定値
-	7~ 3		1 (非プログラム)
BOOTSZ1	2	ブートロータ容量選択。 (表 25-6参照) 注 1)	0 (プログラム)
BOOTSZ0	1		0 (プログラム)
BOOTRST	0	ビットベクタ応用領域またはブートロータ領域 選択。	1 (非プログラム)応用領域

注 1: BOOTSZ1,既定値は最大ブートロータ容量になります。176頁の表 25-6をご覧ください。

表 26-6. ヒューズ上位ビット一覧

名称	ビット	意味	既定値
RSTDISBL (注 1)	7	PCが I/OピンかまたはRESETピンを選択します。	1 (非プログラム)PCはRESETピン
DWEN	6	デバッグW RE機能許可。	1 (非プログラム)デバッグW RE不許可
SPIEN (注 2)	5	シリアル プログラミング許可。	0 (プログラム)シリアル プログラミング許可
WDTON (注 3)	4	ウォッチドッグ タイマ常時有効。	1 (非プログラム)WDTONはWDTCSRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム)EEPROMは未保護
BODLEVEL2	2	低電圧検出 (BOD)ビットの制御と検出電圧選択。 注 4)	1 (非プログラム)
BODLEVEL1	1		1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注 1: RSTDISBLヒューズの記述については50頁の「ホートIOの兼用機能」をご覧ください。

注 2: SPIENヒューズはシリアル プログラミングでアクセスできません。

注 3: 詳細については32頁の「ウォッチドッグ タイマ制御レジスタWDTCSR」をご覧ください。

注 4: BODLEVELヒューズの符号化については192頁の表 27-4をご覧ください。

表 26-7. ヒューズ下位ビット一覧

名称	ビット	意味	既定値
CKDM8 (注 4)	7	システム クロック 8分周選択。	0 (プログラム) 8分周
CKOUT (注 3)	6	システム クロック出力許可。	1 (非プログラム)不許可
SJT1	5	起動時間選択。 注 1)	1 (非プログラム)
SJT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 注 2)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注 1: SJT1,の既定値は最大起動時間になります。詳細については19頁の表 7-9をご覧ください。

注 2: CKSEL3~ の既定設定は8MHz校正付き内蔵RC発振器になります。詳細については19頁の表 7-8をご覧ください。

注 3: CKOUTはポートBQに出力することをシステム クロックに許します。詳細については20頁の「クロック出力バッファ」をご覧ください。

注 4: 詳細については20頁の「システム クロック前置分周器」をご覧ください。

ヒューズ・ビットの状態はチップ消去により影響されません。ロックビット1(LB1)がプログラム 0されると ヒューズ・ビットが固定されることに注意してください。ロックビットをプログラム 0する前にヒューズ・ビットをプログラミング書き込みしてください。

### 26.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム 0されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされます。

### 26.3. 識票バイト

すべてのATMEL マイクロコントローラはデバイス識別用の3バイトの識票符号を持ちます。この符号はシリアルとパラレル両方のプログラミング動作で、またデバイスがロックされていても読めます。この3バイトは分離された空間に存在します。ATmega48/88/168用の識票バイトは表 26-8で与えられます。

表 26-8. デバイスの識別番号 (D)

部品番号	識票バイトアドレス		
	\$0000	\$0001	\$0002
ATmega48	\$1E	\$92	\$05
ATmega88	\$1E	\$93	\$0A
ATmega168	\$1E	\$94	\$06

### 26.4. 発振校正値バイト

ATmega48/88/168は内蔵RC発振器用に1バイトの校正値を持っています。このバイトは識票アドレス空間でアドレス \$0000の上位バイトにあります。リセット中、校正付き内蔵RC発振器の正しい周波数を保証するために、このバイトが発振校正 (OSCCAL) レジスタへ自動的に書かれます。

### 26.5. ページ容量

表 26-9. フラッシュメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
ATmega48	2Kワード(4Kバイト)	32ワード	PC4~ 0	64	PC10~ 5	10
ATmega88	4Kワード(8Kバイト)	32ワード	PC4~ 0	128	PC11~ 5	11
ATmega168	8Kワード(16Kバイト)	64ワード	PC5~ 0	128	PC12~ 6	12

表 26-10. EEPROMメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
ATmega48	256バイト	4バイト	EEA1~ 0	64	EEA7~ 2	7
ATmega88	512バイト	4バイト	EEA1~ 0	128	EEA8~ 2	8
ATmega168	512バイト	4バイト	EEA1~ 0	128	EEA8~ 2	8



## 26.6. パラレル プログラミング

この項は ATmega48/88/168 のプログラム用フラッシュメモリ、データ用 EEPROM、メモリのロックビット、ヒューズビットのパラレルプログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低 250ns と仮定されます。

### 26.6.1. 信号名

本項で ATmega48/88/168 のいくつかのピンはパラレルプログラミング中の機能を表す信号名で参照されます。図 26-1 と表 26-11 をご覧ください。後続の表で示されないピンはピン名により参照されます。

XA0 と XA1 ピンは XTAL1 ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は表 26-13 で示されます。

WR または OE パルス送出時、設定されたコマンドが決める動作が実行されます。各種コマンドは表 26-14 で示されます。

図 26-1. パラレル プログラミング構成図

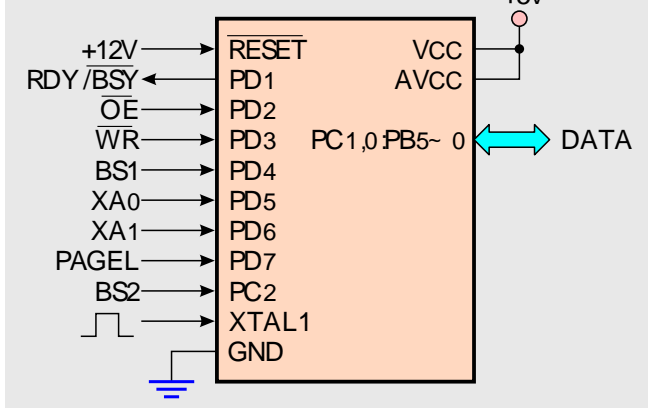


表 26-11. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0 (Low): ビジー (プログラミング中) 1 (High): レディ (コマンド受付可)
OE	PD2	入力	出力許可 (負論理)
WR	PD3	入力	書き込みパルス (負論理)
BS1	PD4	入力	上位 / 下位 バイ選択 1 (0: 下位, 1: 上位) (一般用)
XA0	PD5	入力	XTAL 動作ビット 0
XA1	PD6	入力	XTAL 動作ビット 1
PAGES	PD7	入力	プログラムメモリと EEPROM データレジスタの時ハフに設定
BS2	PC2	入力	上位 / 下位 バイ選択 2 (0: 下位, 1: 上位) (ヒューズビット用)
DATA	PC1,0, PB5~0	入出力	双方向データバス (OE=Low 時出力)

表 26-12. プログラミング動作移行時のピン値

ピン名	シンボル	値
PAGES	Prog.enable[3]	0
XA1	Prog.enable[2]	0
XA0	Prog.enable[1]	0
BS1	Prog.enable[0]	0

表 26-13. XA0 と XA1 の符号化 (機能)

XA1	XA0	XTAL1 パルス時の動作
0	0	フラッシュまたは EEPROM のアドレス設定 (上位 / 下位は BS1 で指定)
0	1	データ設定 (フラッシュの上位 / 下位は BS1 で指定)
1	0	コマンド設定
1	1	アイドル (動作なし)

表 26-14. コマンドバイトのビット符号化

コマンドバイト	コマンドの機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	ロックビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM 書き込み
\$08 (0000 1000)	識別バイト 発振校正値読み出し
\$04 (0000 0100)	ヒューズビット ロックビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM 読み出し

## 26.7. パラレル プログラミング手順

### 26.7.1. パラレル プログラミング動作への移行

次に示す方法はデバイスを高電圧パラレルプログラミング動作にします。

VCCを0V、RESETピンを0V、18頁の表 26-12で一覧されるProg\_enableピンを全てLow(0)に設定します。  
VCCとGND間に4.5~ 5.5Vを印加します。それから20μs以内にVCCが最低1.8Vに達することを保証してください。  
RESETに11.5~ 12.5Vを印加し、20~ 60μs待ちます。

Prog\_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs Prog\_enableピンを無変化に保ちます。

如何なるパラレルプログラミングコマンドを与えるのにも先立ち、少なくとも300μs間待ちます。

デバイスの電源を落とすか、RESETピンを0Vに持ってくることによってプログラミング動作を抜けます。

VCCの立ち上がり時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使用できます。

VCCを0V、RESETピンを0V、18頁の表 26-12で一覧されるProg\_enableピンを全てLow(0)に設定します。  
VCCとGND間に4.5~ 5.5Vを印加します。  
VCCを監視し、0.9~ 1.1Vに達したら直ぐ、RESETに11.5~ 12.5Vを印加します。

Prog\_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs Prog\_enableピンを無変化に保ちます。

如何なるパラレルプログラミングコマンドを与えるのにも先立ち、VCCが実際に4.5~ 5.5Vに達するまで待ちます。

デバイスの電源を落とすか、RESETピンを0Vに持ってくることによってプログラミング動作を抜けます。

### 26.7.2. 効率的なプログラミングへの考慮

設定したコマンドとアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために、次を考慮すべきです。

複数のメモリ領域を読み書きするとき、コマンド設定は一度だけ必要です。

チップ消去後のフラッシュメモリ(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFですので、値が\$FFのデータ書き込みを飛ばします。

アドレス上位ハイはフラッシュメモリで新規256ワード枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識別ハイ読み出しにも適用されます。

### 26.7.3. チップ消去

チップ消去はフラッシュメモリEEPROM(注1)ロックビットを消去します。ロックビットはプログラムメモリが完全に消去されてしまうまでビット消去されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」コマンド設定

XA1をHigh(1)、XA0をLow(0)に設定します。これはコマンド設定を許可します。  
BS1をLow(0)に設定します。  
DATAを\$80(1000 0000)に設定します。これはチップ消去コマンドです。  
XTAL1に正パルスを与えます。これはチップ消去コマンドを設定します。  
WRに負パルスを与えます。これはチップ消去を開始します。RDY/BSYがLow(0)になります。  
次のコマンドを設定する前に、RDY/BSYがHigh(1)になるまで待ちます。

## 26.7.4. フラッシュメモリ書き込み (次頁の図 26-3 タイミングを参照)

フラッシュメモリはページで構成されます (18頁の表 26-9参照)。フラッシュメモリに書くとき、プログラムデータはページバッファにラッチされます。これは同時に書かれることをプログラムデータの1ページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

### A. 「フラッシュメモリ書き込み」コマンド設定

XAをHigh(1) XAOをLow(0)に設定します。これはコマンド設定を許可します。  
BSをLow(0)に設定します。  
DATAを\$10(0001 0000)に設定します。これはフラッシュメモリ書き込みコマンドです。  
XTAL1に正パルスを与えます。これはフラッシュメモリ書き込みコマンドを設定します。

### B. アドレス下位ハイ設定

XAをLow(0) XAOをLow(0)に設定します。これはアドレス設定を許可します。  
BSをLow(0)に設定します。これは下位アドレス(バイト)を選択します。  
DATAにアドレス下位バイト(\$00~ \$FF)を設定します。  
XTAL1に正パルスを与えます。これはアドレス下位ハイを設定します。

### C. データ下位ハイ設定

XAをLow(0) XAOをHigh(1)に設定します。これはデータ設定を許可します。  
DATAにデータ下位バイト(\$00~ \$FF)を設定します。  
XTAL1に正パルスを与えます。これはデータ下位ハイを設定します。

### D. データ上位ハイ設定

BSをHigh(1)に設定します。これは上位ハイを選択します。  
XAをLow(0) XAOをHigh(1)に設定します。これはデータ設定を許可します。  
DATAにデータ上位バイト(\$00~ \$FF)を設定します。  
XTAL1に正パルスを与えます。これはデータ上位ハイを設定します。

### E. ワードデータをページ一時バッファに設定

BSをHigh(1)にします。これは上位ハイを選択します。  
PAGE1に正パルスを与えます。これはワードデータをページ一時バッファにラッチ設定します。

### F. バッファ全体が満たされるか、または必要な全てのデータがバッファ内に設定されるまで、B~Eを繰り返す

アドレス内の下位ビットがページ内のワード位置を指示する一方、上位ビットがフラッシュメモリ内のページをアドレス指定します。これは図 26-2で図示されます。ページ内のワードアドレスに8ビット未満が必要とされる場合 (ページ容量 < 256) アドレス下位ハイの最上位 (側) ビットがページ書き込み実行時のページアドレスに使用されることに注意してください。

### G. アドレス上位ハイ設定

XAをLow(0) XAOをLow(0)に設定します。これはアドレス設定を許可します。  
BSをHigh(1)に設定します。これは上位アドレス(バイト)を選択します。  
DATAにアドレス上位バイト(\$00~ \$07/\$0F/\$1F)を設定します。  
XTAL1に正パルスを与えます。これはアドレス上位ハイを設定します。

### H. ページ書き込み

BSをLow(0)に設定します。  
WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/BSYがLow(0)になります。  
RDY/BSYがHigh(1)になるまで待ちます。

### I. フラッシュメモリ全部が書かれるか、または必要な全てのデータが書かれてしまうまで、B~Hを繰り返す

### J. ページ書き込み終了

XAをHigh(1) XAOをLow(0)に設定します。これはコマンド設定を許可します。  
DATAを\$00(0000 0000)にします。これは無操作コマンドです。  
XTAL1に正パルスを与えます。これは無操作コマンドを設定し、内部書き込み信号がリセットされます。

図 26-2. ページで構成されたフラッシュメモリのアドレス指定

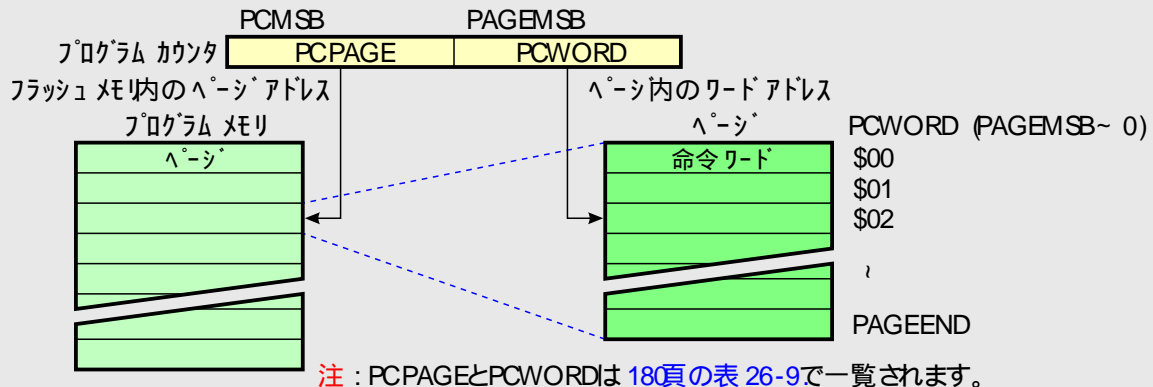
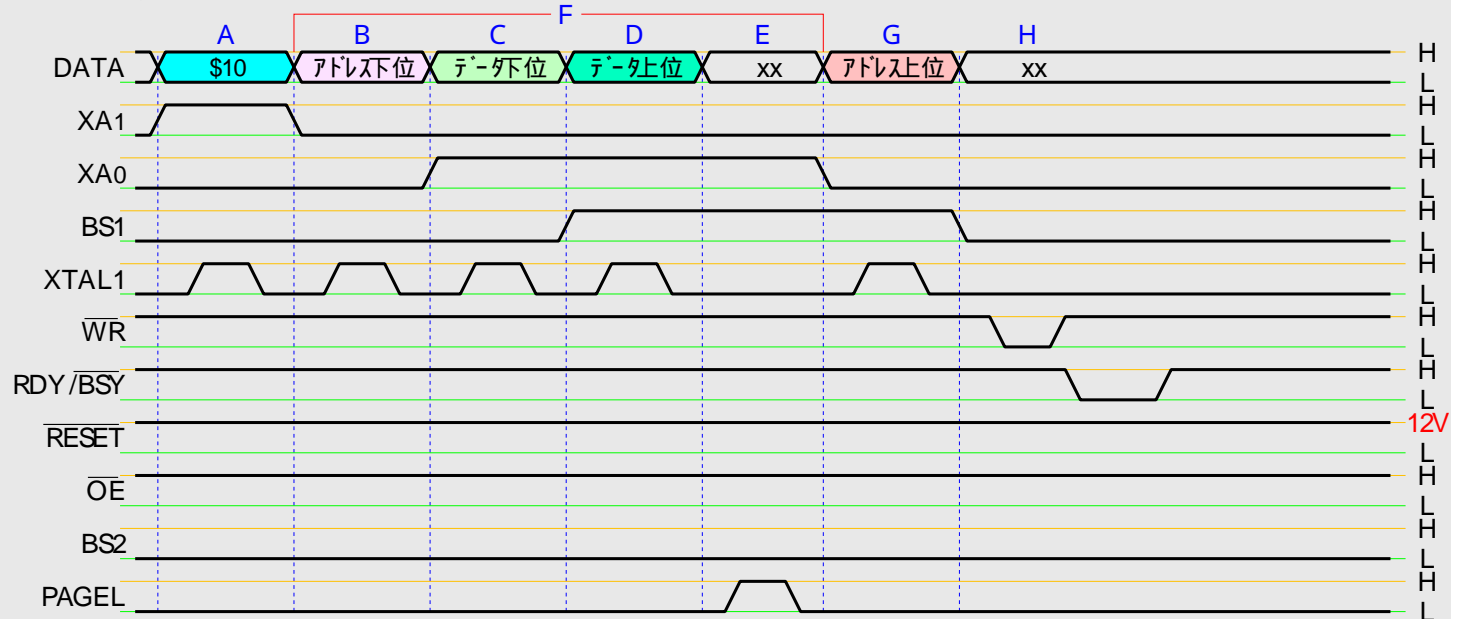


図 26-3. フラッシュメモ書き込みタイミング



注: xx値は無関係です。A~Hは前記プログラミングを参照してください。

### 26.7.5. EEPROM書き込み

EEPROMはページで構成されます(18頁の表 26-10参照)。EEPROMを書くとき、データはページハフにラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモ書き込み方法は次のとおりです。(コマンド、アドレス、データ設定の詳細については18頁の「フラッシュメモ書き込み」を参照。図 26-4タイミング参照。)

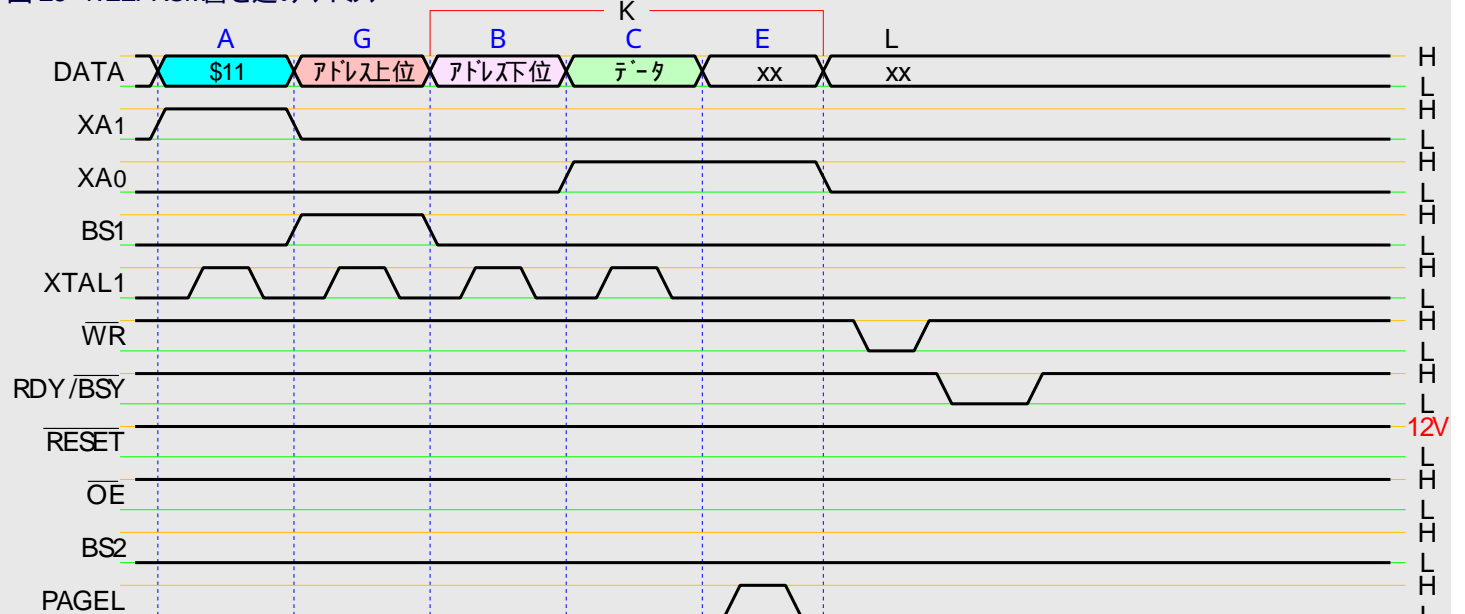
1. EEPROM書き込み コマンド\$11(0001 0001)を設定します。(「フラッシュメモ書き込み」のAを参照)
2. アドレス上位バイト(\$00~ \$00/\$01/\$01)を設定します。(「フラッシュメモ書き込み」のGを参照)
3. アドレス下位バイト(\$00~ \$FF)を設定します。(「フラッシュメモ書き込み」のBを参照)
4. データバイト(\$00~ \$FF)を設定します。(「フラッシュメモ書き込み」のCを参照)
5. データをラッチします(PAGELに正パルスを与えます)。(「フラッシュメモ書き込み」のEを参照)
- K. ハフ全体が満たされるまで3~5を繰り返します。
- L. EEPROMページ書き込み

BS1をLow(0)に設定します。

WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。

次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図 26-4. EEPROM書き込みタイミング





## 26.7.6. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. フラッシュメモリ読み出しコマンド \$02 (0000 0010) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. アドレス上位バイト (\$00~ \$07/\$0F/\$1F) を設定します。(「フラッシュメモリの書き込み」の G を参照)
3. アドレス下位バイト (\$00~ \$FF) を設定します。(「フラッシュメモリの書き込み」の B を参照)
4. BS1 を Low (0), OE を Low (0) に設定します。フラッシュメモリの下位バイトが直ぐに DATA で読めます。
5. BS1 を High (1) に設定します。フラッシュメモリの上位バイトが直ぐに DATA で読めます。
6. OE を High (1) に設定します。DATA は Hi-Z になります。

## 26.7.7. EEPROM読み出し

データ用 EEPROM の読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. EEPROM読み出しコマンド \$03 (0000 0011) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. アドレス上位バイト (\$00~ \$00/\$01/\$01) を設定します。(「フラッシュメモリの書き込み」の G を参照)
3. アドレス下位バイト (\$00~ \$FF) を設定します。(「フラッシュメモリの書き込み」の B を参照)
4. BS1 を Low (0), OE を Low (0) に設定します。EEPROM のバイトデータが直ぐに DATA で読めます。
5. OE を High (1) に設定します。DATA は Hi-Z になります。

## 26.7.8~ 10. ヒューズビット書き込み 訳注 原書での拡張 / 上位 / 下位 ヒューズ項を一つに纏めました。)

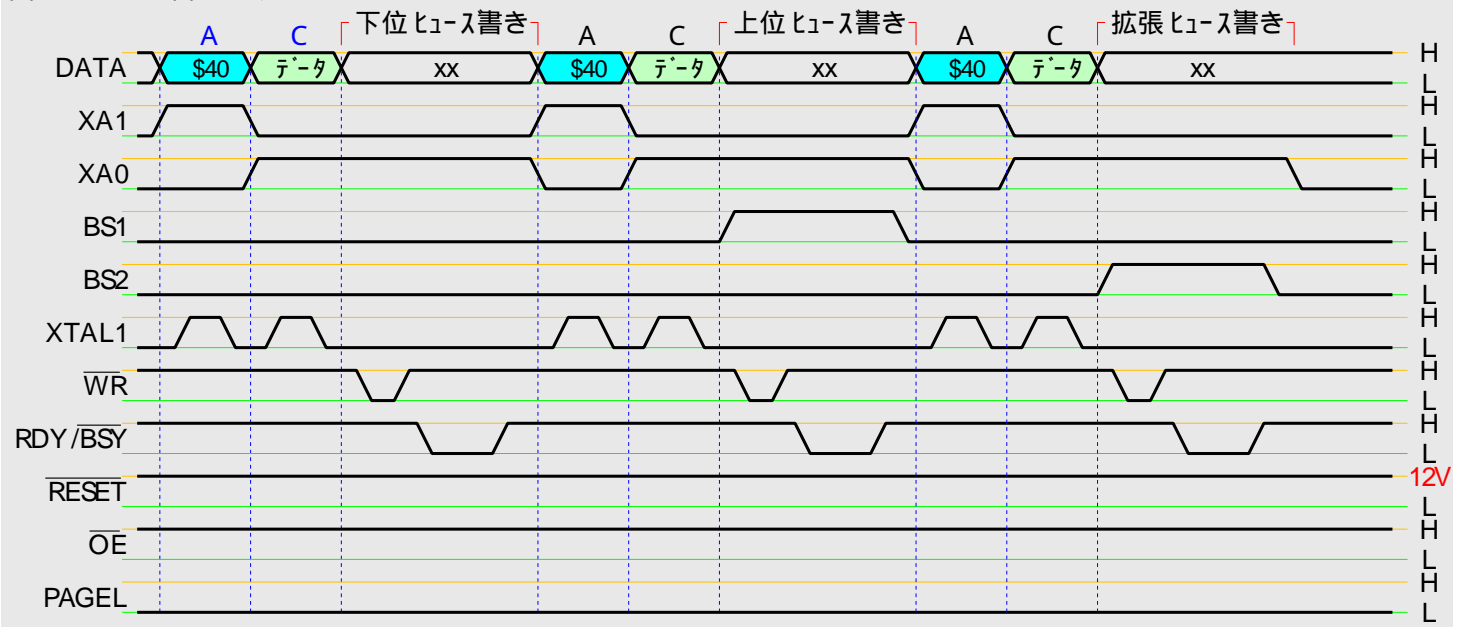
各ヒューズバイトの書き込み方法は次の通りです。(コマンドとデータ設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. ヒューズビット書き込み コマンド \$40 (0100 0000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. データ下位バイトを設定します。0=プログラム, 1=非プログラム消去です。(「フラッシュメモリの書き込み」の C を参照)
3. BS1 と BS2 を右表の目的バイトに対応する設定にします。
4. WR に負パルスを与え、RDY/BSY が High になるまで待ちます。
5. 3 で High に設定した BS1, BS2 を Low (0) に戻します。これはデータ下位バイトを選択します。

表 A. ヒューズバイト対応 BS1 BS2 設定

ヒューズバイト	BS1	BS2
拡張バイト	Low (0)	High (1)
上位バイト	High (1)	Low (0)
下位バイト	Low (0)	Low (0)

図 26-5. ヒューズ書き込みタイミング



### 26.7.11. ロックビット書き込み

ロックビットの書き込み方法は次の通りです。(コマンドとデータ設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. ロックビット書き込みコマンド \$20 (0010 0000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. データ下位バイトとしてデータを設定します。0=プログラム, 1=無変化です。LB保護種別が設定 (LB1とLB2がプログラム(0)) されると、どの外部的なプログラミング動作種別によってもフートロックビットはプログラミングできません。(「フラッシュメモリの書き込み」の C を参照)
3.  $\overline{WR}$  に負パルスを与え、RDY/BSY が High になるまで待ちます。

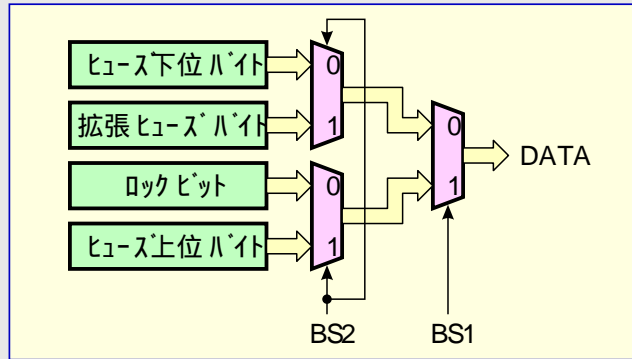
ロックビットはチップ消去の実行によってのみクリア(1)できます。

### 26.7.12. ヒューズビットとロックビットの読み出し

ヒューズビットとロックビットの読み出し方法は次の通りです。(コマンド設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. ヒューズビットとロックビットの読み出しコマンド \$04 (0000 0100) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. BS1とBS2を Low(0)  $\overline{OE}$  を Low(0) に設定します。ヒューズ下位ビットの状態が直ぐに DATA で読めます。(0=プログラム)
3. BS1とBS2を High(1)  $\overline{OE}$  を Low(0) に設定します。ヒューズ上位ビットの状態が直ぐに DATA で読めます。(0=プログラム)
4. BS1を Low(0) BS2を High(1)  $\overline{OE}$  を Low(0) に設定します。拡張ヒューズビットの状態が直ぐに DATA で読めます。(0=プログラム)
5. BS1を high(1) BS2を Low(0)  $\overline{OE}$  を Low(0) に設定します。ロックビットの状態が直ぐに DATA で読めます。(0=プログラム)
6.  $\overline{OE}$  を High(1) に設定します。DATA は Hi-Z になります。

図 26-6. ヒューズ、ロックビット読み出し中の BS1, BS2 との関係



### 26.7.13. 識票バイト読み出し

識票バイトの読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. 識票バイト読み出しコマンド \$08 (0000 1000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. アドレス下位バイトに \$00 ~ \$02 を設定します。(「フラッシュメモリの書き込み」の B を参照)
3. BS1を Low(0)  $\overline{OE}$  を Low(0) に設定します。選択した識票バイトが直ぐに DATA で読めます。
4.  $\overline{OE}$  を High(1) に設定します。DATA は Hi-Z になります。

### 26.7.14. 発振校正値読み出し

発振校正値の読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 183 頁の「フラッシュメモリの書き込み」を参照。)

1. 発振校正値読み出しコマンド \$08 (0000 1000) を設定します。(「フラッシュメモリの書き込み」の A を参照)
2. アドレス下位バイトに \$00 を設定します。(「フラッシュメモリの書き込み」の B を参照)
3. BS1を High(1)  $\overline{OE}$  を Low(0) に設定します。発振校正値バイトが直ぐに DATA で読めます。
4.  $\overline{OE}$  を High(1) に設定します。DATA は Hi-Z になります。

### 26.7.15. パラレルプログラミング特性

パラレルプログラミング特性については、196 頁の「パラレルプログラミング特性」をご覧ください。

## 26.8. シリアルプログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間にシリアルSPIバスを使用してプログラミングできます。このシリアルインターフェイスはSCK入力、MISO入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ち、**プログラミング許可命令**が初めに実行されることを必要とします。**注意**、表 26-15でSPIプログラミング用のピン配置が一覧されます。すべてのデバイスが内部SPIインターフェイスに対する専用SPIピンを使用するとは限りません。

### 26.8.1. シリアルプログラミング用ピン配置

表 26-15. シリアルプログラミング用ピン配置

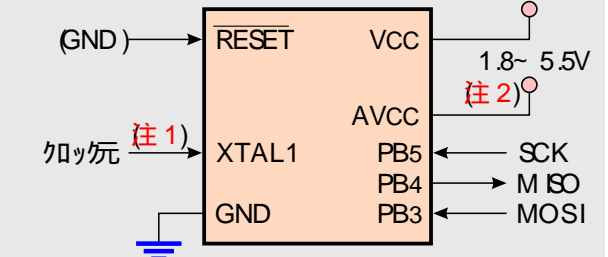
信号名	ピン名	入出力	機能
MOSI	PB3	入力	シリアルデータ入力
MISO	PB4	出力	シリアルデータ出力
SCK	PB5	入力	シリアルクロック

EEPROMをプログラミングするとき、自動消去サイクルが自動書き込み動作内に組み入れられ(シリアルプログラミングのみ) **チップ消去命令**を初めに実行する必要があります。チップ消去操作はプログラム(フラッシュメモリとEEPROM両方の全てのメモリ位置の内容を\$FFにします。

CKSELピンの有効なクロックが与えられなければなりません。シリアルクロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$  : Low区間 > 2CPUクロックサイクル     $f_{CK} < 12\text{MHz}$  : High区間 > 2CPUクロックサイクル  
 $f_{CK} \geq 12\text{MHz}$  : Low区間 > 3CPUクロックサイクル     $f_{CK} \geq 12\text{MHz}$  : High区間 > 3CPUクロックサイクル

図 26-7. シリアルプログラミング構成図



**注 1:** デバイスが内蔵発振器で動作する場合、XTAL1ピンにクロックを接続する必要はありません。

**注 2:**  $V_{CC} - 0.3V < AV_{CC} < V_{CC} + 0.3V$ ですが、 $AV_{CC}$ は常に 1.8~5.5V内にすべきです。

## 26.9. シリアルプログラミング手順

ATmega48/88/168にシリアルデータを書くと、データはSCKの立ち上りエッジで行われ、ATmega48/88/168から読むとき、データはSCKの立ち下りエッジで行われます。タイミングの詳細については図 26-9をご覧ください。

シリアルプログラミング動作でのATmega48/88/168のプログラミングと照合は次の手順が推奨されます(表 26-17の命令セット参照)。

### 1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロックサイクル幅の正パルスを与えられなければなりません。

### 2. 最低20m待ち、MOSIピンに**プログラミング許可命令**を送ることによりシリアルプログラミングを許可してください。

### 3. 通信が同期を外していると、シリアルプログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出し時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

### 4. フラッシュメモリは1ワード単位で書かれます。ワード容量は180ワードの表 26-9で得られます。このメモリワードはワード設定命令と共にアドレスの下位5/5/6+1ビットとデータを提供することにより1バイトづつ設定されます。ワードが正しく設定されることを保証するため、データ上位バイトが与えられたアドレスに適用される前に、データ下位バイトが設定されなければなりません。プログラムメモリのワードはアドレスの上位6/7/7ビットを含む**ワード書き込み命令**の設定により(フラッシュメモリに格納されます。ホーリング(BSY/RDY)が使用されない場合、使用者は次のワードを行う前に最低tWD\_FLASH(表 26-16参照)待たなければなりません。フラッシュ書き込み操作完了前のホーリング以外のシリアルプログラミングインターフェイスでのアクセスは不正な書き込み結果になり得ます。

### 5. EEPROMはワード単位かバイト単位のどちらかでプログラミングできます。

**バイト単位:** EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを提供することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立ち、始めて自動的に消去されます。ホーリング(BSY/RDY)が使用されない場合、次のバイトを行う前に最低tWD\_EEPROM(表 26-16参照)待たなければなりません。

**ワード単位:** EEPROMの1ワードは**EEPROMワード設定命令**と共にアドレスの下位2ビットとデータを提供することにより1バイトづつ設定されます。EEPROMワードはアドレスの上位6/7/7ビットを含む**EEPROMワード書き込み命令**により(EEPROMに格納されます。EEPROMワードアクセス時、EEPROMワード設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ホーリング(BSY/RDY)が使用されない場合、次のワード(表 26-10参照)を行う前に最低tWD\_EEPROM(表 26-16参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

### 6. どのメモリ位置も選択したアドレスの内容をシリアル出力MISOに読み戻す**読み出し命令**を使用することにより照合できます。

### 7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

### 8. 電源OFF手順 (必要とされるならば)

RESETをHigh(1)に設定します。  
VCC電源をOFFにします。

表 26-16. ヒューズ・フラッシュ・EEPROM 次位置書き込み前の待機時間

シンボル	最低待機時間	備考
WD_FUSE	4.5ms	ヒューズ書き込み
WD_FLASH	4.5ms	フラッシュメモリ書き込み
WD_EEPROM	3.6ms	EEPROM書き込み
WD_ERASE	9.0ms	チップ消去

(訳注)

共通性から WD\_FUSE 項目を追加

### 26.9.1. シリアルプログラミング命令セット

表 26-17 と次ページの図 26-8 は命令セットを記述します。

表 26-17. シリアルプログラミング命令セット

命令	命令形式				備考
	第 1 バイト	第 2 バイト	第 3 バイト	第 4 バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
ビジー/リテール検査	\$F0	\$00	\$00	状態値	最下位ビットがビジーフラグ。
設定系命令					
拡張アドレス設定 (注 1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROM ページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注: ページ内指示以外のビットは Q
読み出し命令					
フラッシュメモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM 読み出し	\$A0	アドレス上位	アドレス下位	バイト	
ロックビット読み出し	\$58	\$00	\$00	ロックビット値	
識別バイト読み出し	\$30	\$00	アドレス	識別バイト	
ヒューズ下位読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位読み出し	\$58	\$08	\$00	ヒューズ上位	
拡張ヒューズ読み出し	\$50	\$08	\$00	拡張ヒューズ	
発振校正値読み出し	\$38	\$00	\$00	発振校正値	
書き込み命令 (注 2)					
フラッシュページ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROM バイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROM ページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注: ページ指示以外のアドレスビットは Q
ロックビット書き込み	\$AC	\$E0	\$00	ロックビット値	
ヒューズ下位書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位書き込み	\$AC	\$A8	\$00	ヒューズ上位	
拡張ヒューズ書き込み	\$AC	\$A4	\$00	拡張ヒューズ	

注 1: 全命令が全デバイスで利用可能な訳ではありません。

注 2: プログラム用メモリにアクセスする命令は語 (ワード) アドレスを使用します。このアドレスはページ範囲内でランダムにできます。

注: ・ロックビットとヒューズ値はプログラムが Q 非プログラムが 1 です。将来との互換性のため、未使用のヒューズとロックビットは非プログラム (1) にすべきです。

- ・ヒューズ、ロックビット、識別バイト、発振校正値、ページ容量については対応項目を参照してください。
- ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- ・第 4 バイトの赤背景は入読み込み (デバイス出力) を示します。

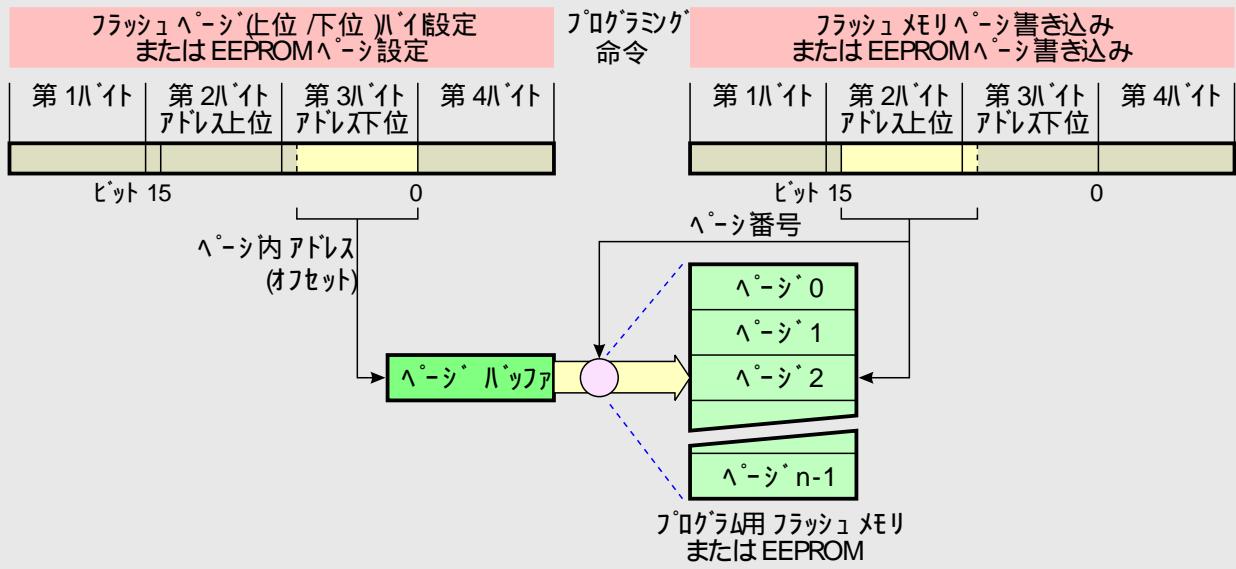
ビジー/リテール検査バイトで出力の LSB が 1 なら、プログラミング操作が未だ保留 (動作中) です。次の命令が実行される前に本ビットが 0 に戻るまで待ってください。

同じページ内で、下位バイトデータは上位バイトデータに先行して格納されなければなりません。

データがページバッファに格納された後に EEPROM ページをプログラムしてください。次ページの図 26-8 をご覧ください。



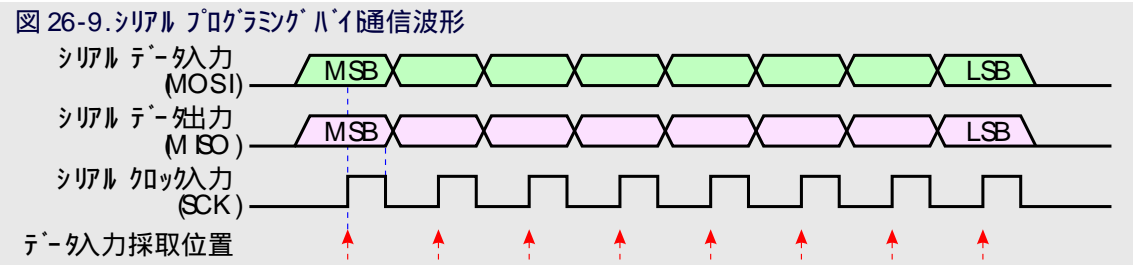
図 26-8. シリアルプログラミング命令例



**訳補)** フラッシュメモリ、EEPROM、ページバッファ内のアドレス位置指定に使用されるビットは、**メモリ容量とページ構成**に依存します。ATmega 48/88/168での、これらの指定方法は次表で要約されます。

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュページ内ハイ設定	0000 0000	000L LLLL 00LL LLLL	ATmega48/88 : L=PC4~ 0 ATmega168 : L=PC5~ 0
EEPROMページ内ハイ設定	0000 0000	0000 00LL	ATmega48/88/168 : L=EEA1~ 0
フラッシュメモリ読み出し	0000 0HHH 0000 HHHH 000H HHHH	LLLL LLLL LLLL LLLL	ATmega48 : H=PC10~ 8, L=PC7~ 0 ATmega88 : H=PC11~ 8, L=PC7~ 0 ATmega168 : H=PC12~ 8, L=PC7~ 0
EEPROM読み出し	0000 0000 0000 000H	LLLL LLLL LLLL LLLL	ATmega48 : L=EEA7~ 0 ATmega88/168 : H=EEA8, L=EEA7~ 0
フラッシュページ書き込み	0000 0HHH 0000 HHHH 000H HHHH	LLLL 0000 LLLL 0000 LL00 0000	ATmega48 : H=PC10~ 8, L=PC7~ 5 ATmega88 : H=PC11~ 8, L=PC7~ 5 ATmega168 : H=PC12~ 8, L=PC7~ 6
EEPROMハイ書き込み	0000 0000 0000 000H	LLLL LLLL LLLL LLLL	ATmega48 : L=EEA7~ 0 ATmega88/168 : H=EEA8, L=EEA7~ 0
EEPROMページ書き込み	0000 0000 0000 000H	LLLL LL00 LLLL LL00	ATmega48 : L=EEA7~ 2 ATmega88/168 : H=EEA8, L=EEA7~ 2

26.9.2. シリアルプログラミング特性



SP部の特性については、194頁の「SPタイミング特性」を参照してください。

## 27. 電気的特性

### 27.1. 絶対最大定格 (警告)

動作温度	-55 ~ +125
保存温度	-65 ~ +150
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

### 27.2. DC特性

TA=-40 ~ 85 , VCC=1.8V~ 5.5V (特記事項を除く)						
シンボル	項目	条件	Min	Typ	Max	単位
V <sub>IL</sub>	Lowレベル入力電圧 (XTAL1 RESETを除く)	VCC=1.8~ 2.4V	-0.5		0.2VCC (注1)	V
		VCC=2.4~ 5.5V	-0.5		0.3VCC (注1)	
V <sub>IL1</sub>	Lowレベル入力電圧 (XTAL1)	VCC=1.8~ 5.5V	-0.5		0.1VCC (注1)	
V <sub>IL2</sub>	Lowレベル入力電圧 (RESET)	VCC=1.8~ 5.5V	-0.5		0.2VCC (注1)	
V <sub>IL3</sub>	Lowレベル入力電圧 (I/OとしてのRESET)	VCC=1.8~ 2.4V	-0.5		0.2VCC (注1)	
		VCC=2.4~ 5.5V	-0.5		0.3VCC (注1)	
V <sub>H</sub>	Highレベル入力電圧 (XTAL1 RESETを除く)	VCC=1.8~ 2.4V	0.7VCC (注2)		VCC+0.5	
		VCC=2.4~ 5.5V	0.6VCC (注2)		VCC+0.5	
V <sub>H1</sub>	Highレベル入力電圧 (XTAL1)	VCC=1.8~ 2.4V	0.8VCC (注2)		VCC+0.5	
		VCC=2.4~ 5.5V	0.7VCC (注2)		VCC+0.5	
V <sub>H2</sub>	Highレベル入力電圧 (RESET)	VCC=1.8~ 5.5V	0.9VCC (注2)		VCC+0.5	
V <sub>H3</sub>	Highレベル入力電圧 (I/OとしてのRESET)	VCC=1.8~ 2.4V	0.7VCC (注2)		VCC+0.5	
		VCC=2.4~ 5.5V	0.6VCC (注2)		VCC+0.5	
V <sub>OL</sub>	Lowレベル出力電圧 (I/OとしてのRESETを含む) (注3)	DL=20mA, VCC=5V			0.7	
		DL=8mA, VCC=3V			0.5	
V <sub>OH</sub>	Highレベル出力電圧 (I/OとしてのRESETを含む) (注4)	DH=-20mA, VCC=5V	4.2			
		DH=-10mA, VCC=3V	2.3			
I <sub>IL</sub>	I/OピンLowレベル入力漏れ電流	VCC=5.5V			1	μA
I <sub>IH</sub>	I/OピンHighレベル入力漏れ電流	確実なH/L範囲			1	
R <sub>RST</sub>	RESETピンプルアップ抵抗		30		60	k
R <sub>PU</sub>	I/Oピンプルアップ抵抗		20		50	
I <sub>CC</sub>	通常動作消費電流 電力削減レジスタ(PRR全ビット=1)	VCC=2V, 1MHz			0.55	mA
		VCC=3V, 4MHz			3.5	
		VCC=5V, 8MHz			12	
	アイドル動作消費電流 電力削減レジスタ(PRR全ビット=1)	VCC=2V, 1MHz		0.25	0.5	
		VCC=3V, 4MHz			1.5	
		VCC=5V, 8MHz			5.5	
	パワーダウン動作消費電流	VCC=3V, WDT有効		8	15	μA
		VCC=3V, WDT禁止		1	2	
V <sub>ACD</sub>	アナログ比較器入力オフセット電圧			10	40	mV
I <sub>CLK</sub>	アナログ比較器入力漏れ電流	VCC=5V, V <sub>in</sub> =VCC/2	-50		50	nA
t <sub>ACPD</sub>	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

(注1)~(注4)は次頁を参照してください。

注 1: Lowレベルの認識が保証される最高電圧です。

注 2: Highレベルの認識が保証される最低電圧です。

注 3: 各 I/Oポートは安定状態 非過渡時 においては、検査条件 (VCC=3Vで 10mA、VCC=5Vで 20mA) より多くのシンクロ電流を流すことができますが、次の条件を厳守しなければなりません。

ポート IC5~ Q ADC7の DLの合計が 100mAを超えるべきではありません。

ポート IC6 D4~ の DLの合計が 100mAを超えるべきではありません。

ポート IB7~ Q D7~ 5の DLの合計が 100mAを超えるべきではありません。

DLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きなシンクロ電流を流すことは保証されません。

注 4: 各 I/Oポートは安定状態 非過渡時 においては、検査条件 (VCC=3Vで 10mA、VCC=5Vで 20mA) より多くのソース電流を流すことができますが、次の条件を厳守しなければなりません。

ポート IC6~ Q D4~ Q ADC7の DHの合計が 150mAを超えるべきではありません。

ポート IB7~ Q D7~ 5 ADC8の DHの合計が 150mAを超えるべきではありません。

DHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きなソース電流を流すことは保証されません。

## 27.3. 最高速と動作電圧

最高周波数は動作電圧に依存します。図 27-1と図 27-2で示されるように最高周波数対動作電圧曲線は 1.8~ 2.7Vと2.7~ 4.5V間で直線です。

図 27-1. ATmega48/88/168Vの最高周波数対 VCC

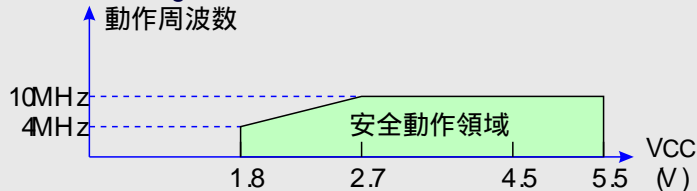
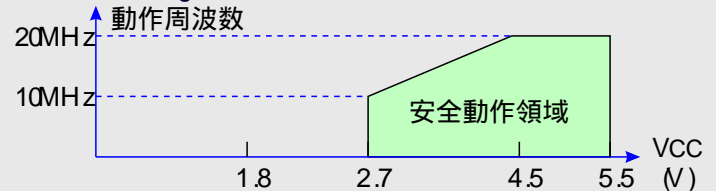


図 27-2. ATmega48/88/168の最高周波数対 VCC



## 27.4. クロック特性

表 27-1 校正付き内蔵 RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度
工場校正	8.0MHz	3V	25	± 10%
使用者校正	7.3~ 8.1MHz	1.8~ 5.5V (注 1), 2.7~ 5.5V (注 2)	-40~ 85	± 1%

注 1: ATmega48V/88V/168Vに対する電圧範囲

注 2: ATmega48/88/168に対する電圧範囲

図 27-3 外部 クロック駆動波形

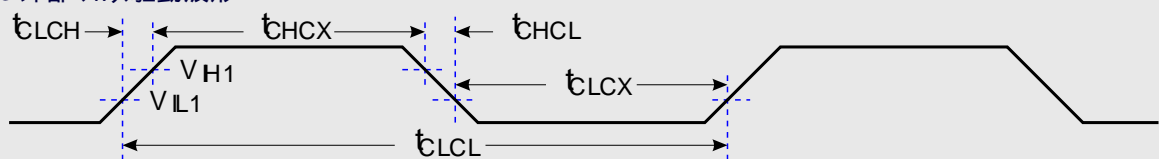


表 27-2 外部 クロック特性

シンボル	項目	VCC=1.8~ 5.5V		VCC=2.7~ 5.5V		VCC=4.5~ 5.5V		単位
		Min	Max	Min	Max	Min	Max	
1/tLCL	クロック周波数	0	4	0	10	0	20	MHz
tLCL	クロック周期	250		100		50		ns
tCHCX	Highレベル時間	100		40		20		
tLCX	Lowレベル時間	100		40		20		
tLCH	立ち上がり時間		2.0		1.6		0.5	μs
tHCL	立ち下り時間		2.0		1.6		0.5	
tLCL	隣接 クロック サイクル間の変化率		2		2		2	%

注: 詳細については 20頁の 外部 クロック信号 を参照してください。

## 27.5. システムとリセットの特性

表 27-3. リセット 低電圧検出 (BOD) 内部基準電圧の特性

シンボル	項目	条件	Min	Typ	Max	単位
V <sub>POT</sub>	上昇時電源ONリセット閾値電圧	TA=-40~ 85	0.7	1.0	1.4	V
	下降時電源ONリセット閾値電圧 (注 1)		0.05	0.9	1.3	
V <sub>PSR</sub>	電源ON電圧傾斜率		0.01		4.5	V/ms
V <sub>RST</sub>	RESETピン閾値電圧		0.2V <sub>CC</sub>		0.9V <sub>CC</sub>	V
t <sub>RST</sub>	リセットパルス幅		2.5			μs
V <sub>HYST</sub>	低電圧検出ヒステリシス電圧			50		mV
t <sub>BOD</sub>	最小低電圧検出時間			2		μs
V <sub>BG</sub>	基準電圧	V <sub>CC</sub> =2.7V TA=25	1.0	1.1	1.2	V
t <sub>BG</sub>	起動時間			40	70	μs
I <sub>BG</sub>	消費電流			10		μA

注 1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表 27-4. BODLEVELレジスタ (VBOT) 設定 (注 1)

BODLEVEL2~ 0	Min	Typ	Max	単位
1 1 1	低電圧検出 (BOD) リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 0 0 ~ 0 1 1	予約			

注 1: いくつかのデバイスで V<sub>BOT</sub> が公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、V<sub>CC</sub>=V<sub>BOT</sub>に落として検査されます。これはマイコンの正しい動作がもはや保証されない電圧になる前に、低電圧検出 (BOD) リセットが起きることを保証します。この検査は ATmega48/88/168 について BODLEVEL=101 を、ATmega48V/88V/168V について BODLEVEL=110 を使用して実行されます。



## 27.6. 2線シリアル インターフェイス特性

表 27-5は 2線シリアル バスに接続した装置に対する必要条件を記述します。ATmega48/88/168の 2線シリアル インターフェイスは記載条件下で、これらの必要条件を越えるか、または合致します。

図 27-4. 2線シリアル バス タイミング

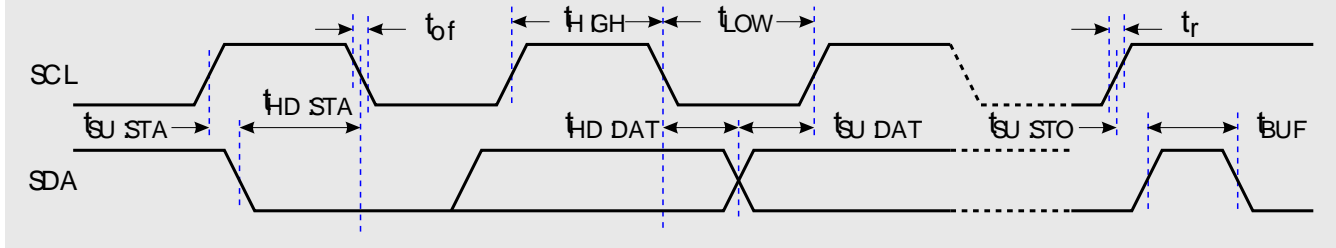


表 27-5. 2線シリアル インターフェイス必要条件

シンボル	項目	条件	Min	Max	単位
$V_{IL}$	Lowレベル入力電圧		-0.5	0.3VCC	V
$V_H$	Highレベル入力電圧		0.7VCC	VCC+0.5	
$V_{hys}$	シュミットトリガ入力ヒステリシス電圧		0.05VCC		
$V_{OL}$	Lowレベル出力電圧	$I_{OL}=3mA$	0	0.4	ns
$t_r$	出力立ち上がり時間 ( $V_{ILmin}$ - $V_{Hmax}$ )		$20+0.1C_b$	300	
$t_{of}$	出力立ち下り時間 ( $V_{Hmin}$ - $V_{ILmax}$ )	$10pF < C_b < 400pF$	$20+0.1C_b$	250	
$t_{sp}$	入力パルス最小幅 (ハイ消去フィルタ)		0	50	$\mu A$
$I_i$	入力電流 (ピン単位)	$0.1VCC < V_i < 0.9VCC$	-10	10	
$C_i$	ピン入力容量			10	
$f_{SCL}$	SCLクロック周波数	$f_{CK} > \max(16f_{SCL}, 250kHz)$	0	400	kHz
$R_p$	プルアップ抵抗値	$f_{SCL} = 100kHz$	$(VCC - 0.4V) / 3mA$	$1000ns / C_b$	
		$f_{SCL} > 100kHz$	$(VCC - 0.4V) / 3mA$	$300ns / C_b$	
$t_{HD\_STA}$	再送 開始条件保持時間	$f_{SCL} = 100kHz$	4.0		$\mu s$
		$f_{SCL} > 100kHz$	0.6		
$t_{LOW}$	SCLクロックLowレベル時間	$f_{SCL} = 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		$\mu s$
$t_{HIGH}$	SCLクロックHighレベル時間	$f_{SCL} = 100kHz$	4.0		
		$f_{SCL} > 100kHz$	0.6		
$t_{SU\_STA}$	再送開始条件セットアップ時間	$f_{SCL} = 100kHz$	4.7		$\mu s$
		$f_{SCL} > 100kHz$	0.6		
$t_{HD\_DAT}$	データ保持時間	$f_{SCL} = 100kHz$	0	3.45	
		$f_{SCL} > 100kHz$	0	0.9	ns
$t_{SU\_DAT}$	データセットアップ時間	$f_{SCL} = 100kHz$	250		
		$f_{SCL} > 100kHz$	100		
$t_{SU\_STO}$	停止条件セットアップ時間	$f_{SCL} = 100kHz$	4.0		$\mu s$
		$f_{SCL} > 100kHz$	0.6		
$t_{BUF}$	停止条件 開始条件間バス開放時間	$f_{SCL} = 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		

ATmega48/88/168で、この項目は特性が記載されていますが、100%検査はされていません。

$f_{SCL} > 100kHz$  についてのみ必要とされます。

$C_b$ は1つのバス信号線の容量 (pF)です。

$f_{CK}$ はCPU (システム) クロック周波数です。

この必要条件はATmega48/88/168の全ての 2線シリアル インターフェイス動作に適用します。2線シリアル バスに接続した他の装置は一般的な  $f_{SCL}$  必要条件に従うことだけを必要とします。

ATmega48/88/168の 2線シリアル インターフェイスにより生成した実際の Low区間は  $(1/f_{SCL} - 2/f_{CK})$  で、従って Low時間の必要条件に対して  $f_{SCL} = 100kHz$  で厳密に満たされるには、 $f_{CK}$ が 概ね 8MHz以上でなければなりません。

ATmega48/88/168の 2線シリアル インターフェイスにより生成した実際の Low区間は  $(1/f_{SCL} - 2/f_{CK})$  で、従って  $f_{CK} = 8MHz$  時、厳密には  $f_{SCL} > 308kHz$  で Low時間の必要条件が満たされません。それにも拘らず、バスに接続された ATmega48/88/168装置は相応な  $t_{LOW}$  許容余地のある他の装置だけでなく他の ATmega48/88/168装置と最高速 (400kHz) で通信できるでしょう。

## 27.7. SP タイミング特性

図 27-5. SPI タイミング必要条件 (マスタ動作)

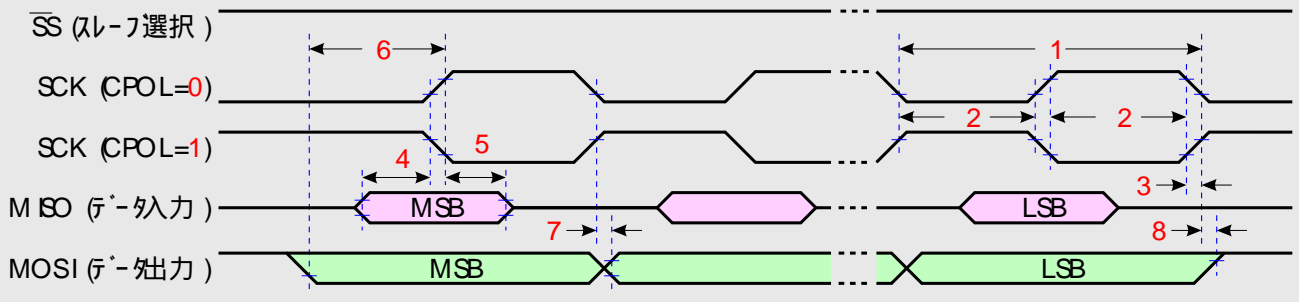


図 27-6. SPI タイミング必要条件 (スレーブ動作)

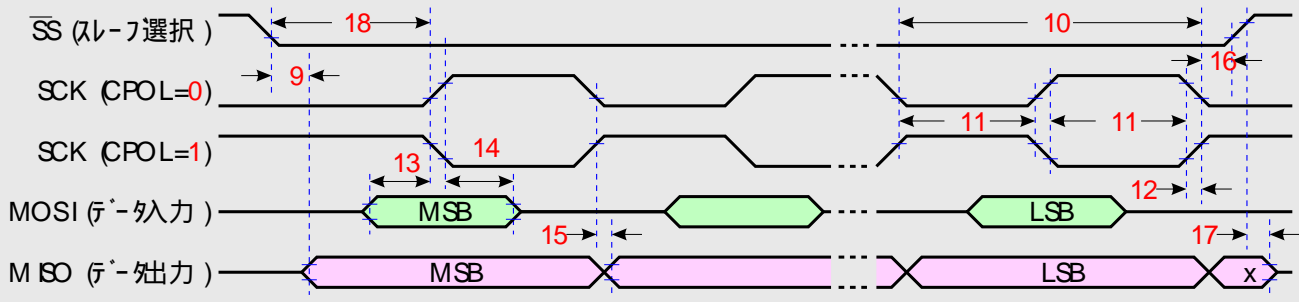


表 27-6. SPI タイミング特性

番号	項目	動作種別	Min	Typ	Max	単位
1	SCK 周期	マスタ		表 17-5 参照		ns
2	SCK High/Low 期間	マスタ		50% デューティ比		
3	SCK 立ち上がり/立ち下り時間	マスタ		3.6		
4	入力データセットアップ時間	マスタ		10		
5	入力データ保持時間	マスタ		10		
6	出力から SCK 変移時間	マスタ		0.5 t <sub>CK</sub>		
7	SCK からの出力遅延時間	マスタ		10		
8	SCK からの High 出力時間	マスタ		10		
9	SS からの出力遅延時間	スレーブ*		15		μs
10	SCK 周期	スレーブ*	4 t <sub>CK</sub>			
11	SCK High/Low 期間	スレーブ*	2 t <sub>CK</sub>			ns
12	SCK 立ち上がり/立ち下り時間	スレーブ*			1.6	
13	入力データセットアップ時間	スレーブ*	10			
14	入力データ保持時間	スレーブ*	t <sub>CK</sub>			
15	SCK からの出力遅延時間	スレーブ*		15		
16	SCK からの SS 遅延時間	スレーブ*	20			
17	SS からの出力 High 遅延時間	スレーブ*		10		
18	SS からの SCK 遅延時間	スレーブ*	20			

注：SPI プログラミングでの最小 SCK High/Low 期間は、2 t<sub>LCL</sub> (t<sub>CK</sub> < 12MHz) 3 t<sub>LCL</sub> (t<sub>CK</sub> ≥ 12MHz) です。

27.8. A/D変換器特性 (暫定)

表 27-7. A/D変換特性

シンボル	項目	条件		Min	Typ	Max	単位
	分解能				10		ビット
	絶対精度 積分性非直線誤差、 微分性非直線誤差、 量子化誤差、利得誤差、 オフセット誤差を含む )	VCC=4V VREF=4V	変換 クロック=200kHz		2	2.5	LSB
			変換 クロック=1MHz		4.5		
			変換 クロック=200kHz ノイズ低減動作		2		
			変換 クロック=1MHz ノイズ低減動作		4.5		
	積分性非直線誤差	VCC=4V、 VREF=4V 変換 クロック=200kHz			0.5		
	微分性非直線誤差				0.25		
	利得誤差				2		
	オフセットエラー誤差				2		
	変換時間	連続変換動作		13		260	μ s
	変換 クロック周波数			0.05		1	MHz
AVCC	アナログ供給電圧			VCC - 0.3		VCC+0.3	V
VREF	基準電圧			1.0		AVCC	
V <sub>N</sub>	入力電圧			GND		VREF	
	入力周波数帯域				38.5		kHz
V <sub>NT</sub>	内蔵基準電圧			1.0	1.1	1.2	V
RREF	基準電圧入力 インピーダンス				32		k
R <sub>AN</sub>	アナログ入力 インピーダンス				100		M

注: 絶対最小 / 最大 AVCC は 1.8 / 5.5V です。

## 27.9. パラレル プログラミング特性

図 27-7. パラレル プログラミング タイミング (一般的な必要条件)

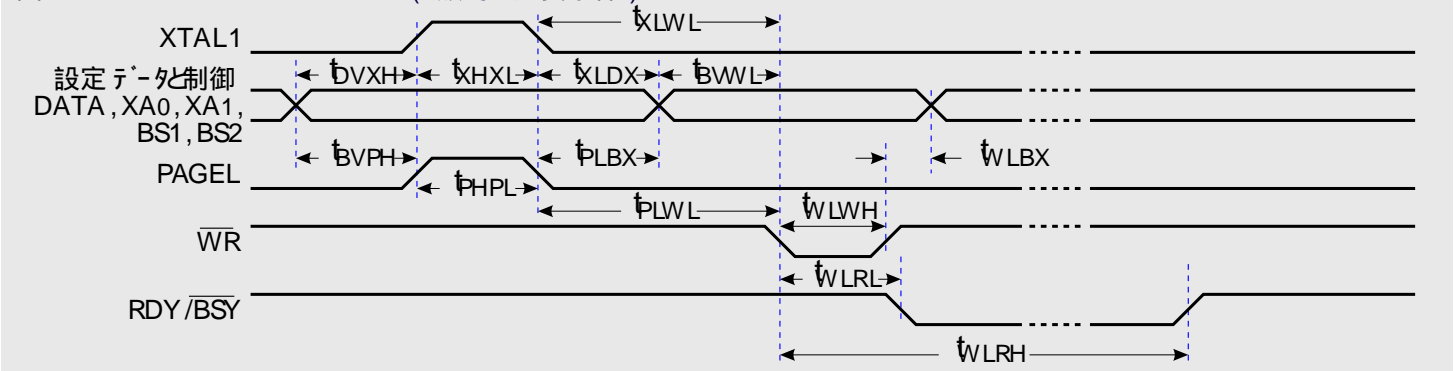
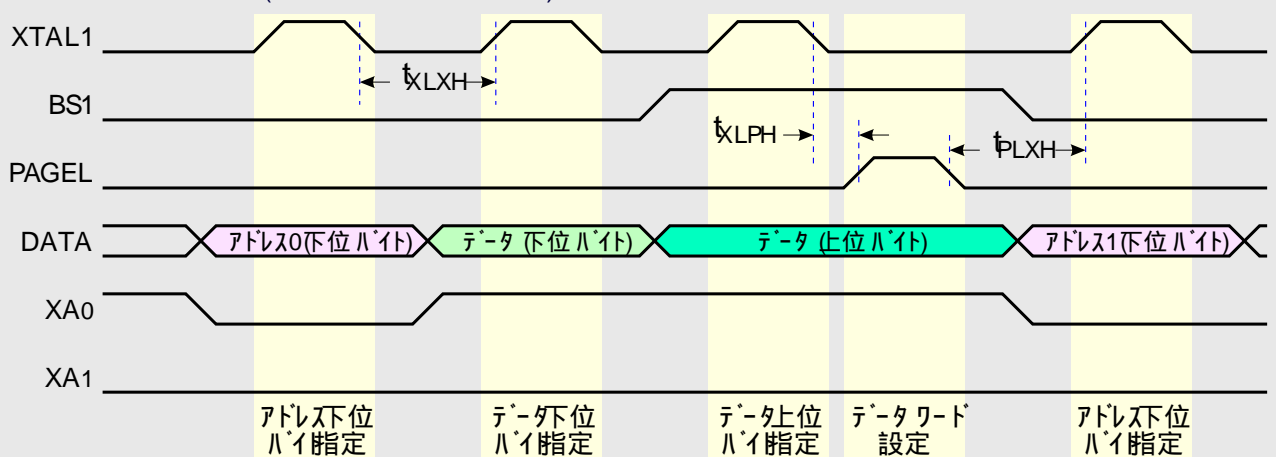
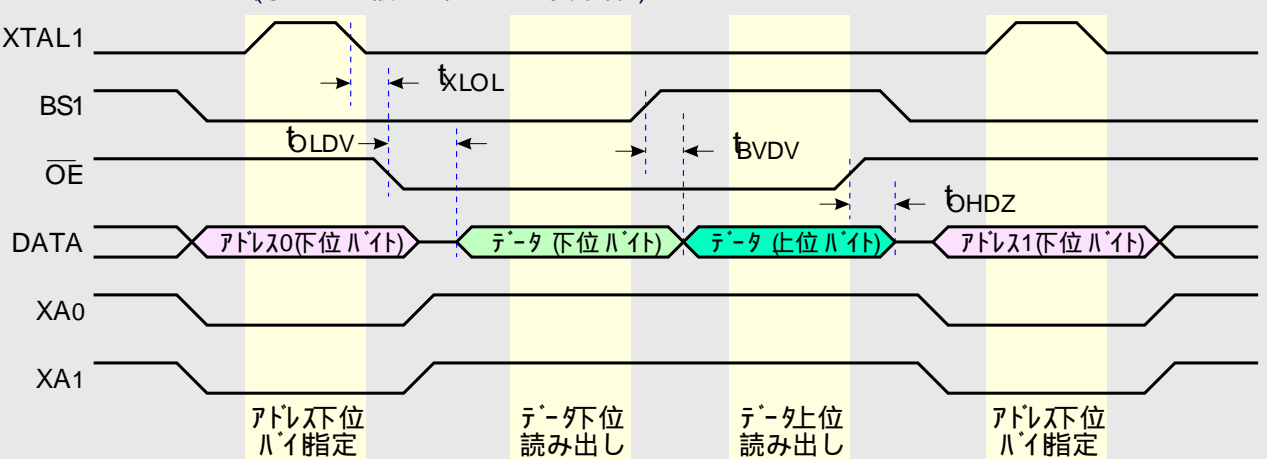


図 27-8. パラレル プログラミング タイミング (ページ設定での必要条件)



注: 図 27-7 で示されるタイミング必要条件 (即ち、 $t_{VXH}$ ,  $t_{HXL}$ ,  $t_{LDX}$ ) は設定操作にも適用されます。

図 27-9. パラレル プログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図 27-7 で示されるタイミング必要条件 (即ち、 $t_{VXH}$ ,  $t_{HXL}$ ,  $t_{LDX}$ ) は読み出し操作にも適用されます。



表 27-8. パラレル プログラミング特性 (VCC=5V±10%)

シンボル	項目	Min	Typ	Max	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
t <sub>VXH</sub>	XTAL1 に対するデータ制御のセットアップ時間	67			ns
t <sub>LXH</sub>	XTAL1 から次 XTAL1 までの待機時間	200			
t <sub>HXL</sub>	XTAL1 High パルス幅	150			
t <sub>LDX</sub>	XTAL1 パルス 後のデータ制御の保持時間	67			
t <sub>LWL</sub>	XTAL1 パルス 後の WR 待機時間	0			
t <sub>LPH</sub>	XTAL1 パルス 後の PAGED パルス 待機時間	0			
t <sub>PLXH</sub>	PAGED パルス 後の XTAL1 パルス 待機時間	150			
t <sub>BPH</sub>	PAGED パルス に対する BS1 セットアップ時間	67			
t <sub>PHPL</sub>	PAGED High パルス幅	150			
t <sub>PLBX</sub>	PAGED パルス 後の BS 保持時間	67			
t <sub>WLBX</sub>	WR パルス 後の BS1/BS2 保持時間	67			
t <sub>PLWL</sub>	PAGED パルス 後の WR パルス 待機時間	67			
t <sub>BWL</sub>	WR パルス に対する BS1 セットアップ時間	67			
t <sub>WLWH</sub>	WR Low パルス幅	150			
t <sub>WLRL</sub>	WR パルス 後の RDY/BSY 遅延時間	0		1	μs
t <sub>WLRH</sub>	書き込み時間 (WR から RDY/BSY )	3.7		4.5	ms
t <sub>WLRH_CE</sub>	チップ消去時間 (WR から RDY/BSY )	7.5		9	
t <sub>XLCL</sub>	XTAL1 パルス 後の OE 待機時間	0			ns
t <sub>BVDV</sub>	BS 有効からの DATA 遅延時間	0		250	
t <sub>LDV</sub>	OE 後の DATA 出力遅延時間			250	
t <sub>BHDZ</sub>	OE 後の DATA 70-テイング遅延時間			250	

注 1: フラッシュメモリ、EEPROM、ヒューズビット、ロックビット書き込みコマンドに対して有効です。

注 2: チップ消去コマンドに対して有効です。

## 28. 代表特性 ( 暫定 )

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。すべての消費電流測定は全 I/O ピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使用されています。

標準動作とアイドル動作の消費電流測定は電力削減レジスタ (PRR) で全ビットがセット (1) で行なわれ、従って関係周辺機能部は OFF にされます。アナログ比較器もこれらの測定中、禁止されます。20 頁の表 28-1 と表 28-2 は PRR によって制御される全周辺機能部について、IC に対する追加消費電流を示します。詳細については 23 頁の電力削減 (レジスタ) をご覧ください。

ハワーナリ動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は (1 つのピンに対して)  $CL \text{ 負荷容量} \times VCC \text{ 動作電圧} \times f \text{ (I/O ピンの平均切り替え周波数)}$  として推測できます。

データシートは検査範囲より高い周波数特性を示します。データシートは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のハワーナリ動作での消費電流とウォッチドッグタイマ禁止のハワーナリ動作での消費電流間の違いは、ウォッチドッグタイマにより引き込んだ消費した差電流を表します。

### 28.1. 標準動作消費電流

図 28-1 標準動作消費電流 対 周波数 (100kHz~ 1MHz)

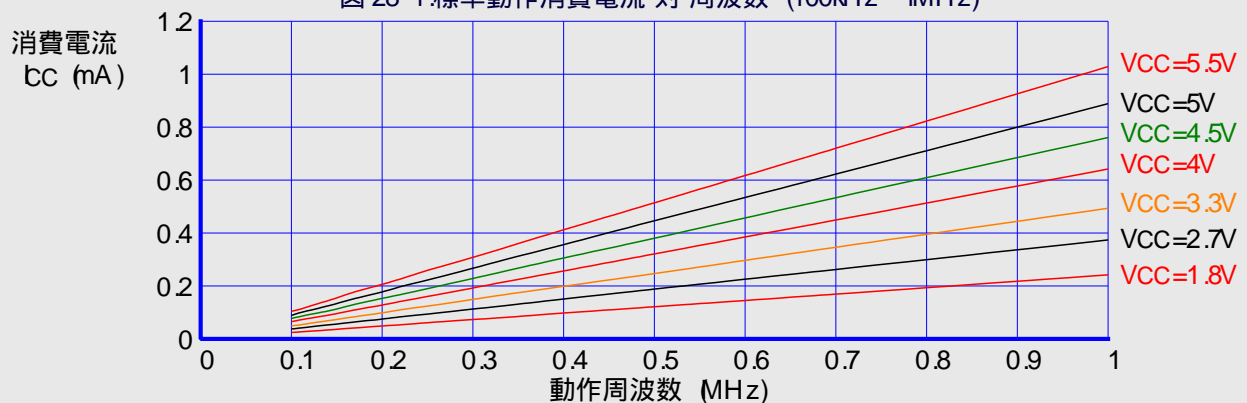


図 28-2 標準動作消費電流 対 周波数 (1MHz~ 24MHz)

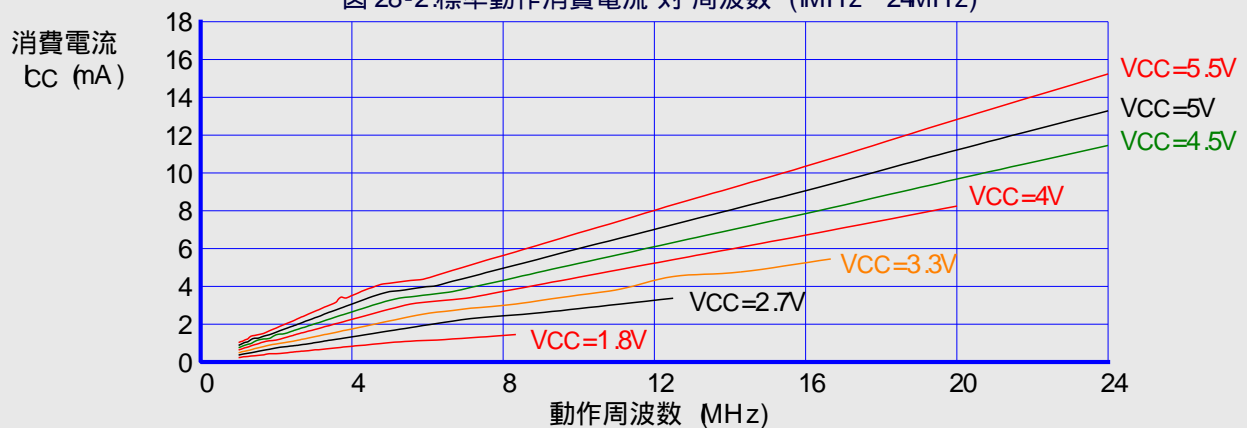


図 28-3 標準動作消費電流 対 動作電圧 内蔵WDT発振器 ,128kHz)

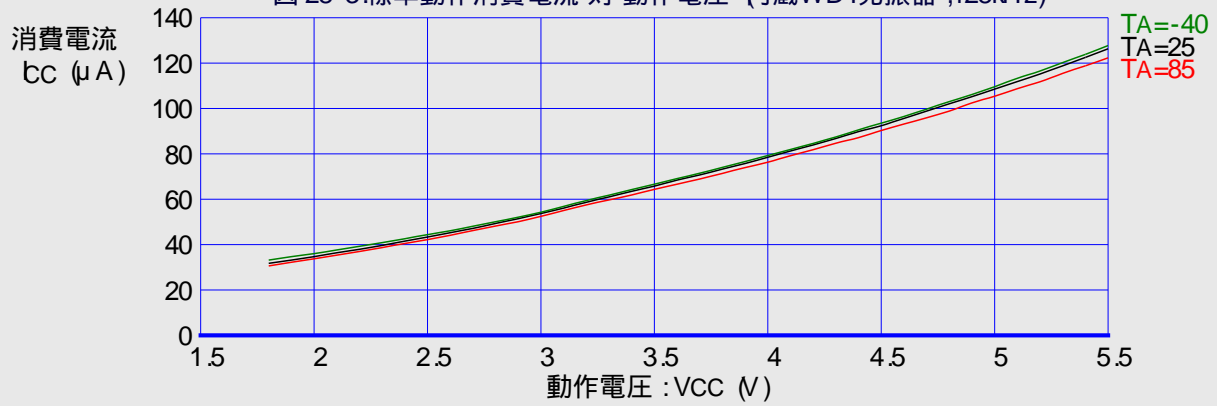


図 28-4 標準動作消費電流 対 動作電圧 内蔵 RC 発振器 ,CKD M8=プログラム (0),1MHz)

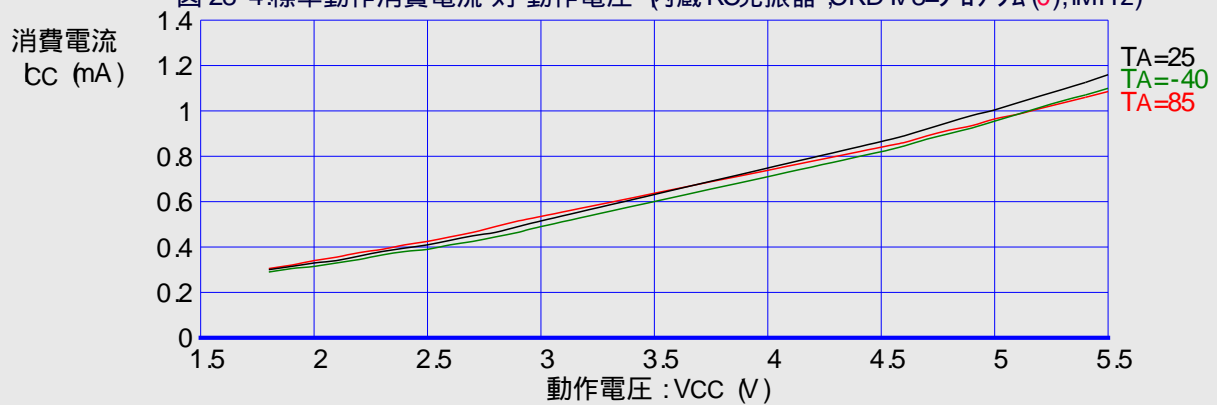


図 28-5 標準動作消費電流 対 動作電圧 内蔵 RC 発振器 ,8MHz)

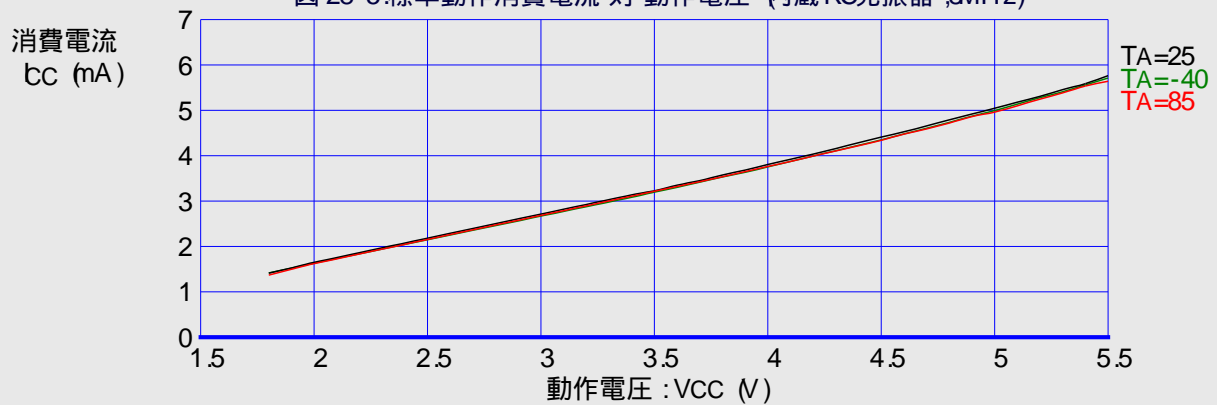
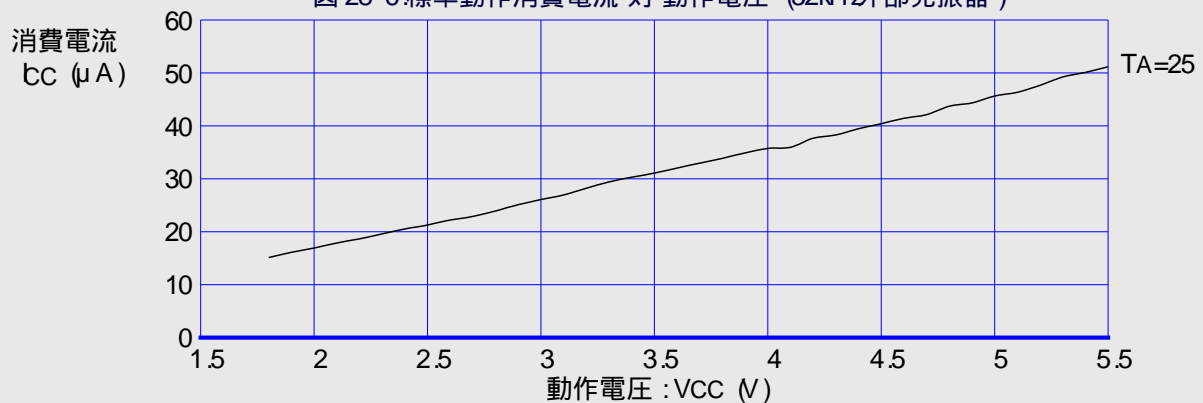


図 28-6 標準動作消費電流 対 動作電圧 (32kHz 外部発振器 )



## 28.2. アイドル動作消費電流

図 28-7. アイドル動作消費電流 対 周波数 (100kHz~ 1MHz)

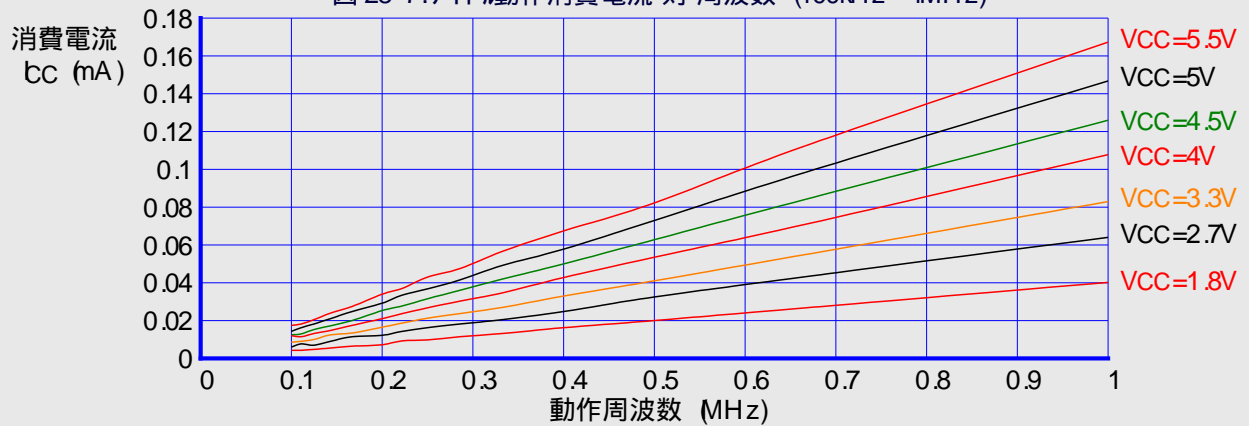


図 28-8. アイドル動作消費電流 対 周波数 (1MHz~ 24MHz)

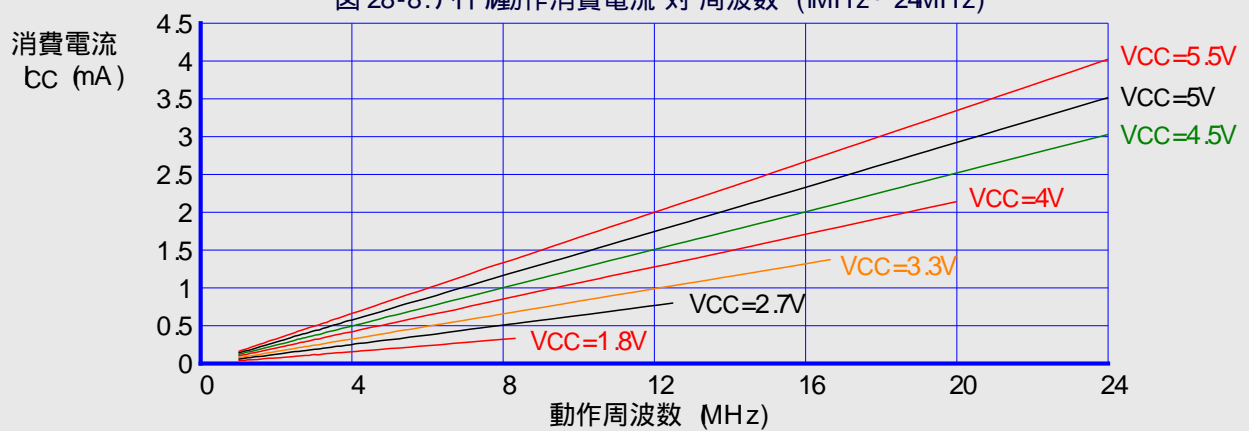


図 28-9. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器, 128kHz)

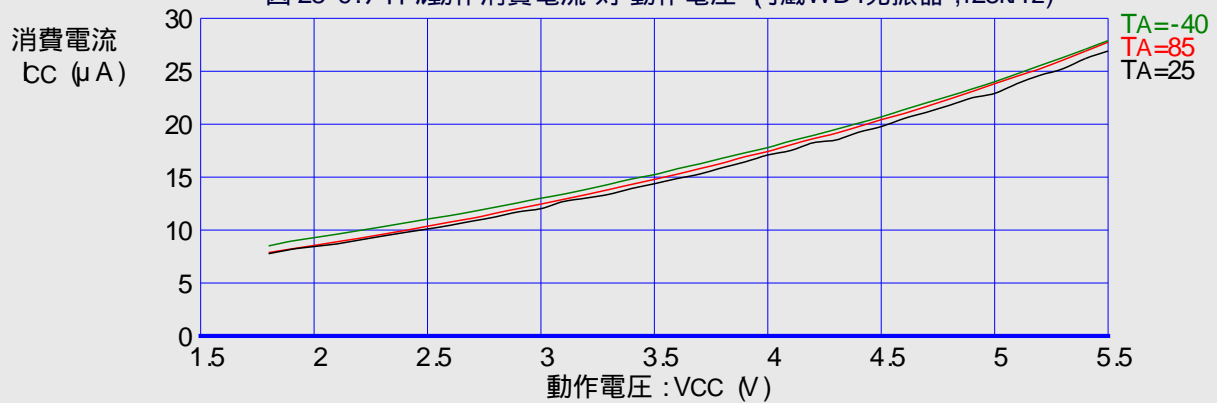


図 28-10. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, CKDIV8=プログラム(0), 1MHz)

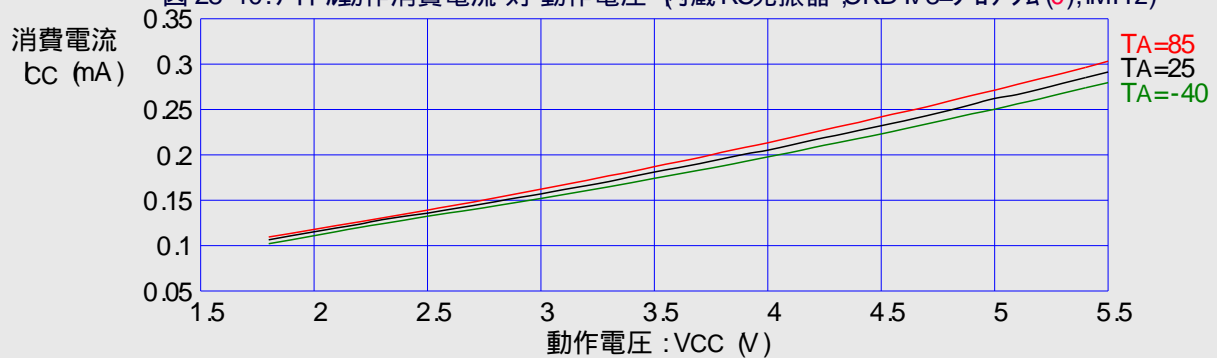




図 28-11. アイドル動作消費電流 対 動作電圧 (内蔵 RC 発振器, 8MHz)

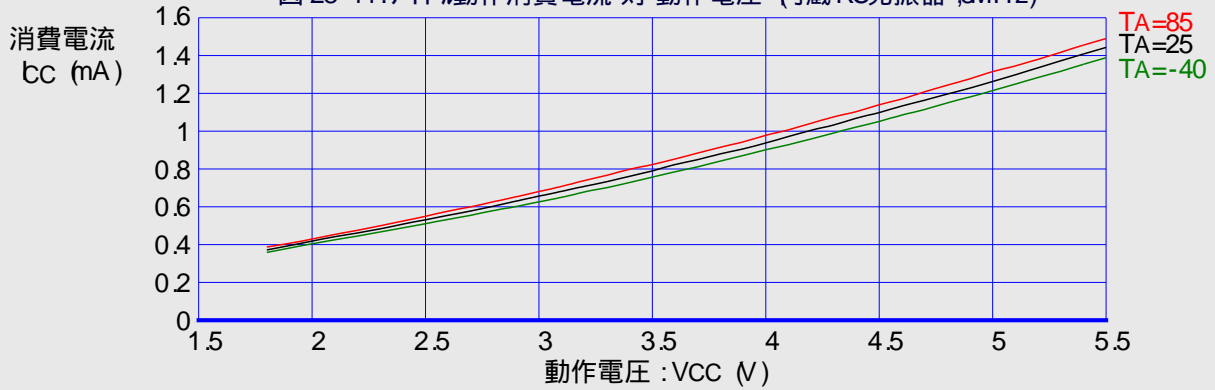
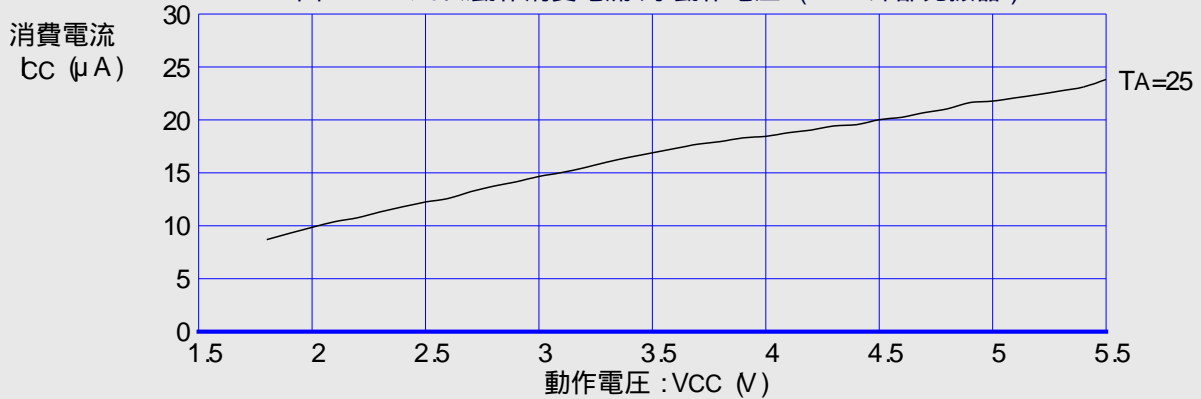


図 28-12. アイドル動作消費電流 対 動作電圧 (32kHz 外部発振器)



## 28.3. 周辺機能部供給電流

以下の表と式は通常動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使用できます。周辺機能部の許可や禁止は電力削減レジスタにより制御されます。詳細については [23 頁の「電力削減 \(レジスタ\)」](#) をご覧ください。

表 28-1. 各部追加消費電流 絶対値 (µA)

PRR 内ビット	1MHz/2V	4MHz/3V	8MHz/5V
PRUSART0	8.0	51	220
PRTW I	12	75	315
PRT M2	11	72	300
PRT M1	5.0	32	130
PRT M0	4.0	24	100
PRSPI	15	95	400
PRADC	12	75	315

表 28-2. 各部追加消費電流 相対値 (%)

PRR 内ビット	標準動作 (図 28-1 図 28-2)	アイドル動作 (図 28-7 図 28-8)
PRUSART0	3.3	18
PRTW I	4.8	26
PRT M2	4.7	25
PRT M1	2.0	11
PRT M0	1.6	8.5
PRSPI	6.1	33
PRADC	4.9	26

表 28-1 で一覧される以外の VCC と周波数設定については、表 28-2 からの数値を元に代表的な消費電流を計算できます。

例 1: VCC=3V, f=1MHz で USART0, TWI, タイマ/カウンタが許可されたアイドル動作での予測される消費電流を計算します。表 28-2 のアイドル動作列から USART0 が 18%、TWI が 26%、タイマ/カウンタが 1% 追加する必要があります。図 28-7 を読み、VCC=3V, f=1MHz でのアイドル動作消費電流が約 0.075mA であることを得ます。USART0, TWI, タイマ/カウンタ許可のアイドル動作での総消費電流を得ます。

$$\text{総消費電流} = 0.075\text{mA} \times (1 + 0.18 + 0.26 + 0.11) = 0.116\text{mA}$$

例 2: 例 1 と同じ条件ですが、代わりに標準動作です。表 28-2 の標準動作列から USART0 が 3.3%、TWI が 4.8%、タイマ/カウンタが 2.0% 追加する必要があります。図 28-1 を読み、VCC=3V, f=1MHz での標準動作消費電流が約 0.42mA であることを得ます。USART0, TWI, タイマ/カウンタ許可の標準動作での総消費電流を得ます。

$$\text{総消費電流} = 0.42\text{mA} \times (1 + 0.033 + 0.048 + 0.02) = 0.46\text{mA}$$

例 3: VCC=3.6V, f=10MHz で全周辺機能部許可の標準動作での予測消費電流を計算します。周辺機能部を除く標準動作消費電流が約 4.0mA であることを得ます (図 28-2 より)。そして表 28-2 の標準動作列からの数値を使用し、総消費電流を得ます。

$$\text{総消費電流} = 4.0\text{mA} \times (1 + 0.033 + 0.048 + 0.047 + 0.02 + 0.016 + 0.061 + 0.049) = 5.1\text{mA}$$

## 28.4. ハワ-タ-ン動作消費電流

図 28-13. ハワ-タ-ン動作消費電流 対 動作電圧 (ウォッチドック タイマ禁止)

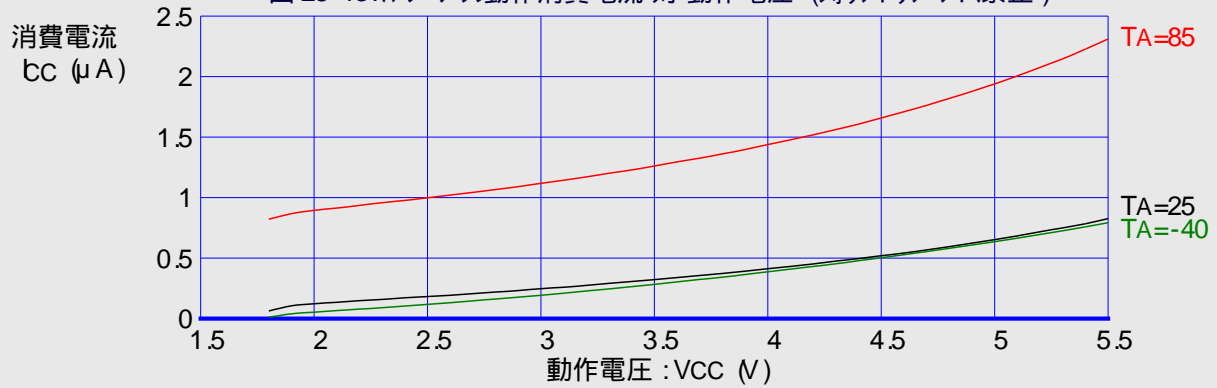
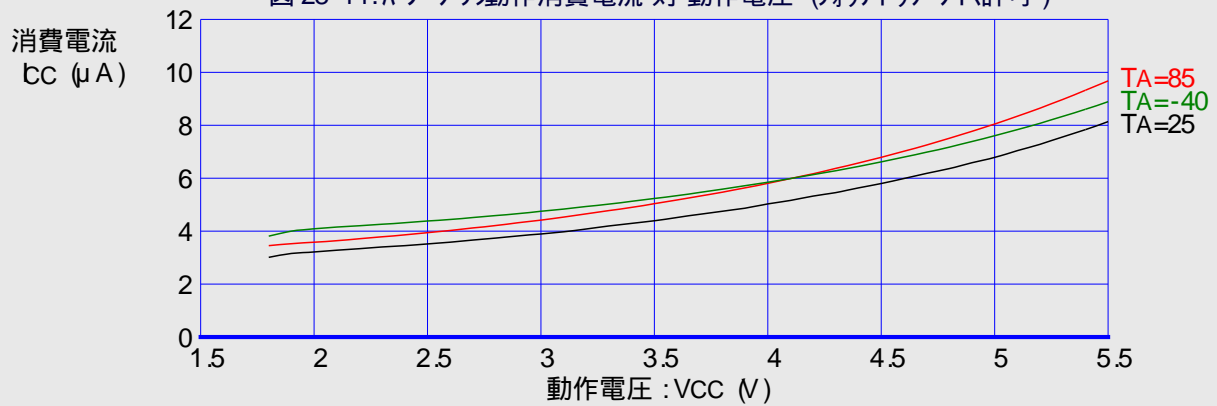
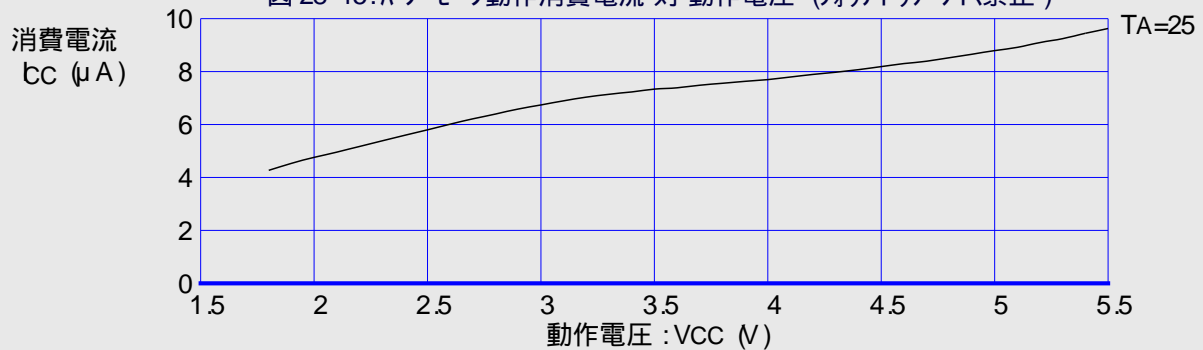


図 28-14. ハワ-タ-ン動作消費電流 対 動作電圧 (ウォッチドック タイマ許可)



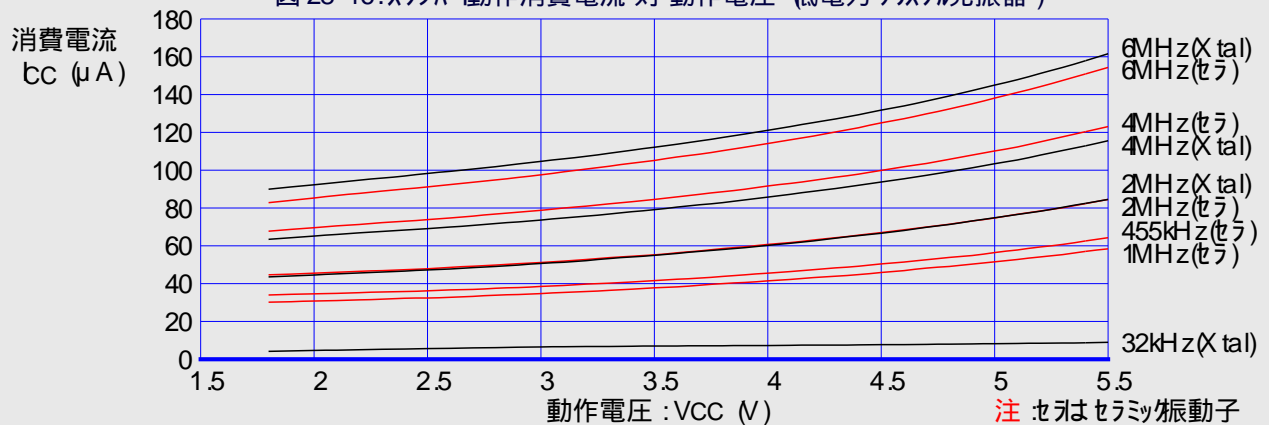
## 28.5. ハワ-セ-フ動作消費電流

図 28-15. ハワ-セ-フ動作消費電流 対 動作電圧 (ウォッチドック タイマ禁止)



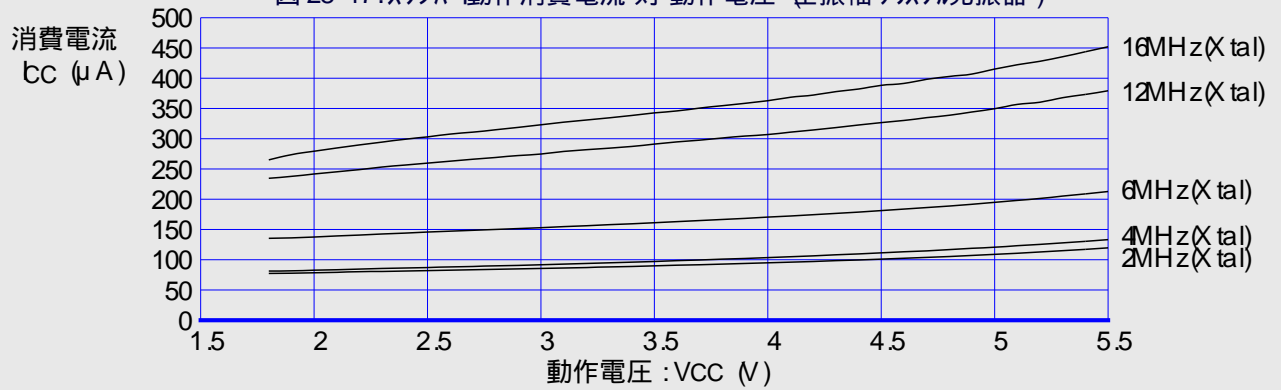
## 28.6. スタ-バ`動作消費電流

図 28-16. スタ-バ`動作消費電流 対 動作電圧 (低電力 クリスタル発振器)



注 セラはセラミック振動子

図 28-17. スタンバイ動作消費電流 対 動作電圧 (全振幅 クリスタル発振器)



## 28.7. ピンプルアップ

図 28-18. I/Oピンプルアップ抵抗電流 対 入力電圧 ( $V_{CC}=5V$ )

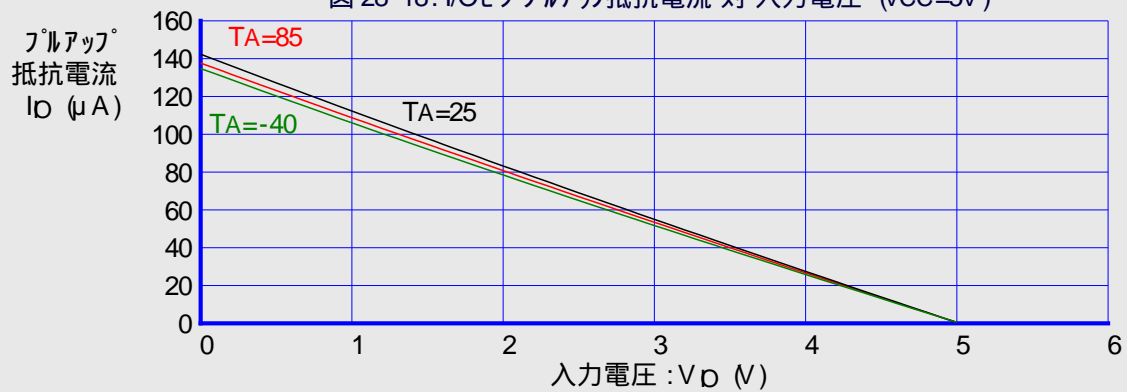


図 28-19. I/Oピンプルアップ抵抗電流 対 入力電圧 ( $V_{CC}=2.7V$ )

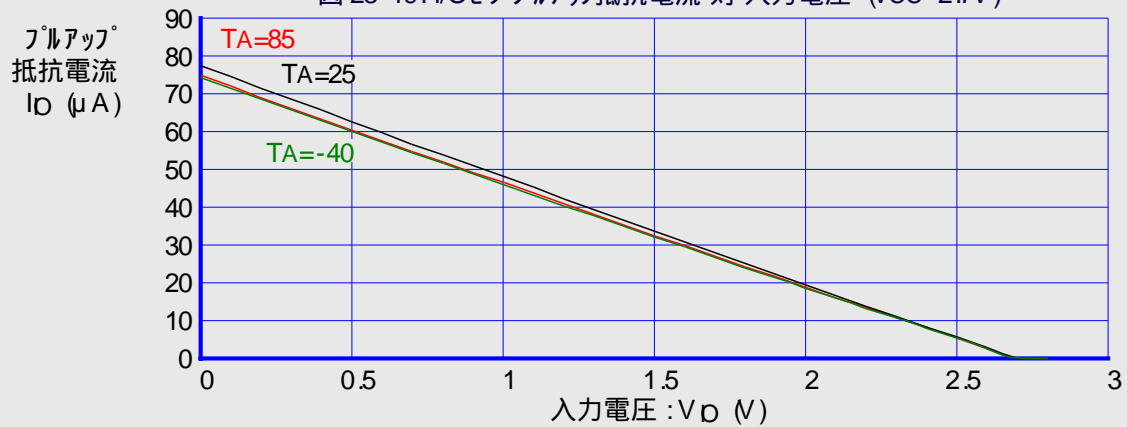


図 28-20. RESETプルアップ抵抗電流 対 入力電圧 ( $V_{CC}=5V$ )

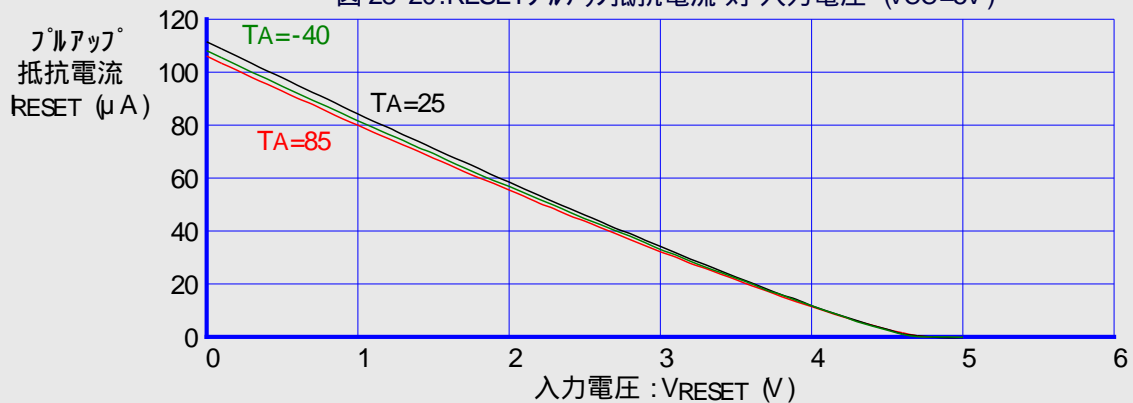
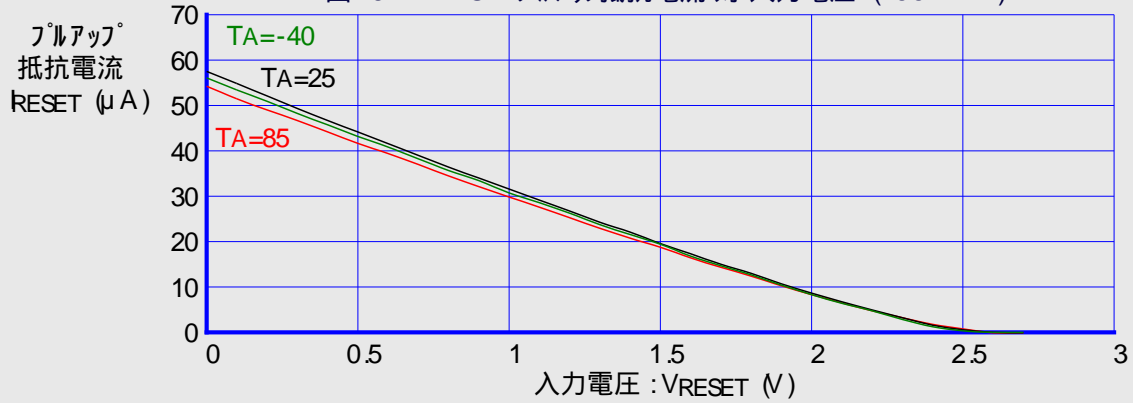


図 28-21. RESET プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



## 28.8. ヒート駆動能力

図 28-22. I/O ピン ソース電流 対 出力電圧 (VCC=5V)

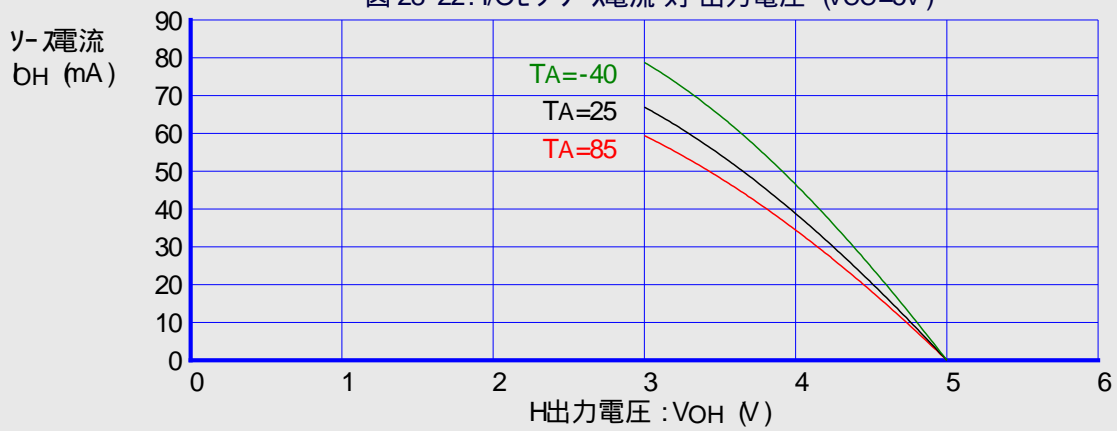


図 28-23. I/O ピン ソース電流 対 出力電圧 (VCC=2.7V)

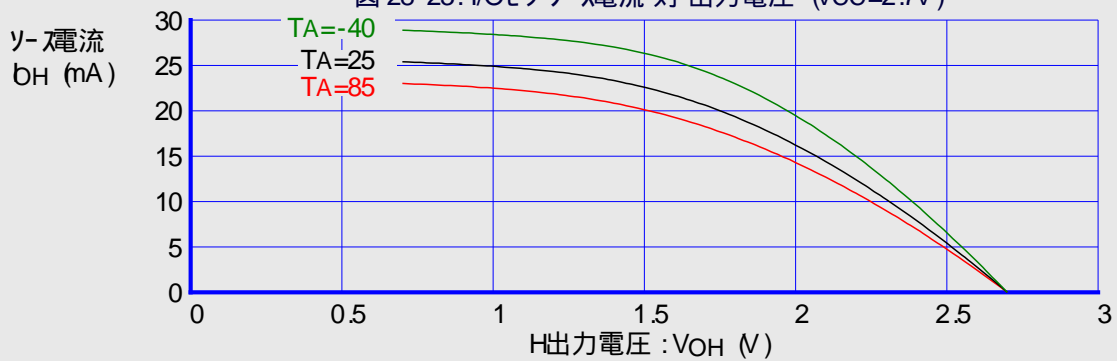


図 28-24. I/O ピン ソース電流 対 出力電圧 (VCC=1.8V)

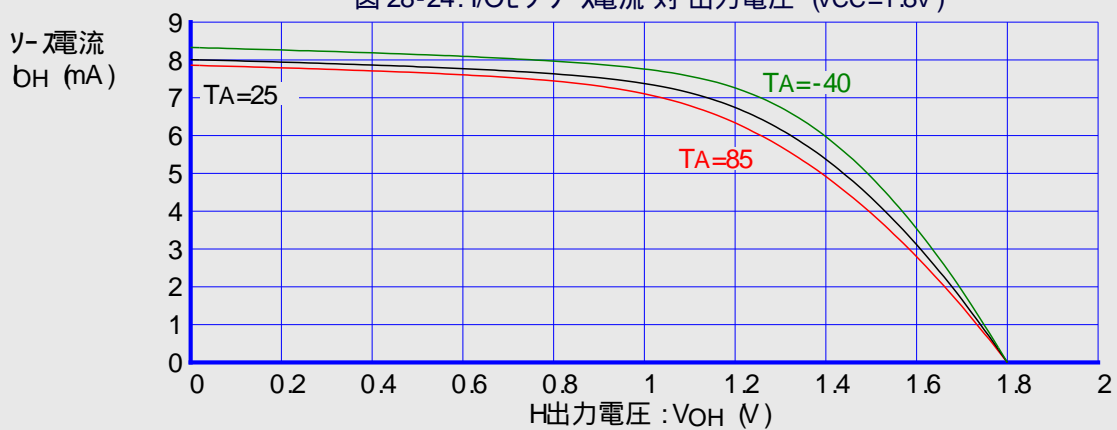




図 28-25. I/Oピンシフト電流 対 出力電圧 (VCC=5V)

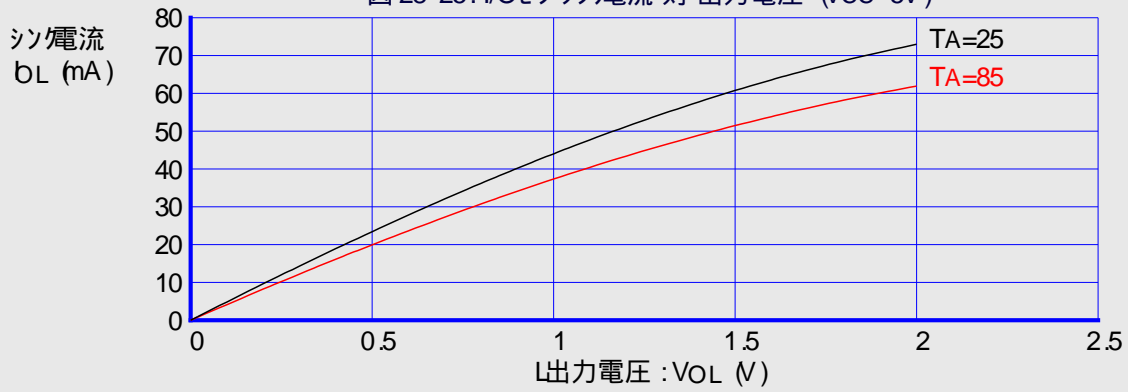


図 28-26. I/Oピンシフト電流 対 出力電圧 (VCC=2.7V)

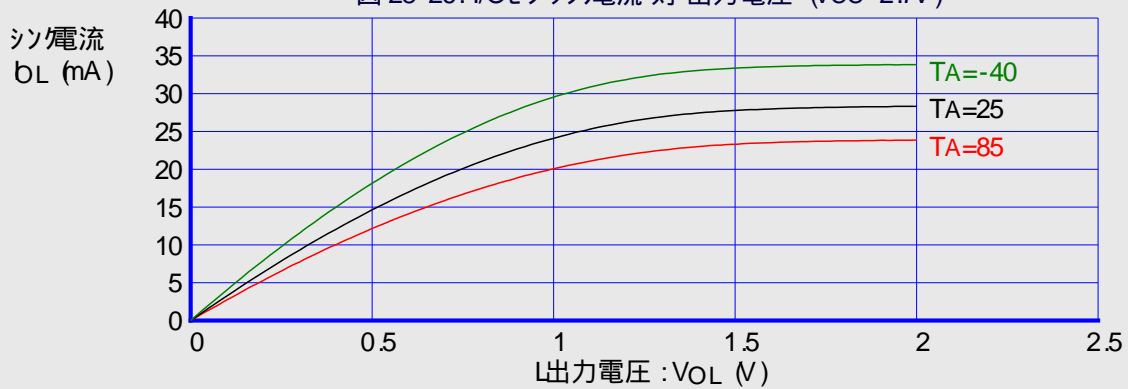
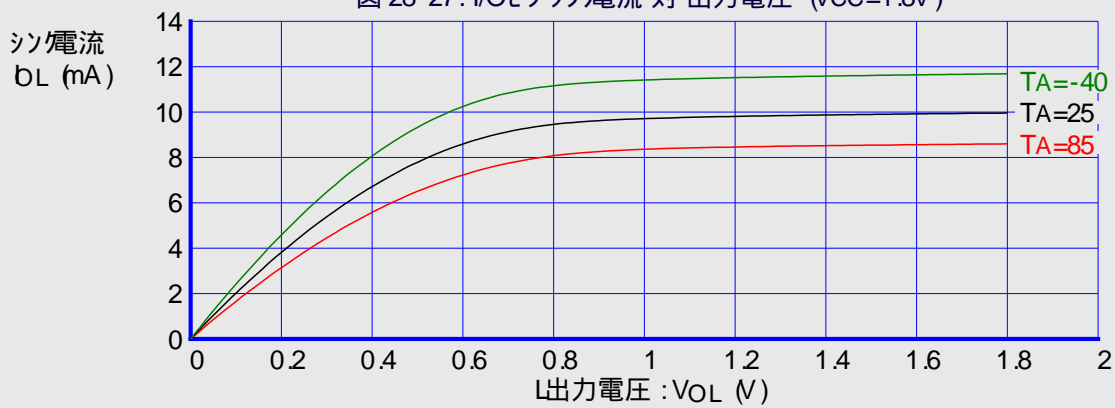


図 28-27. I/Oピンシフト電流 対 出力電圧 (VCC=1.8V)



## 28.9. ピン閾値とヒステリシス

図 28-28. I/Oピン入力閾値 (スレッシュホールド電圧 対 動作電圧 (VH, 読み値))

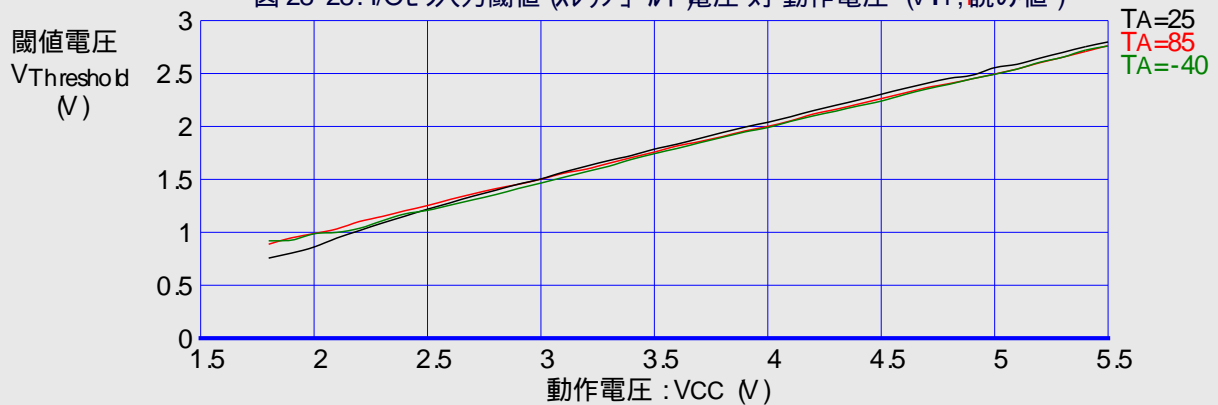


図 28-29. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 ( $V_{IL}$ , 読み値))

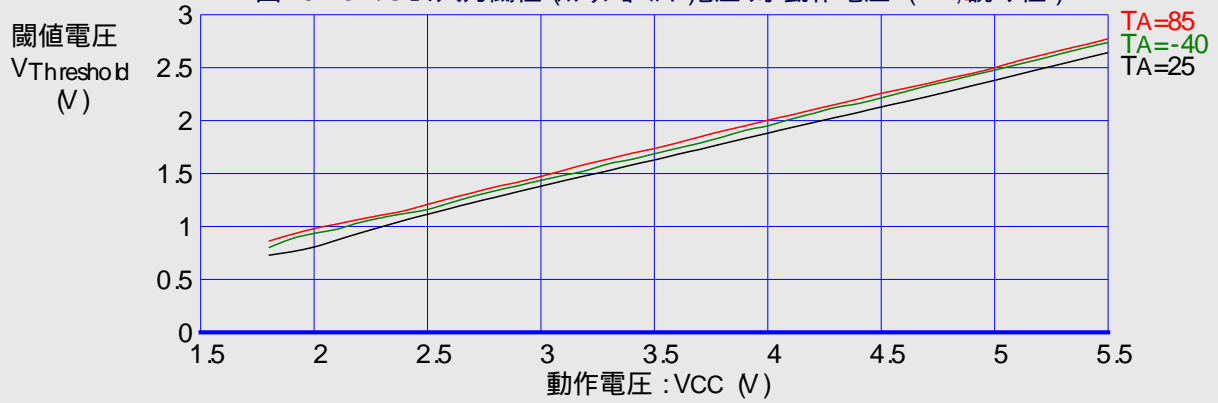


図 28-30. RESET入力閾値 (スレッショルド電圧 対 動作電圧 ( $V_H$ , 読み値))

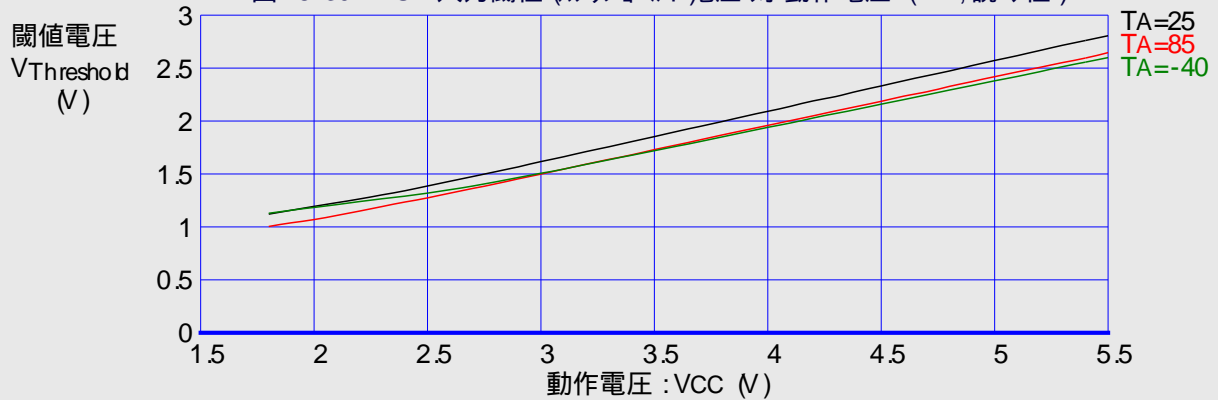


図 28-31. RESET入力閾値 (スレッショルド電圧 対 動作電圧 ( $V_{IL}$ , 読み値))

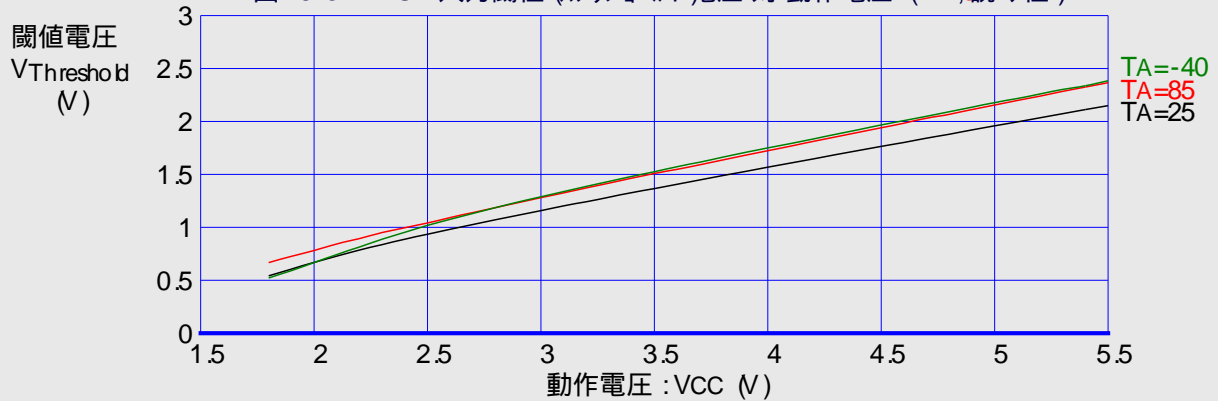
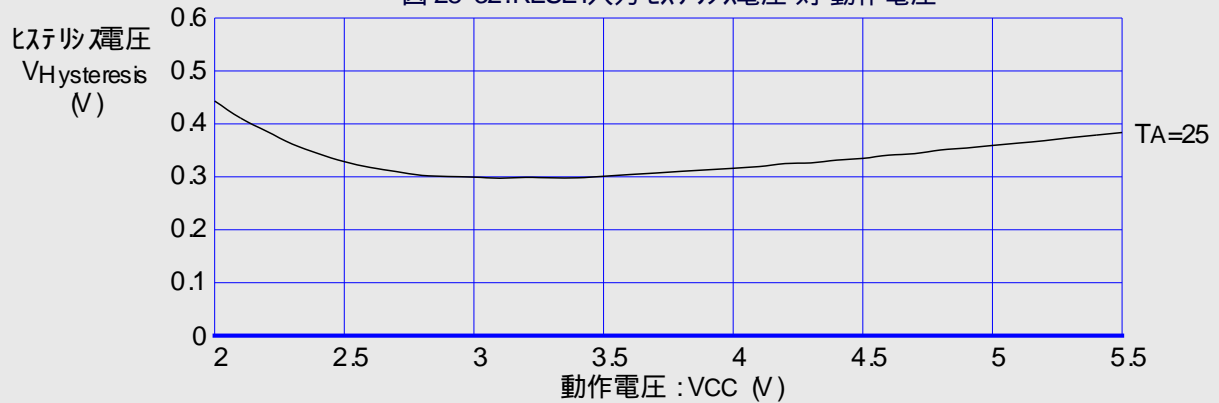


図 28-32. RESET入力ヒステリシス電圧 対 動作電圧



## 28.10. 低電圧検出器 (BOD 閾値とアナログ比較器 オフセット)

図 28-33. 低電圧検出器 (BOD 閾値 (スレッショルド電圧 対 動作温度 検出電圧 4.3V)

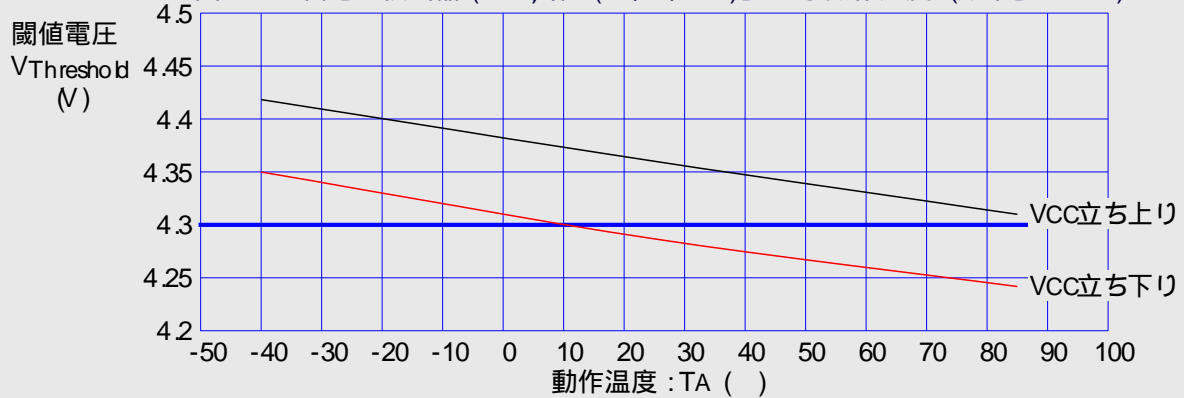


図 28-34. 低電圧検出器 (BOD 閾値 (スレッショルド電圧 対 動作温度 検出電圧 2.7V)

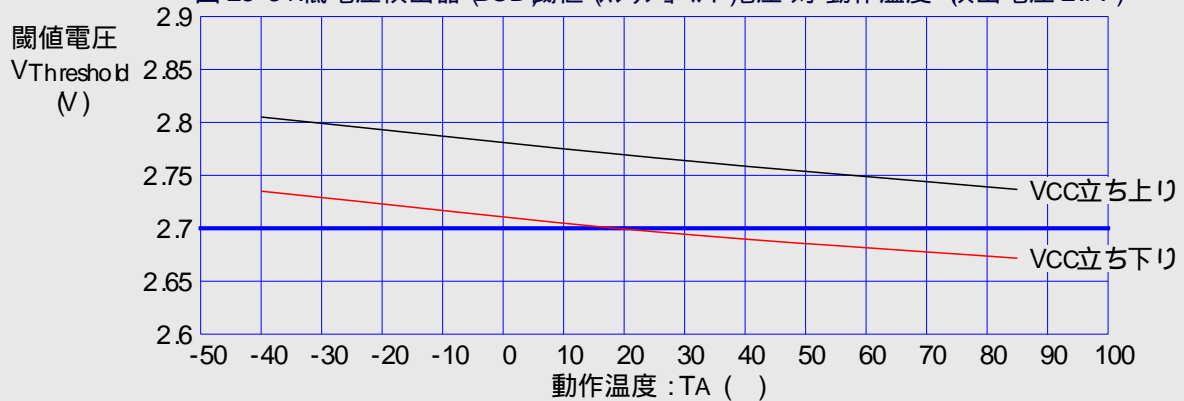


図 28-35. 低電圧検出器 (BOD 閾値 (スレッショルド電圧 対 動作温度 検出電圧 1.8V)

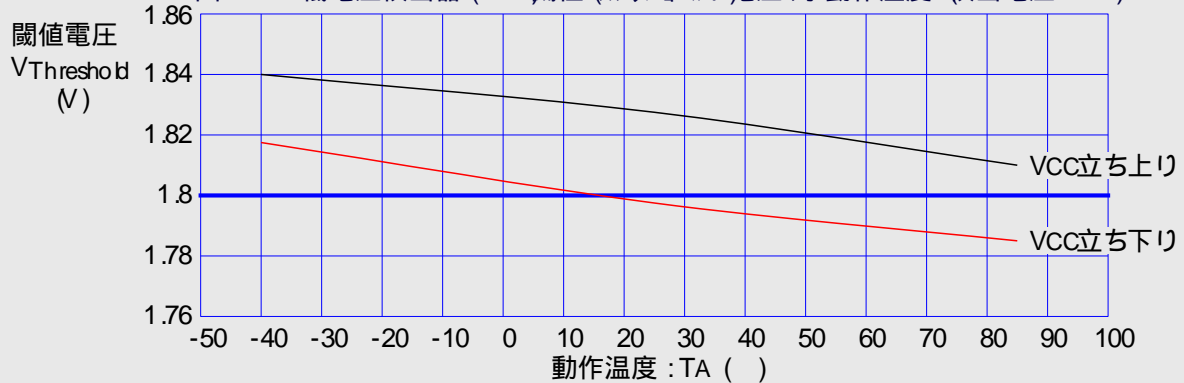


図 28-36. 内部基準 (バンドギャップ) 電圧 対 動作電圧

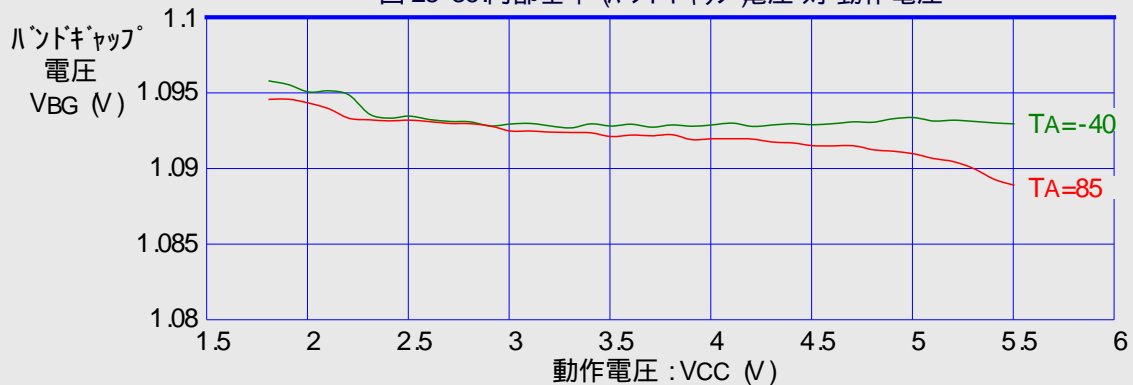


図 28-37. アナログ比較器 オフセット電圧 対 コモンモード電圧 (VCC=5V)

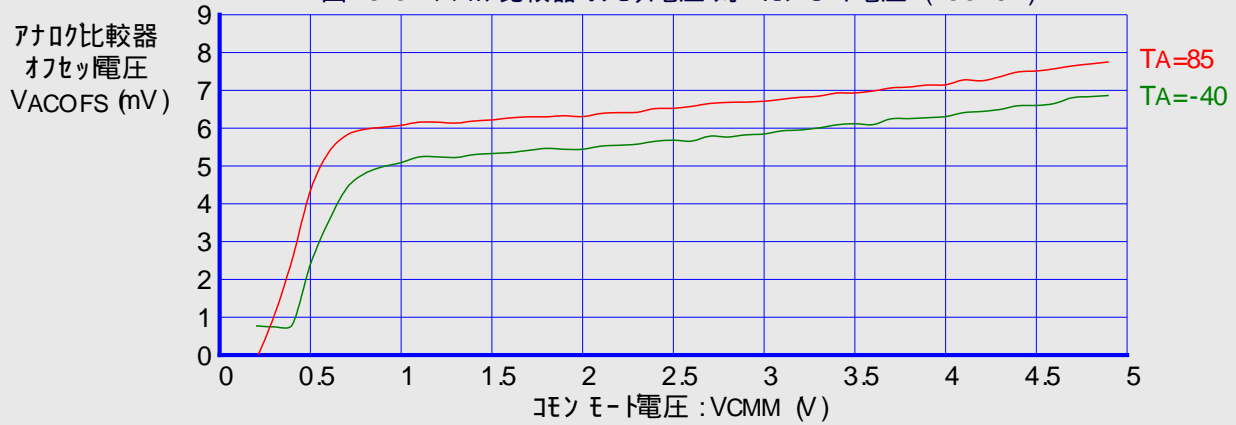
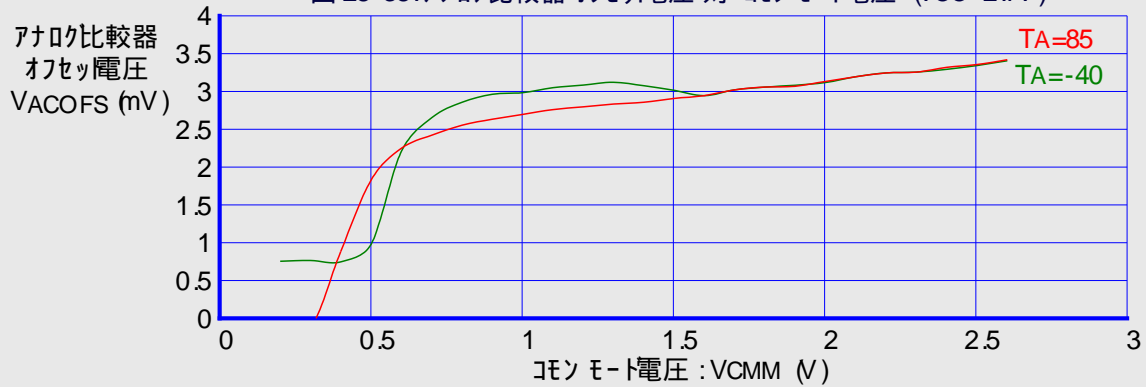


図 28-38. アナログ比較器 オフセット電圧 対 コモンモード電圧 (VCC=2.7V)



## 28.11. 内部発振器周波数

図 28-39. ウォッチドック発振器周波数 対 動作電圧

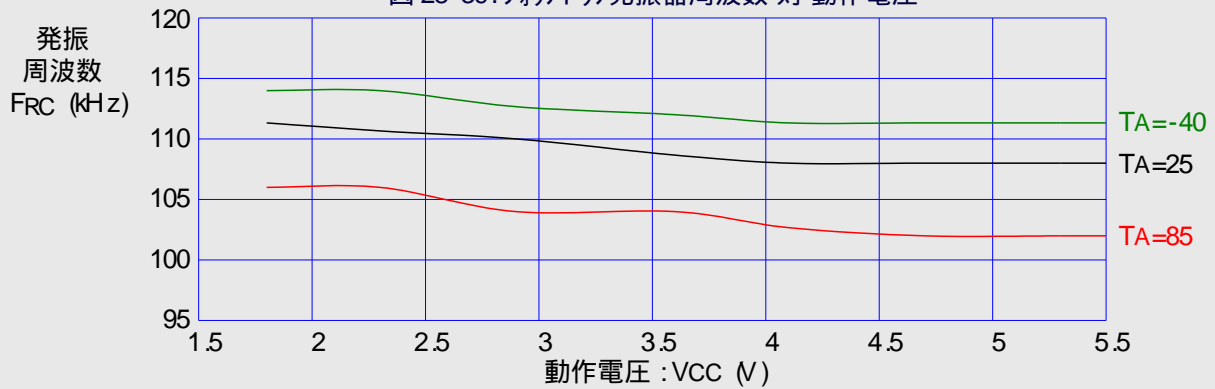


図 28-40. 校正済み 8MHz 内蔵 RC 発振器周波数 対 動作温度

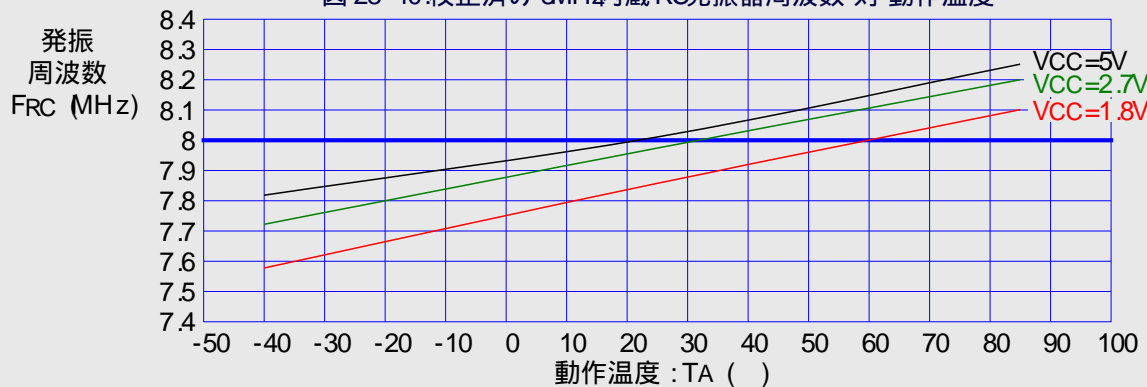




図 28-41 校正済み 8MHz 内蔵 RC 発振器周波数 対 動作電圧

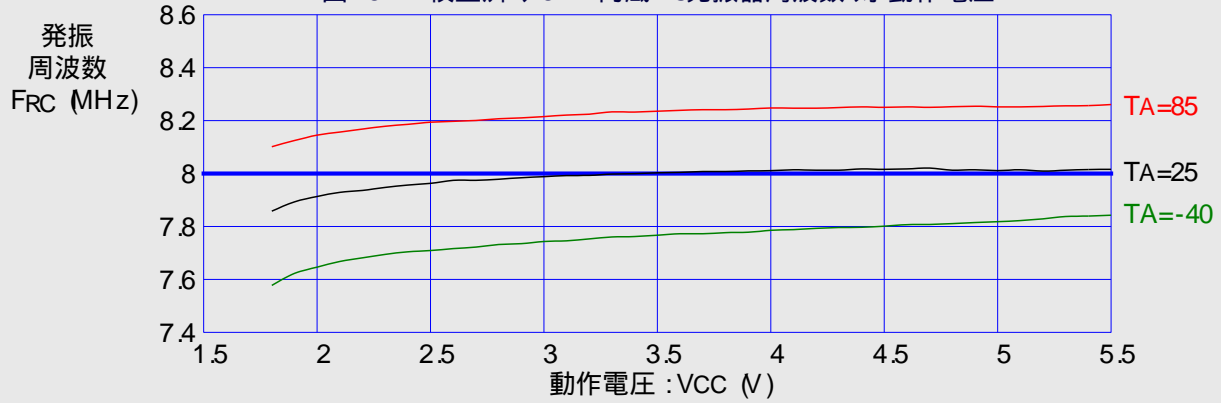
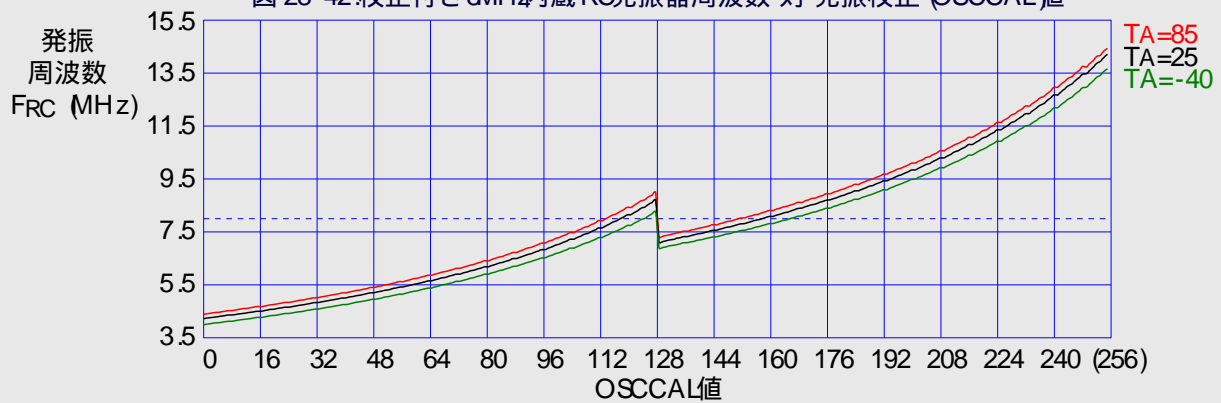


図 28-42 校正付き 8MHz 内蔵 RC 発振器周波数 対 発振校正 OSCAL 値



## 28.12. 周辺機能部消費電流

図 28-43 低電圧検出器 (BOD) 消費電流 対 動作電圧

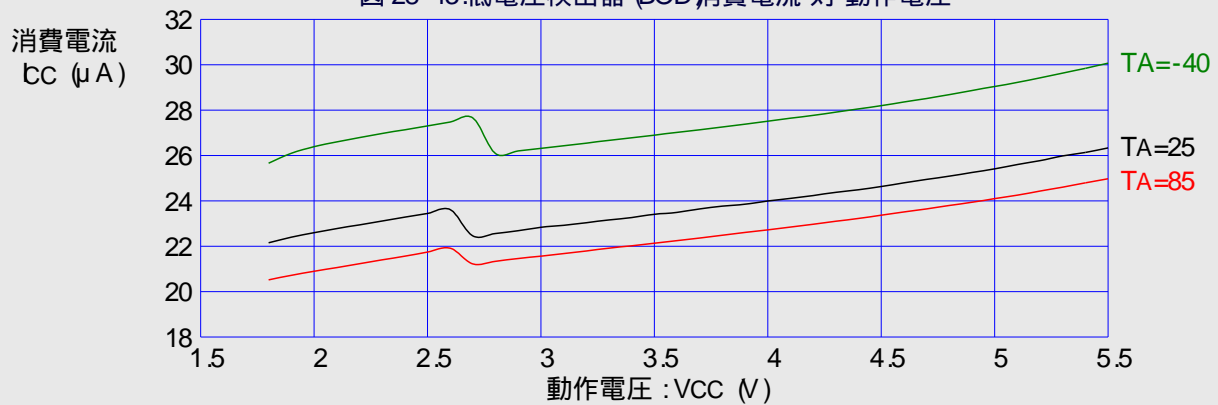


図 28-44 A/D 変換器消費電流 対 動作電圧 (AREF=AVCC)



図 28-45. 外部基準電圧 (AREF) 電流 対 動作電圧



図 28-46. アナログ比較器消費電流 対 動作電圧

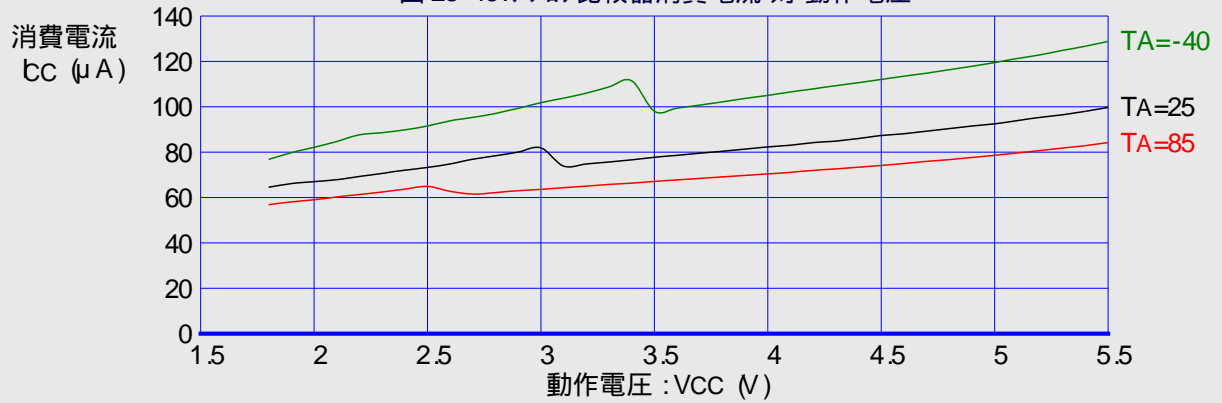
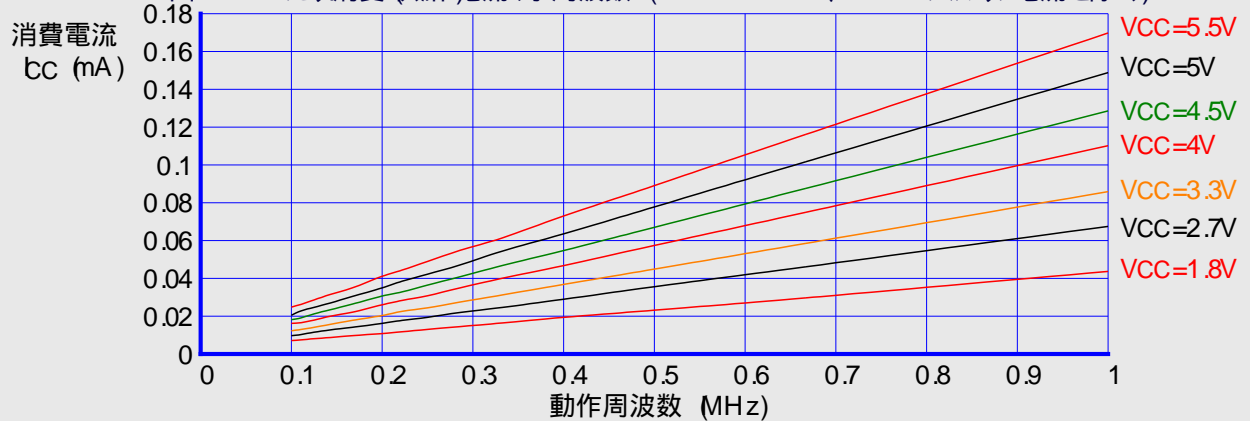


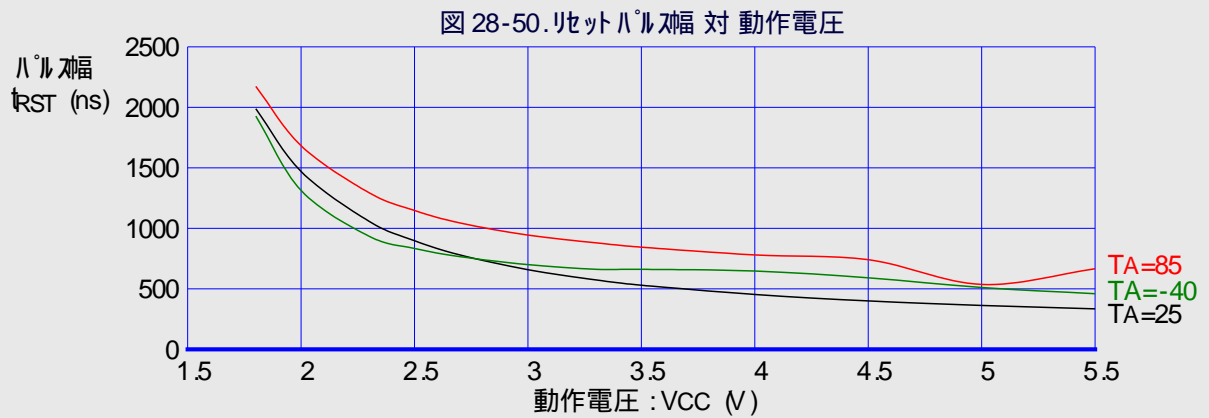
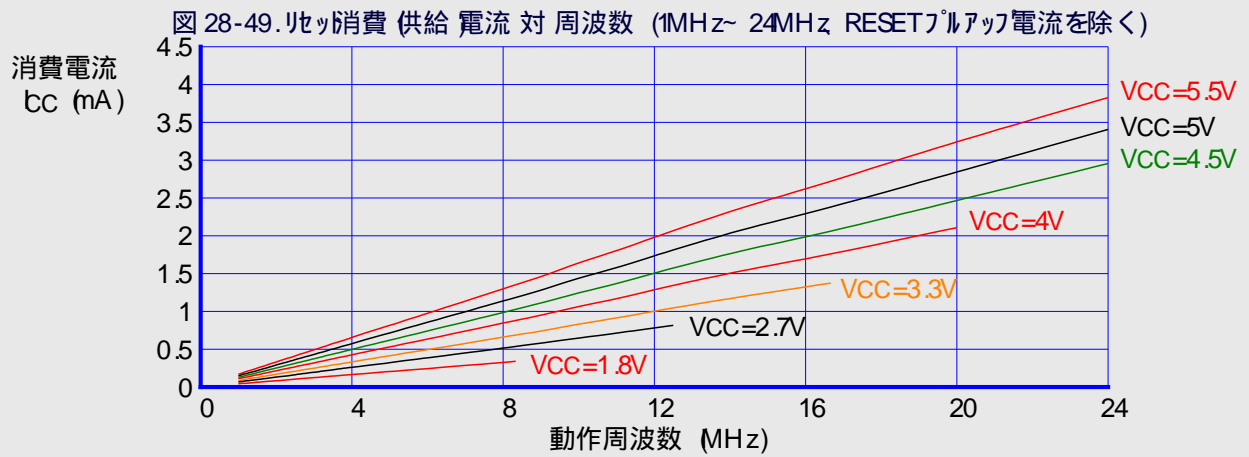
図 28-47. プログラムシフト電流 対 動作電圧



### 28.13. リット消費電流とリットパルス幅

図 28-48. リット消費 供給 電流 対 周波数 (100kHz~ 1MHz RESET フォールアップ電流を除く)





## 29. I/Oレジスタ一覧

拡張 I/Oレジスタ領域 (1/2)

アドレス	レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
(~ \$FF)	予約										
(\$C7)	予約										
(\$C6)	UDR0	USART データレジスタ								121	
(\$C5)	UBRR0H	-	-	-	-	USART ホールレートレジスタ上位 (UBRR011~ 8)					123
(\$C4)	UBRR0L	USART ホールレートレジスタ下位 (UBRR07~ 0)									
(\$C3)	予約										
(\$C2)	UCSR0C	UMSEL01	UMSEL00	UPM01	UPM00	USBS0	UCSZ01 /UDORD0	UCSZ00 /UCPHA0	UCPOL0	122	
(\$C1)	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80	122	
(\$C0)	UCSR0A	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0	121	
(\$BF)	予約										
(\$BE)	予約										
(\$BD)	TWAMR	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	-	151	
(\$BC)	TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE	150	
(\$BB)	TWDR	2線シリアル インターフェースデータレジスタ								149	
(\$BA)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	150	
(\$B9)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	150	
(\$B8)	TWBR	2線シリアル インターフェース ホールレートレジスタ								149	
(\$B7)	予約										
(\$B6)	ASSR	-	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB	103	
(\$B5)	予約										
(\$B4)	OCR2B	タイマ/カウンタ2比較Bレジスタ								101	
(\$B3)	OCR2A	タイマ/カウンタ2比較Aレジスタ								101	
(\$B2)	TCNT2	タイマ/カウンタ2								101	
(\$B1)	TCCR2B	FOC2A	FOC2B	-	-	WGM22	CS22	CS21	CS20	100	
(\$B0)	TCCR2A	COM2A1	COM2A0	COM2B1	COM2B0	-	-	WGM21	WGM20	99	
(\$AF)	予約										
(\$AE)	予約										
(\$AD)	予約										
(\$AC)	予約										
(\$AB)	予約										
(\$AA)	予約										
(\$A9)	予約										
(\$A8)	予約										
(\$A7)	予約										
(\$A6)	予約										
(\$A5)	予約										
(\$A4)	予約										
(\$A3)	予約										
(\$A2)	予約										
(\$A1)	予約										
(\$A0)	予約										
(\$9F)	予約										
(\$9E)	予約										
(\$9D)	予約										
(\$9C)	予約										
(\$9B)	予約										
(\$9A)	予約										
(\$99)	予約										
(\$98)	予約										
(\$97)	予約										
(\$96)	予約										
(\$95)	予約										
(\$94)	予約										
(\$93)	予約										
(\$92)	予約										
(\$91)	予約										
(\$90)	予約										



## 拡張 I/Oレジスタ領域 (2/2)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$8F)	予約									
(\$8E)	予約									
(\$8D)	予約									
(\$8C)	予約									
(\$8B)	OCR1BH				タイマ/カウンタ1比較Bレジスタ上位バイト					85
(\$8A)	OCR1BL				タイマ/カウンタ1比較Bレジスタ下位バイト					
(\$89)	OCR1AH				タイマ/カウンタ1比較Aレジスタ上位バイト					85
(\$88)	OCR1AL				タイマ/カウンタ1比較Aレジスタ下位バイト					
(\$87)	CR1H				タイマ/カウンタ1捕獲レジスタ上位バイト					85
(\$86)	CR1L				タイマ/カウンタ1捕獲レジスタ下位バイト					
(\$85)	TCNT1H				タイマ/カウンタ1上位バイト					84
(\$84)	TCNT1L				タイマ/カウンタ1下位バイト					
(\$83)	予約									
(\$82)	TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-	84
(\$81)	TCCR1B	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	83
(\$80)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	82
(\$7F)	DDR1	-	-	-	-	-	-	AN1D	AN0D	153
(\$7E)	DDR0	-	-	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	162
(\$7D)	予約									
(\$7C)	ADMUX	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	160
(\$7B)	ADCSRB	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	152,161
(\$7A)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	160
(\$79)	ADCH				A/Dデータレジスタ上位バイト (ADC9~ または ADC9~2)					162
(\$78)	ADCL				A/Dデータレジスタ下位バイト (ADC7~ または ADC1~0)					
(\$77)	予約									
(\$76)	予約									
(\$75)	予約									
(\$74)	予約									
(\$73)	予約									
(\$72)	予約									
(\$71)	予約									
(\$70)	TMSK2	-	-	-	-	-	OCIE2B	OCIE2A	TOIE2	102
(\$6F)	TMSK1	-	-	CE1	-	-	OCIE1B	OCIE1A	TOIE1	86
(\$6E)	TMSK0	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0	67
(\$6D)	PCMSK2	PCNT23	PCNT22	PCNT21	PCNT20	PCNT19	PCNT18	PCNT17	PCNT16	42
(\$6C)	PCMSK1	-	PCNT14	PCNT13	PCNT12	PCNT11	PCNT10	PCNT9	PCNT8	42
(\$6B)	PCMSK0	PCNT7	PCNT6	PCNT5	PCNT4	PCNT3	PCNT2	PCNT1	PCNT0	42
(\$6A)	予約									
(\$69)	ECRA	-	-	-	-	ISC11	ISC10	ISC01	ISC00	39
(\$68)	PCICR	-	-	-	-	-	PCIE2	PCIE1	PCIE0	41
(\$67)	予約									
(\$66)	OSCCAL									21
(\$65)	予約									
(\$64)	PRR	PRTW1	PRTM2	PRTM0	-	PRTM1	PRSP1	PRUSART0	PRADC	26
(\$63)	予約									
(\$62)	予約									
(\$61)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	21
(\$60)	WDTCR	WDF	WDE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	32

**注意：** 将来のデバイスとの共通性のため、アケスされるなら、予約ビットは **0** を書かれるべきです。予約した I/O メモリアドレスは決して書かれるべきではありません。

アドレス範囲 \$00~\$3F 内の I/O レジスタは **SB** と **CB** 命令を使用する直接ビットアケスが可能です。これらのレジスタでは、**SB** と **CB** 命令を使用することにより、単一ビット値が検査できます。

いくつかの状態ビットはそれらへ論理 **1** を書くことによりクリア (**0**) されます。他の多くの AVR と異なり、**CB** と **SB** 命令は指定ビットだけを操作し、故にこのような状態フラグを含むレジスタで使用できます。**CB** と **SB** 命令は \$00~\$1F のレジスタだけで動作します。

I/O 指定命令 **N** と **OUT** を使用するとき、I/O アドレス \$00~\$3F が使用されなければなりません。**LD** と **ST** 命令を使用してデータ空間として I/O レジスタをアドレス指定するとき、これらのアドレスに \$20 が加算されなければなりません。ATmega48/88/168 は **N** と **OUT** 命令で予約した 64 位置で支援できるより多くの周辺部機能の複合マイクロコントローラです。SRAM (データ空間) 内の拡張 I/O 空間は **ST** / **STS** / **STD** と **LD** / **LDS** / **LDD** 命令だけが使用できます。

標準 I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	SPH	-	-	-	-	-	(SP10)	SP9	SP8	7
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	予約									
\$3B (\$5B)	予約									
\$3A (\$5A)	予約									
\$39 (\$59)	予約									
\$38 (\$58)	予約									
\$37 (\$57)	SPMCSR	SPM IE	(RWWSB)	-	(RWW SRE)	BLBSET	PGWRT	PGERS	SELFPRGEN	168/177
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	-	-	-	PUD	-	-	(VSEL)	(VCE)	54,38
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	31
\$33 (\$53)	SMCR	-	-	-	-	SM2	SM1	SM0	SE	25
\$32 (\$52)	予約									
\$31 (\$51)	予約									
\$30 (\$50)	ACSR	ACD	ACBG	ACO	AC I	AC E	AC IC	AC IS1	AC IS0	153
\$2F (\$4F)	予約									
\$2E (\$4E)	SPDR	SPIデータレジスタ								109
\$2D (\$4D)	SPSR	SPIF	WCOL	-	-	-	-	-	SP12X	108
\$2C (\$4C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	108
\$2B (\$4B)	GPDR2	汎用 I/Oレジスタ2								15
\$2A (\$4A)	GPDR1	汎用 I/Oレジスタ1								15
\$29 (\$49)	予約									
\$28 (\$48)	OCR0B	タイマ/カウンタ0比較Bレジスタ								66
\$27 (\$47)	OCR0A	タイマ/カウンタ0比較Aレジスタ								66
\$26 (\$46)	TCNT0	タイマ/カウンタ0								66
\$25 (\$45)	TCCR0B	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	65
\$24 (\$44)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	64
\$23 (\$43)	GTCCR	TSM	-	-	-	-	-	PSRASY	PSRSYNC	103,88
\$22 (\$42)	EEARH	-	-	-	-	-	-	-	(EEAR8)	12
\$21 (\$41)	EEARL	EEPROMアドレスレジスタ下位バイト (EEAR7~0)								12
\$20 (\$40)	EEDR	EEPROMデータレジスタ								12
\$1F (\$3F)	EECR	-	-	EEPM1	EEPROM0	EERE	EEMPE	EEPE	EERE	12
\$1E (\$3E)	GPDR0	汎用 I/Oレジスタ0								15
\$1D (\$3D)	EMSK	-	-	-	-	-	-	NT1	NT0	40
\$1C (\$3C)	EIFR	-	-	-	-	-	-	NTF1	NTF0	40
\$1B (\$3B)	PCIFR	-	-	-	-	-	PCIF2	PCIF1	PCIF0	41
\$1A (\$3A)	予約									
\$19 (\$39)	予約									
\$18 (\$38)	予約									
\$17 (\$37)	TIFR2	-	-	-	-	-	OCF2B	OCF2A	TOV2	102
\$16 (\$36)	TIFR1	-	-	CF1	-	-	OCF1B	OCF1A	TOV1	86
\$15 (\$35)	TIFR0	-	-	-	-	-	OCF0B	OCF0A	TOV0	67
\$14 (\$34)	予約									
\$13 (\$33)	予約									
\$12 (\$32)	予約									
\$11 (\$31)	予約									
\$10 (\$30)	予約									
\$0F (\$2F)	予約									
\$0E (\$2E)	予約									
\$0D (\$2D)	予約									
\$0C (\$2C)	予約									
\$0B (\$2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	55
\$0A (\$2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	55
\$09 (\$29)	PND	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	55
\$08 (\$28)	PORTC	-	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	54
\$07 (\$27)	DDRC	-	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	54
\$06 (\$26)	PNC	-	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	54
\$05 (\$25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	54
\$04 (\$24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	54
\$03 (\$23)	PNB	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	54
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

注：(付きビットはATmega88/168でのみ利用可能です。

訳注)原書本位置の注意は前頁に移動しました。

### 30. 命令一覧 (1/2)

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd Rd + Rr	IT H SVN ZC	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd Rd + Rr + C	IT H SVN ZC	1
ADW	Rd,K6	即値のワート長加算	RdH RdL RdH RdL + K	IT H SVN ZC	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd Rd - Rr	IT H SVN ZC	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd Rd - K	IT H SVN ZC	1
SBW	Rd,K6	即値のワート長減算	RdH RdL RdH RdL - K	IT H SVN ZC	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd Rd - Rr - C	IT H SVN ZC	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd Rd - K - C	IT H SVN ZC	1
AND	Rd,Rr	汎用レジスタ間の論理積 (AND)	Rd Rd AND Rr	IT H S0N ZC	1
ANDI	Rd,K	汎用レジスタと即値の論理積 (AND)	Rd Rd AND K	IT H S0N ZC	1
OR	Rd,Rr	汎用レジスタ間の論理和 (OR)	Rd Rd OR Rr	IT H S0N ZC	1
ORI	Rd,K	汎用レジスタと即値の論理和 (OR)	Rd Rd OR K	IT H S0N ZC	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和 (Ex-OR)	Rd Rd EOR Rr	IT H S0N ZC	1
COM	Rd	1の補数 論理反転	Rd \$FF - Rd	IT H S0N Z1	1
NEG	Rd	2の補数	Rd \$00 - Rd	IT H SVN ZC	1
SBR	Rd,K	汎用レジスタの複数ビットセット(1)	Rd Rd OR K	IT H S0N ZC	1
CBR	Rd,K	汎用レジスタの複数ビットクリア(0)	Rd Rd AND (\$FF - K)	IT H S0N ZC	1
INC	Rd	汎用レジスタのインクリメント(+1)	Rd Rd + 1	IT H SVN ZC	1
DEC	Rd	汎用レジスタのデクリメント(-1)	Rd Rd - 1	IT H SVN ZC	1
TST	Rd	汎用レジスタのゼロとマイナスイテック	Rd Rd AND Rd	IT H S0N ZC	1
CLR	Rd	汎用レジスタの全0設定 (= \$00)	Rd Rd EOR Rd	IT H 0001C	1
SER	Rd	汎用レジスタの全1設定 (= \$FF)	Rd \$FF	IT H SVN ZC	1
MUL	Rd,Rr	符号なし間の乗算	R1R0 Rdx Rr (Ux U)	IT H SVN ZC	2
MULS	Rd,Rr	符号付き間の乗算	R1R0 Rdx Rr (Sx S)	IT H SVN ZC	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1R0 Rdx Rr (Sx U)	IT H SVN ZC	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1R0 (Rdx Rr)<<1 (Ux U)	IT H SVN ZC	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1R0 (Rdx Rr)<<1 (Sx S)	IT H SVN ZC	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1R0 (Rdx Rr)<<1 (Sx U)	IT H SVN ZC	2
分岐命令					
RMP	k	相対無条件分岐	PC PC + k + 1	IT H SVN ZC	2
IMP		Zレジスタ間接無条件分岐	PC Z	IT H SVN ZC	2
JMP (注)	k	絶対無条件分岐	PC k	IT H SVN ZC	3
RCALL	k	相対サブルーチン呼び出し	STACK PC, PC PC + k + 1	IT H SVN ZC	3
CALL		Zレジスタ間接サブルーチン呼び出し	STACK PC, PC Z	IT H SVN ZC	3
CALL (注)	k	絶対サブルーチン呼び出し	STACK PC, PC k	IT H SVN ZC	4
RET		サブルーチンからの復帰	PC STACK	IT H SVN ZC	4
RETI		割り込みからの復帰	PC STACK	1T H SVN ZC	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rなら, PC PC + 2or3	IT H SVN ZC	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	IT H SVN ZC	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	IT H SVN ZC	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	IT H SVN ZC	1
SBR	Rr,b	汎用レジスタのビットがクリア(0)でスキップ	Rr(b)=0なら, PC PC + 2or3	IT H SVN ZC	1/2,3
SBSR	Rr,b	汎用レジスタのビットがセット(1)でスキップ	Rr(b)=1なら, PC PC + 2or3	IT H SVN ZC	1/2,3
SBC	P,b	I/Oレジスタのビットがクリア(0)でスキップ	P(b)=0なら, PC PC + 2or3	IT H SVN ZC	1/2,3
SBS	P,b	I/Oレジスタのビットがセット(1)でスキップ	P(b)=1なら, PC PC + 2or3	IT H SVN ZC	1/2,3
BRBS	s,k	ステータスフラグがセット(1)で分岐	SREG(s)=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRBC	s,k	ステータスフラグがクリア(0)で分岐	SREG(s)=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BREQ	k	一致で分岐	Z=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRNE	k	不一致で分岐	Z=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRCS	k	キャリーフラグがセット(1)で分岐	C=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRCC	k	キャリーフラグがクリア(0)で分岐	C=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRSH	k	符号なしの > で分岐	C=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRLO	k	符号なしの < で分岐	C=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRMI	k	- (マイナス) で分岐	N=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRPL	k	+ (プラス) で分岐	N=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRGE	k	符号付きの > で分岐	(N EOR V)=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRLT	k	符号付きの < で分岐	(N EOR V)=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRHS	k	ハーフキャリーフラグがセット(1)で分岐	H=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRHC	k	ハーフキャリーフラグがクリア(0)で分岐	H=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRTS	k	テンポラリフラグがセット(1)で分岐	T=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRTC	k	テンポラリフラグがクリア(0)で分岐	T=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRVS	k	オーバーフローフラグがセット(1)で分岐	V=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRVC	k	オーバーフローフラグがクリア(0)で分岐	V=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRE	k	割り込み許可で分岐	I=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRD	k	割り込み禁止で分岐	I=0なら, PC PC + K + 1	IT H SVN ZC	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ (R0~ R31) X, Y, Z : X, Y, Zレジスタ  
b : ビット (0~ 7) k : アドレス定数 (7, 12, 16ビット) q : 符号なし6ビット定数 変位 s : ステータスフラグ (C Z N V X H T I)  
注 : これらの命令は ATmega168 でだけ利用できます。

# 命令一覧 (2/2)

二-モニク	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd Rr	I TH SV N Z C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1 Rd Rr+1 Rr	I TH SV N Z C	1
LDI	Rd,K	即値の取得	Rd K	I TH SV N Z C	1
LD	Rd,X	Xレジスタ間接での取得	Rd (X)	I TH SV N Z C	2
LD	Rd,X+	後インクリメント付きXレジスタ間接での取得	Rd (X), X X + 1	I TH SV N Z C	2
LD	Rd,-X	前デクリメント付きXレジスタ間接での取得	X X - 1, Rd (X)	I TH SV N Z C	2
LD	Rd,Y	Yレジスタ間接での取得	Rd (Y)	I TH SV N Z C	2
LD	Rd,Y+	後インクリメント付きYレジスタ間接での取得	Rd (Y), Y Y + 1	I TH SV N Z C	2
LD	Rd,-Y	前デクリメント付きYレジスタ間接での取得	Y Y - 1, Rd (Y)	I TH SV N Z C	2
LDD	Rd,Y+q	ディスプレイメント付きYレジスタ間接での取得	Rd (Y + q)	I TH SV N Z C	2
LD	Rd,Z	Zレジスタ間接での取得	Rd (Z)	I TH SV N Z C	2
LD	Rd,Z+	後インクリメント付きZレジスタ間接での取得	Rd (Z), Z Z + 1	I TH SV N Z C	2
LD	Rd,-Z	前デクリメント付きZレジスタ間接での取得	Z Z - 1, Rd (Z)	I TH SV N Z C	2
LDD	Rd,Z+q	ディスプレイメント付きZレジスタ間接での取得	Rd (Z + q)	I TH SV N Z C	2
LDS	Rd,k	データ空間 (SRAM) から直接取得	Rd (k)	I TH SV N Z C	2
ST	X Rr	Xレジスタ間接での設定	(X) Rr	I TH SV N Z C	2
ST	X+Rr	後インクリメント付きXレジスタ間接での設定	(X) Rr, X X + 1	I TH SV N Z C	2
ST	-X Rr	前デクリメント付きXレジスタ間接での設定	X X - 1, (X) Rr	I TH SV N Z C	2
ST	Y Rr	Yレジスタ間接での設定	(Y) Rr	I TH SV N Z C	2
ST	Y+Rr	後インクリメント付きYレジスタ間接での設定	(Y) Rr, Y Y + 1	I TH SV N Z C	2
ST	-Y Rr	前デクリメント付きYレジスタ間接での設定	Y Y - 1, (Y) Rr	I TH SV N Z C	2
STD	Y+q Rr	ディスプレイメント付きYレジスタ間接での設定	(Y + q) Rr	I TH SV N Z C	2
ST	Z Rr	Zレジスタ間接での設定	(Z) Rr	I TH SV N Z C	2
ST	Z+Rr	後インクリメント付きZレジスタ間接での設定	(Z) Rr, Z Z + 1	I TH SV N Z C	2
ST	-Z Rr	前デクリメント付きZレジスタ間接での設定	Z Z - 1, (Z) Rr	I TH SV N Z C	2
STD	Z+q Rr	ディスプレイメント付きZレジスタ間接での設定	(Z + q) Rr	I TH SV N Z C	2
STS	k Rr	データ空間 (SRAM) に直接設定	(k) Rr	I TH SV N Z C	2
LPM		プログラム領域からZレジスタ間接での取得	R0 (Z)	I TH SV N Z C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	Rd (Z)	I TH SV N Z C	3
LPM	Rd,Z+	同上 (後インクリメント付き)	Rd (Z), Z Z + 1	I TH SV N Z C	3
SPM		プログラム領域へZレジスタ間接での設定	(Z) R1 R0	I TH SV N Z C	-
N	Rd,P	I/Oレジスタからの入力	Rd P	I TH SV N Z C	1
OUT	P Rr	I/Oレジスタへの出力	P Rr	I TH SV N Z C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK Rr	I TH SV N Z C	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd STACK	I TH SV N Z C	2
ビット関係命令					
SBI	P.b	I/Oレジスタのビットセット(1)	I/O (P.b) 1	I TH SV N Z C	2
CBI	P.b	I/Oレジスタのビットクリア(0)	I/O (P.b) 0	I TH SV N Z C	2
LSL	Rd	論理的左シフト	Rd(n+1) Rd(n), Rd(0) 0	I TH SV N Z C	1
LSR	Rd	論理的右シフト	Rd(n) Rd(n+1), Rd(7) 0	I TH SV N Z C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) C, Rd(n+1) Rd(n), C Rd(7)	I TH SV N Z C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) C, Rd(n) Rd(n+1), C Rd(0)	I TH SV N Z C	1
ASR	Rd	算術的右シフト	Rd(n) Rd(n+1), n=0~ 6	I TH SV N Z C	1
SWAP	Rd	ニフル(4ビット)上位/下位交換	Rd(7~ 4) Rd(3~ 0)	I TH SV N Z C	1
BSET	s	ステータスレジスタのビットセット(1)	SREG(s) 1	1 1 1 1 1 1 1 1	1
BCLR	s	ステータスレジスタのビットクリア(0)	SREG(s) 0	0 0 0 0 0 0 0 0	1
BST	Rr.b	汎用レジスタのビットをテンポラリへ移動	T Rr(b)	I TH SV N Z C	1
BLD	Rd.b	テンポラリを汎用レジスタのビットへ移動	Rd(b) T	I TH SV N Z C	1
SEC		キャリーフラグをセット(1)	C 1	I TH SV N Z C	1
CLC		キャリーフラグをクリア(0)	C 0	I TH SV N Z C	1
SEN		負フラグをセット(1)	N 1	I TH SV N Z C	1
CLN		負フラグをクリア(0)	N 0	I TH SV N Z C	1
SEZ		ゼロフラグをセット(1)	Z 1	I TH SV N Z C	1
CLZ		ゼロフラグをクリア(0)	Z 0	I TH SV N Z C	1
SEI		全割込み許可	I 1	1 TH SV N Z C	1
CLI		全割込み禁止	I 0	0 TH SV N Z C	1
SES		符号フラグをセット(1)	S 1	I TH 1 VN Z C	1
CLS		符号フラグをクリア(0)	S 0	I TH 0 VN Z C	1
SEV		2の補数オーバーフローフラグをセット(1)	V 1	I TH S 1 N Z C	1
CLV		2の補数オーバーフローフラグをクリア(0)	V 0	I TH S 0 N Z C	1
SET		テンポラリフラグをセット(1)	T 1	I 1 TH SV N Z C	1
CLT		テンポラリフラグをクリア(0)	T 0	I 0 TH SV N Z C	1
SEH		ハーフキャリーフラグをセット(1)	H 1	I TH 1 SV N Z C	1
CLH		ハーフキャリーフラグをクリア(0)	H 0	I TH 0 SV N Z C	1
MCU制御命令					
NOP		無操作		I TH SV N Z C	1
SLEEP		スリープ動作開始	スリープ動作参照	I TH SV N Z C	1
WDR		ウォッチドッグタイミリセット	ウォッチドッグタイミ参照	I TH SV N Z C	1
BREAK		一時停止	内蔵デバグW RE機能専用	I TH SV N Z C	N/A



## 31. 注文情報

デバイス	速度 (MHz)	電源電圧	注文コード	外周器	動作範囲
ATmega48	10 (注3)	1.8~ 5.5V	ATmega48V - 10A I	32A	工業用 (-40 ~ 85 )
			ATmega48V - 10AU (注2)		
			ATmega48V - 10P I	28P3	
			ATmega48V - 10PU (注2)		
			ATmega48V - 10MMU (注2)	28M1	
			ATmega48V - 10M I		
	ATmega48V - 10MU (注2)	32M1-A			
	20 (注3)		2.7~ 5.5V	ATmega48 - 20A I	
		ATmega48 - 20AU (注2)			
		ATmega48 - 20P I		28P3	
		ATmega48 - 20PU (注2)			
		ATmega48 - 20MMU (注2)		28M1	
ATmega48 - 20M I					
ATmega48 - 20MU (注2)	32M1-A				
ATmega88		10 (注3)	1.8~ 5.5V	ATmega88V - 10A I	32A
	ATmega88V - 10AU (注2)				
	ATmega88V - 10P I			28P3	
	ATmega88V - 10PU (注2)				
	ATmega88V - 10M I			32M1-A	
	ATmega88V - 10MU (注2)				
	20 (注3)	2.7~ 5.5V	ATmega88 - 20A I	32A	
			ATmega88 - 20AU (注2)		
			ATmega88 - 20P I	28P3	
			ATmega88 - 20PU (注2)		
			ATmega88 - 20M I	32M1-A	
			ATmega88 - 20MU (注2)		
ATmega168	10 (注3)	1.8~ 5.5V	ATmega168V - 10A I	32A	工業用 (-40 ~ 85 )
			ATmega168V - 10AU (注2)		
			ATmega168V - 10P I	28P3	
			ATmega168V - 10PU (注2)		
			ATmega168V - 10M I	32M1-A	
			ATmega168V - 10MU (注2)		
	20 (注3)	2.7~ 5.5V	ATmega168 - 20A I	32A	
			ATmega168 - 20AU (注2)		
			ATmega168 - 20P I	28P3	
			ATmega168 - 20PU (注2)		
			ATmega168 - 20M I	32M1-A	
			ATmega168 - 20MU (注2)		

注：このデバイスはウィハー (チップ単体) 形状でも供給できます。最低数量と詳細な注文情報については最寄のATMEL営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令 (RoHS指令) 適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

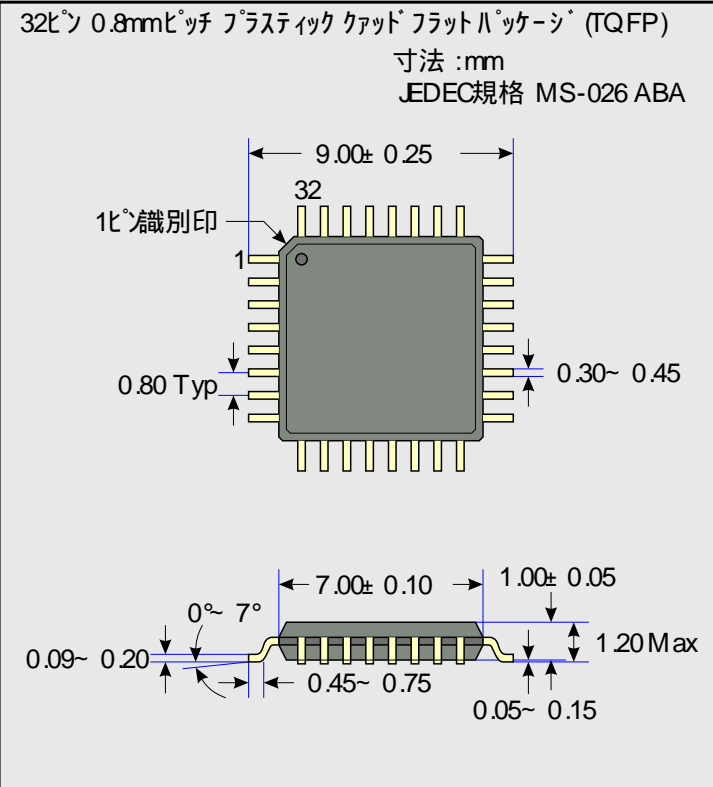
注3: 速度と電源電圧の関係については191頁の図27-1と図27-2をご覧ください。

### 31.1. 外周器形式

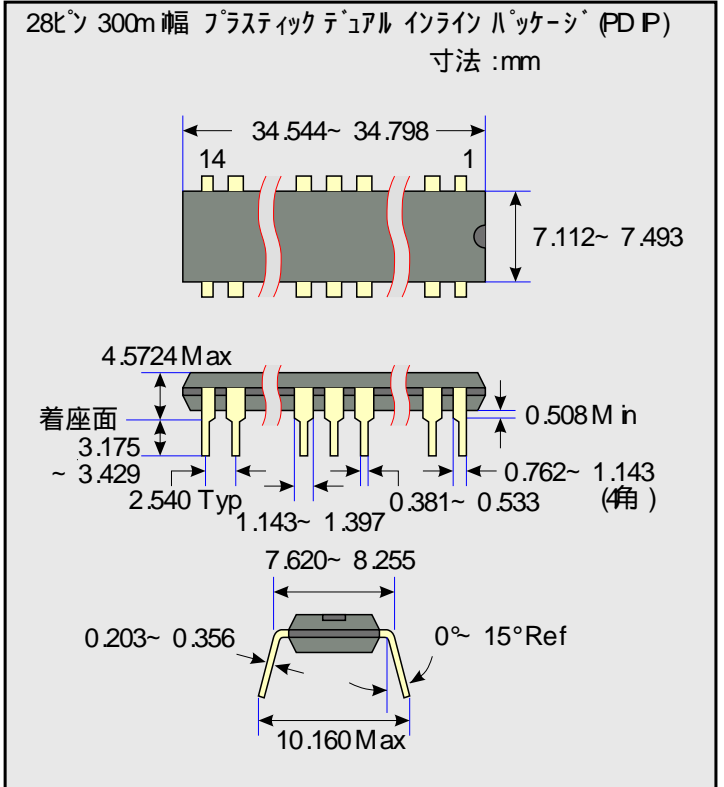
32A	32ピン 1.0mm厚 プラスティック クアッド フラット パッケージ (TQFP)
28P3	28ピン 300μm 幅 プラスティック テュアル インライン パッケージ (PDIP)
28M1	28ピン 4x 4x 1mm 0.45mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム パッケージ (QFN/MLF)
32M1-A	32ピン 5x 5x 1mm 0.5mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム パッケージ (QFN/MLF)

## 32. 外周器形状

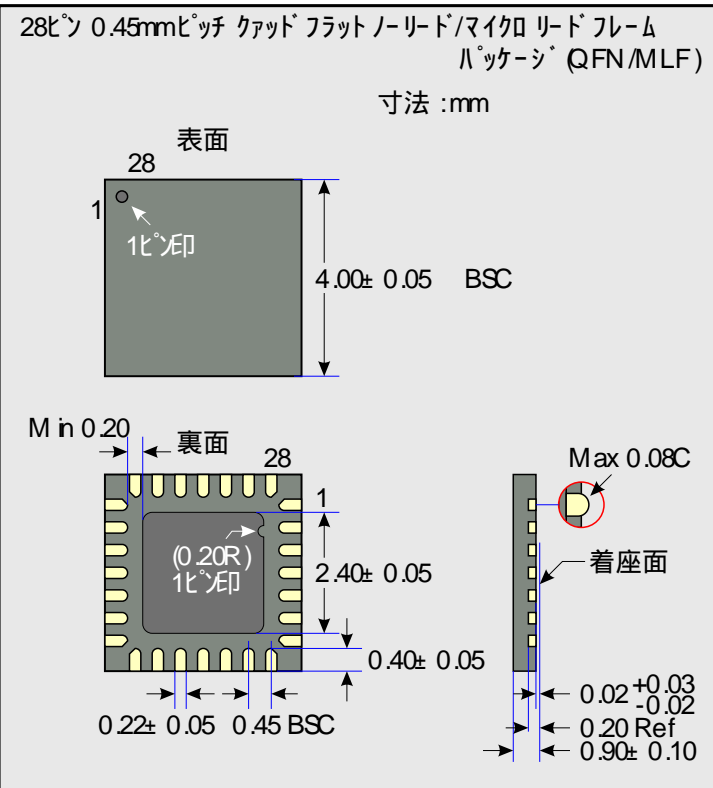
### 32.1. 32A



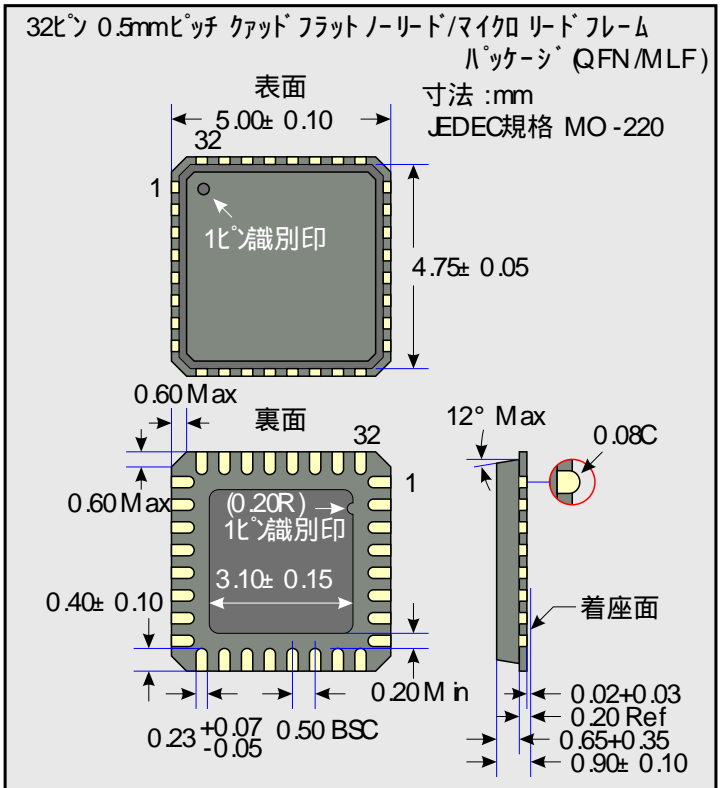
### 32.2. 28P3



### 32.3. 28M1



### 32.4. 32M1-A



## 33. 障害情報 この章のレビジョン番号は、ATmega48/88/168Vのレビジョンを参照してください。

単独消去操作後の不正値読み込み	48-A , 168-A
ウォッチドッグ タイム割り込みが禁止	48-A
予想より多いクリスタル発振器での起動時間	48-A
外部 クロックでのパワーダウン動作で高消費電力	48-A
パワーダウン動作で非同期発振器が停止しない	48-A
低電圧動作でEEPROM書き込みが動作しない	88-A
デバイスがリセットで停止する可能性	48-A , 88-A , 168-A/B
周波数 900kHz以下での EEPROM読み込みが動作しない可能性	48-C
非同期 タイムでタイム リス 書き込み時に割り込みが失われる可能性	48-A~ D , 88-A/D , 168-A~ C

ATmega88 Rev. B,Cは試供されていません。

### 1. 単独消去操作後の不正値読み込み (48-A , 168-A)

2.7V以下の電圧印加で、消去操作のみで消去されたEEPROM位置はプログラム (\$00)として読むかもしれません。

対策 対処

単独消去後にEEPROM位置を読む必要がある場合、その位置を消去するために値として\$FFの**非分離書き込み**を使用してください。どんな場合も単独書き込み操作は予定通りに使用できます。従って消去された位置がプログラミンク以前に読まれない限り 特別な考慮の必要はありません。

### 2. ウォッチドッグ タイム割り込みが禁止 (48-A)

**ウォッチドッグ タイム割り込み要求フラグWDF**が次の計時完了発生に先立ってクリア(0)されなければ、ウォッチドッグは禁止され、割り込み要求フラグは自動的にクリア(0)されます。これは割り込みのみの動作種別にだけ当てはまります。ウォッチドッグ計時完了に続く割り込みでウォッチドッグがデバイス リセットに設定されれば、デバイスは正しく動作します。

対策 対処

次のウォッチドッグ計時完了が起こる前に、先行する計時完了発生での処理が常に十分な時間であることに注意してください。これは十分に長い計時完了周期を選択することによって行われます。

### 3. 予想より多いクリスタル発振器での起動時間 (48-A)

外部 クリスタル走行時、起動時間のクロック計数部は起動期間について予想より約 2倍多くなります。これはリセットによる起動時だけ適用します。**パワーダウン動作**からの起動は影響を及ぼされません。殆どの設定についてクロック計数部は起動時間全体の小さな断片にすぎず、従ってこの問題は無視できます。例外は例えば時計用 32kHzクリスタルのような非常に低い周波数のクリスタルを使用するときです。

対策 対処

既知の対策はありません。

### 4. 外部 クロックでのパワーダウン動作で高消費電力 (48-A)

外部 クロック活性でのパワーダウン動作の消費電力は内部 RCまたは外部発振器使用時より約 10倍多くなります。

対策 対処

デバイスのパワーダウン時、外部 クロックを停止してください。

### 5. パワーダウン動作で非同期発振器が停止しない (48-A)

パワーダウン移行時、非同期発振器は停止しません。これは予想より高い電力消費を引き起こします。

対策 対処

パワーダウン動作へ移行する前に、操作によって非同期 タイムを禁止してください。

### 6. 低電圧動作でEEPROM書き込みが動作しない (88-A)

低電圧でEEPROM書き込みが動作しません。

対策 対処

4.5V以下の電圧でEEPROMを書かないでください。(これはRev Bで修正されます。)

## 7. デバイスがリセットで停止する可能性 (48-A, 88-A, 168-A/B)

いくつかのデバイスは内部リセット順次回路が特別な状態のときにリセット信号が印加されると、リセット状態内で動かなくなるかもしれません。内部リセット順次回路はリセット後にデバイスが起動する直前の約 10ns とシステムクロック前置分周器が切り替わる時の 10ns 間がこの状態です。この問題は実装書き込み (ISP 中に度々よく見られます。この出来事は走行動作でも理論的な可能性があります。次の 3つの場合がデバイスをリセット状態で動かなくするきっかけになります。

- ・最初のリセットによってデバイスがリセット状態外になる前の 10ns 間に 2 番目のリセットが起きる、2つの連続するリセットの印加。
- ・ソフトウェアによってシステムクロック前置分周器値が更新される最中の 10ns 間でのリセットの印加。
- ・内部リセット信号を生成する SP プログラミングの抜け出しが、この状態のきっかけとなり得ます。

最初の 2つの場合は通常の動作中に起き得、一方最後の場合はデバイスのプログラミング中にだけ起きます。

### 対策 / 対処

最初の場合は 1つのリセット元だけが活性 (有効) であることを保証することにより、走行動作中に防げます。プログラムの外部リセットが使用される場合、リセット起動時間は起動時間中にリセット信号が完全に跳ねなくなるようなものを選択すべきです。

2つ目の場合はシステムクロック前置分周器を使用しないことによって防げます。

3つ目の場合は実装書き込み (ISP 中にだけ) 起きます。最高周波数で内蔵 RC 発振器を使用する時に最もよく見られます。

デバイスがリセット状態で動かなくなったら、デバイスをリセット状態外にするために、電源を OFF にし、その後再び ON にしてください。

## 8. 周波数 900kHz 以下での EEPROM 読み込みが動作しない可能性 (48-C)

低内部クロック周波数での EEPROM からの読み込みは不正なデータ読み込みに終わるかもしれません。

### 対策 / 対処

900kHz 以下のクロック周波数での EEPROM 読み込みを避けてください。

## 9. 非同期タイマ/カウンタでタイマ/カウンタレジスタ書き込み時に割り込み消失の可能性 (48-A~D, 88-A/D, 168-A~C)

非同期タイマ/カウンタのクロックに同期化されるタイマ/カウンタのレジスタの 1つがオーバーフロー割り込みが起こる前のサイクルで書かれると、その割り込みは消失するかもしれません。

### 対策 / 対処

タイマ/カウンタ制御レジスタ (TCR2 または タイマ/カウンタ比較レジスタ OCR2) を書く前に、タイマ/カウンタが値 \$FFF でないことを常に調べてください。

非同期動作でタイマ/カウンタのレジスタの何れかへ書くための安全な時間は、比較レジスタが \$FFF でない比較一致割り込み処理ルーチン内、または比較レジスタが \$FFF なら、割り込みの開始から最低 1 非同期クロックサイクル後だけです。



## 34. 更新記録

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内のRev番号は資料のRev番号を参照してください。

- 34.1. 2545B-01/04**
1. 1頁の「特徴」で動作速度と代表消費電力を更新、I/Oと外周器にPD Pを追加
  2. 7頁の「スタック ポインタ」を推奨 スタック ポインタ値としてRAMENDで更新
  3. 23頁に「電力削減レジスタ節、PRRビット使用に関する注意をタイマ/カウンタ USART、A/D変換器、アナログ比較器に追加
  4. 29頁からの「ウォッチドッグ タイマ」を更新
  5. 82頁の表 14-2と表 14-3を更新
  6. 89頁の「タイマ/カウンタ2 (PWM非同期動作付き) 節で特徴に比較一致割り込み OCF2Bを追加
  7. 22頁の表 8-1、157頁の表 22-1、161頁の表 22-5、179頁の表 26-7を更新、178頁の表 26-1に注 2を追加、39頁の表 11-1で誤植を修正
  8. 198頁からの「代表特性 暫定」全体を更新
  9. 219頁の「障害情報」に 3項目追加
  10. 次のビットを改名
    - ・SPMENをSELFPRGENへ
    - ・PSR2をPSRASYへ
    - ・PSR10をPSRSYNCへ
    - ・ウォッチドッグ リットをウォッチドッグ システム リットへ
  11. 旧 AVR文法を含むCコード例を更新
  12. 168頁の「SPM命令制御 /状態レジスタ」でBLBSET記述を更新
- 34.2. 2545C-04/04**
1. 最大動作速度を変更
    - ・12MHを10MHへ
    - ・24MHを20MHへ
  2. 19頁の「最高速と動作電圧」を更新
  3. 217頁の「注文情報」を更新
  4. 219頁の「障害情報」のATmega88分を更新
- 34.3. 2545D-07/04**
1. コード例に関してWDTCSRを使用した命令を更新
  2. 18頁の表 7-5、192頁の表 27-4、176頁の表 25-9と表 25-11、188頁の表 26-16を更新
  3. 20頁の「システム クロック前置分周器」を更新
  4. 「タイマ/カウンタ2割り込みマスクレジスタ」と「タイマ/カウンタ2割り込み要求フラグレジスタ」を99頁からの「8ビットタイマ/カウンタ2用レジスタ」に移動
  5. 132頁の「電気的な相互接続」でタイミング特性へのリンクを更新
  6. 135頁の「ピットレー 発生器」で式を更新
  7. 180頁に「ページ容量」を追加
  8. 187頁の「シリアル プログラミング手順」を更新
  9. 217頁でATmega168についての「注文情報」を更新
  10. 219頁でATmega88/168についての「障害情報」を更新
- 34.4. 2545E-02/05**
1. MLFパッケージを"クアッドフラットノーリード/マイクロリードフレーム QFN/MLF"に代替変更
  2. 12頁の「EEPROM制御レジスタ (EECR)」を更新
  3. 19頁の「校正付き内蔵RC発振器」を更新
  4. 20頁の「外部 クロック信号」を更新
  5. 192頁の表 27-3、188頁の表 26-16、194頁の表 27-2、194頁の表 27-6を更新
  6. 39頁に「ピットレー 変化割り込み タイミング」を追加
  7. 56頁の「8ビットタイマ/カウンタ構成図」を更新
  8. 168頁の「SPM命令制御 /状態レジスタ (SPMCSR)」を更新
  9. 182頁の「パラレル プログラミング動作への移行」を更新
  10. 190頁の「DC特性」を更新
  11. 217頁の「注文情報」を更新
  12. 219頁でATmega88/168についての「障害情報」を更新

- 34.5. 2545F-06/05**
- 4頁に「資料」を追加
  - 19頁の「校正付き内蔵RC発振器」を更新
  - 188頁の「シリアルプログラミング命令セット」を更新
  - 190頁の「DC特性」で表の注記を更新
  - 219頁の「障害情報」を更新
- 34.6. 2545G-06/06**
- レジスタにアドレスを追加
  - 19頁の「校正付き内蔵RC発振器」を更新
  - 20頁の表 7-12、22頁の表 8-1、32頁の表 9-1、47頁の表 12-3を更新
  - 22頁の「A/D変換ノイズ低減動作」を更新
  - 25頁の表 8-2に対する注を更新
  - 26頁の「ビット2 - PRSPI:シリアル周辺インターフェース電力削減」を更新
  - 65頁の「タイマ/カウンタ制御レジスタB (TCCR0B)」を更新
  - 78頁の「高速PWM動作」を更新 **訳注**:本書では原書と異なり本来の形で修正)
  - 97頁の「タイマ/カウンタ2非同期動作」を更新
  - 104頁の「シリアル周辺インターフェース (SPI)」を更新
  - 130頁の「USART MSPIM制御/状態レジスタA (UCSRnA)」を更新
  - 135頁の「ビットレジェネレータ」を更新
  - 153頁の「ビット6 - ACBG:基準電圧選択」を更新
  - 154頁の「A/D変換器 (ADC)」で特徴を更新
  - 154頁の「前置分周と変換タイミング」を更新
  - 163頁の「デバッグWREの制限」を更新
  - 19頁に表 27-1を追加
  - 78頁の表 14-7、209頁の表 28-44を更新 **訳注**:表 14-7は矛盾回避のため、本書では無視)
  - 219頁の ATmega48 RevAについての「障害情報」を更新
  - 219頁に ATmega48 RevCとDについての「障害情報」を追加
- 34.7. 2545H-10/06**
- 誤植修正
  - 1頁の「特徴」を更新
  - 19頁の「校正付き内蔵RC発振器」を更新
  - 27頁の「システム制御とレジスタ」を更新
  - 28頁の「低電圧検出 (BOD)レジスタ」を更新
  - 78頁の「高速PWM動作」を更新
  - 84頁の「タイマ/カウンタ制御レジスタC (TCCR1C)」を更新
  - 104頁の「シリアル周辺インターフェース (SPI)」を更新
  - 64頁の表 13-3、表 13-6、65頁の表 13-8、82頁の表 14-3、表 14-4、83頁の表 14-5、99頁の表 16-3、表 16-6、100頁の表 16-8、179頁の表 26-5を更新
  - 166頁の表 24-1、174頁の表 25-5、188頁の表 26-17を更新
  - 173頁の「SPM命令によるフートローダロックビットと一般ロックビットの設定」を更新
  - 180頁の「識別バイト」を更新
  - 190頁からの「電気的特性」を更新
  - 219頁の「障害情報」を更新
- 34.8. 2545I-11/06**
- 1頁の「特徴」を更新
  - 132頁の「2線シリアルインターフェース」で特徴を更新
  - 192頁の表 27-3で誤植を修正
- 34.9. 2545J-12/06**
- 1頁の「特徴」を更新
  - 2頁の「ピン配置」図を更新
  - 217頁の「注文情報」を更新
  - 218頁の「外形情報」を更新
- 34.10. 2545K-04/07**
- 173頁の「ウォッチドッグタイマ」への参照を「割り込み」への参照に修正

- 2. 219頁の「障害情報」を更新
- 3. 154頁の「A/D変換器 (ADC)」内の記述を変更

34.10.2545L-08/07

- 1. 1頁の「特徴」を更新
- 2. 38頁の「MCU制御レジスタ (MCUCR)」でコード例を更新
- 3. 192頁の「システムとチップの特性」を更新
- 4. 17頁の表 7-3., 18頁の表 7-5., 19頁の表 7-8 表 7-10を更新

## 目次

特徴	1	10. 割り込み	33
1. ピン配置	2	10.1. 概要	33
1.1. ピン説明	2	10.2. ATmega48/88/168の割り込みベクタ	33
2. 概要	3	10.3. 割り込みベクタ移動関係レジスタ	38
2.1. 構成図	3	11. 外部割り込み	39
2.2. ATmega48 ATmega88 ATmega168の違い	4	11.1. ピン変化割り込みタイミング	39
3. 資料	4	11.2. 外部割り込み用レジスタ	39
4. コード例について	4	12. 入出力ポート	43
5. AVR CPU コア	5	12.1. 概要	43
5.1. 概要	5	12.2. 標準デジタル入出力としてのポート	43
5.2. アーキテクチャ概要	5	12.3. 兼用ポート機能	46
5.3. ALU (Arithmetic Logic Unit)	5	12.4. I/Oポート用レジスタ	54
5.4. ステータスレジスタ	6	13. 8ビットタイマ/カウンタ0 (PWM)	56
5.5. 汎用レジスタファイル	7	13.1. 特徴	56
5.6. スタックポインタ	7	13.2. 概要	56
5.7. 命令実行タイミング	8	13.3. タイマ/カウンタのクロック	57
5.8. リセット割り込みの扱い	8	13.4. カウンタユニット	57
6. AVRのメモリ	10	13.5. 比較出力部	58
6.1. 概要	10	13.6. 比較一致出力部	59
6.2. 実装書き換え可能なプログラム用フラッシュメモリ	10	13.7. 動作種別	60
6.3. データ用SRAMメモリ	10	13.8. タイマ/カウンタのタイミング	63
6.4. データ用EEPROMメモリ	11	13.9. 8ビットタイマ/カウンタ用レジスタ	64
6.5. I/Oメモリ (レジスタ)	11	14. 16ビットタイマ/カウンタ1	68
6.6. メモリ関係レジスタ	12	14.1. 特徴	68
7. システムクロックとクロック任意選択	16	14.2. 概要	68
7.1. クロックシステムとその配給	16	14.3. 16ビットレジスタのアクセス	70
7.2. クロック元	16	14.4. タイマ/カウンタのクロック	72
7.3. 低電力クリスタル発振器	17	14.5. カウンタユニット	72
7.4. 全振幅クリスタル発振器	18	14.6. 捕獲入力部	73
7.5. 低周波数クリスタル発振器	18	14.7. 比較出力部	74
7.6. 校正付き内蔵RC発振器	19	14.8. 比較一致出力部	76
7.7. 128kHz内部発振器	19	14.9. 動作種別	77
7.8. 外部クロック信号	20	14.10. タイマ/カウンタのタイミング	81
7.9. システムクロック出力バッファ	20	14.11. 16ビットタイマ/カウンタ用レジスタ	82
7.10. タイマ/カウンタ用発振器	20	15. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器	87
7.11. システムクロック前置分周器	20	15.1. 同期系タイマ/カウンタ前置分周器制御用レジスタ	88
7.12. クロック関係レジスタ	21	16. 8ビットタイマ/カウンタ2 (PWM非同期動作)	89
8. 電力管理とスリープ動作	22	16.1. 特徴	89
8.1. スリープ動作種別	22	16.2. 概要	89
8.2. アイドル動作	22	16.3. タイマ/カウンタのクロック	90
8.3. A/D変換ノイズ低減動作	22	16.4. カウンタユニット	90
8.4. パワーダウン動作	23	16.5. 比較出力部	91
8.5. パワーセーフ動作	23	16.6. 比較一致出力部	92
8.6. スタンバイ動作	23	16.7. 動作種別	93
8.7. 電力削減 (電力削減レジスタ)	23	16.8. タイマ/カウンタのタイミング	96
8.8. 消費電力の最小化	24	16.9. タイマ/カウンタ2の非同期動作	97
8.9. 電力管理用レジスタ	25	16.10. タイマ/カウンタ2の前置分周器	98
9. システム制御とリセット	27	16.11. 8ビットタイマ/カウンタ2用レジスタ	99
9.1. AVRのリセット	27	17. SPI (シリアル周辺インターフェース)	104
9.2. リセット要因	27	17.1. 特徴	104
9.3. 電源ONリセット	28	17.2. 概要	104
9.4. 外部リセット	28	17.3. SS <sub>0</sub> の機能	106
9.5. 低電圧検出 (BOD)リセット	28	17.4. データ転送形式	107
9.6. ウォッチドッグシステムリセット	28	17.5. SP用レジスタ	108
9.7. 内部基準電圧	29	18. USART	110
9.8. ウォッチドッグタイマ	29	18.1. 特徴	110
9.9. リセット関係レジスタ	31	18.2. 概要	110



18.3.	クロック生成	111	25.6.	ブートローダプログラムへの移行	171
18.4.	フレーム形式	111	25.7.	自己プログラミングでのフラッシュアドレス指定	172
18.5.	USARTの初期化	113	25.8.	フラッシュメモリの自己プログラミング	172
18.6.	USARTのデータ送信	114	25.9.	ブートローダ関係レジスタ	177
18.7.	USARTのデータ受信	115	26.	メモリプログラミング	178
18.8.	非同期受信	118	26.1.	プログラムメモリとデータメモリ用ロックビット	178
18.9.	マルチプロセッサ通信動作	120	26.2.	ヒューズビット	179
18.10.	USART用レジスタ	121	26.3.	識別バイト	180
18.11.	ホーレー設定例	124	26.4.	校正値バイト	180
19.	USARTでのSP動作	126	26.5.	ページ容量	180
19.1.	特徴	126	26.6.	パラレルプログラミング	181
19.2.	概要	126	26.7.	パラレルプログラミング手順	182
19.3.	クロック生成	126	26.8.	シリアルプログラミング	187
19.4.	データ搬送形式	126	26.9.	シリアルプログラミング手順	187
19.5.	フレーム形式	127	27.	電気的特性	190
19.6.	データ搬送	128	27.1.	絶対最大定格	190
19.7.	USARTでのMSPMとSPの比較	129	27.2.	DC特性	190
19.8.	MSPMでのUSART用レジスタ	130	27.3.	最高速と動作電圧	191
20.	2線シリアルインターフェース (TWI)	132	27.4.	クロック特性	191
20.1.	特徴	132	27.5.	システムとチップの特性	192
20.2.	2線シリアルインターフェースバスの定義	132	27.6.	2線シリアルインターフェース特性	193
20.3.	データ搬送とフレーム形式	132	27.7.	SPIタイミング特性	194
20.4.	複数マスタバスシステムの調停と同期	134	27.8.	A/D変換器特性 (暫定)	195
20.5.	TW部の概要	135	27.9.	パラレルプログラミング特性	196
20.6.	TWの使用法	137	28.	代表特性 (暫定)	198
20.7.	転送種別	139	28.1.	標準動作消費電流	198
20.8.	複数マスタシステムでのバス競合と調停	148	28.2.	アイドル動作消費電流	199
20.9.	TW用レジスタ	149	28.3.	周辺機能部供給電流	201
21.	アナログ比較器	152	28.4.	パワーダウン動作消費電流	202
21.1.	概要	152	28.5.	パワーセーフ動作消費電流	202
21.2.	アナログ比較器入力選択	152	28.6.	スタンバイ動作消費電流	202
21.3.	アナログ比較器用レジスタ	152	28.7.	ピンプルアップ	203
22.	A/D変換器	154	28.8.	ピン駆動能力	204
22.1.	特徴	154	28.9.	ピン閾値とヒステリシス	205
22.2.	概要	155	28.10.	低電圧検出器 (BOD閾値とアナログ比較器オフセット)	207
22.3.	変換の開始	155	28.11.	内部発振器周波数	208
22.4.	前置分周と変換タイミング	156	28.12.	周辺機能部消費電流	209
22.5.	チャネル変更と基準電圧選択	157	28.13.	チップ消費電流とチップパルス幅	210
22.6.	ノイズ低減機能	158	29.	I/Oレジスタ一覧	212
22.7.	A/D変換の結果	159	30.	命令一覧	215
22.8.	A/D変換用レジスタ	160	31.	注文情報	217
23.	デバッグWRE内蔵デバッグ機能	163	32.	外形情報	218
23.1.	特徴	163	33.	障害情報	219
23.2.	概要	163	34.	更新記録	221
23.3.	物理インターフェース	163			
23.4.	ソフトウェア中断点	163			
23.5.	デバッグWREの制限	163			
23.6.	デバッグWRE関連のI/Oメモリ内レジスタ	163			
24.	フラッシュの自己プログラミング - ATmega48	164			
24.1.	概要	164			
24.2.	自己プログラミングでのフラッシュアドレス指定	164			
24.3.	自己プログラミング用レジスタ	168			
25.	ブートローダ - RWV自己プログラミング - ATmega88, ATmega168	169			
25.1.	特徴	169			
25.2.	概要	169			
25.3.	フラッシュメモリの応用領域とブートローダ領域	169			
25.4.	書き中に読みが可能な領域と不能な領域	169			
25.5.	ブートローダロックビット	171			



## 本社

### Atmel Corporation

2325 Orchard Parkway  
San Jose, CA 95131  
USA  
TEL 1 (408) 441-0311  
FAX 1 (408) 487-2600

## 国外営業拠点

### Atmel Asia

Room 1219  
Chinachem Golden Plaza  
77 Mody Road Tsimshatsui  
East Kowloon  
Hong Kong  
TEL (852) 2721-9778  
FAX (852) 2722-1369

### Atmel Europe

Le Krebs  
8, Rue Jean-Pierre Timbaud  
BP 309  
78054 Saint-Quentin-en-  
Yvelines Cedex  
France  
TEL (33) 1-30-60-70-00  
FAX (33) 1-30-60-71-11

### Atmel Japan

104-0033 東京都中央区  
新川 1-24-8  
東熱新川ビル 9F  
アトメル シャン株式会社  
TEL (81) 03-3523-3551  
FAX (81) 03-3523-7581

## 製品窓口

### ウェブサイト

[www.atmel.com](http://www.atmel.com)

### 技術支援

[avr@atmel.com](mailto:avr@atmel.com)

### 販売窓口

[www.atmel.com/contacts](http://www.atmel.com/contacts)

### 文献請求

[www.atmel.com/literature](http://www.atmel.com/literature)

© Atmel Corporation 2007.

ATMEL製品は、ウェブサイトにあるATMELの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。ATMEL製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はATMELの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2007.

本データシートはATMELのATmega48/88/168英語版データシート(Rev.2545L-08/07)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレシストとピン入力は、対応関係からの理解の容易さから出力レシストと入力レシストで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には(内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。原書での表番号抜けに対して表番号を付与したため、13章内の表番号は原書に対して+1されています。